



**《数字逻辑》**

**课程实验报告**

姓名： 宋浩元

学院：信息学院

系：软件工程系

专业： 软件工程

学号：37220232203808

2024年12月2日

**第7次实验 在Logisim和FPGA开发板上实现中规模时序逻辑电路**

1. **实验环境**

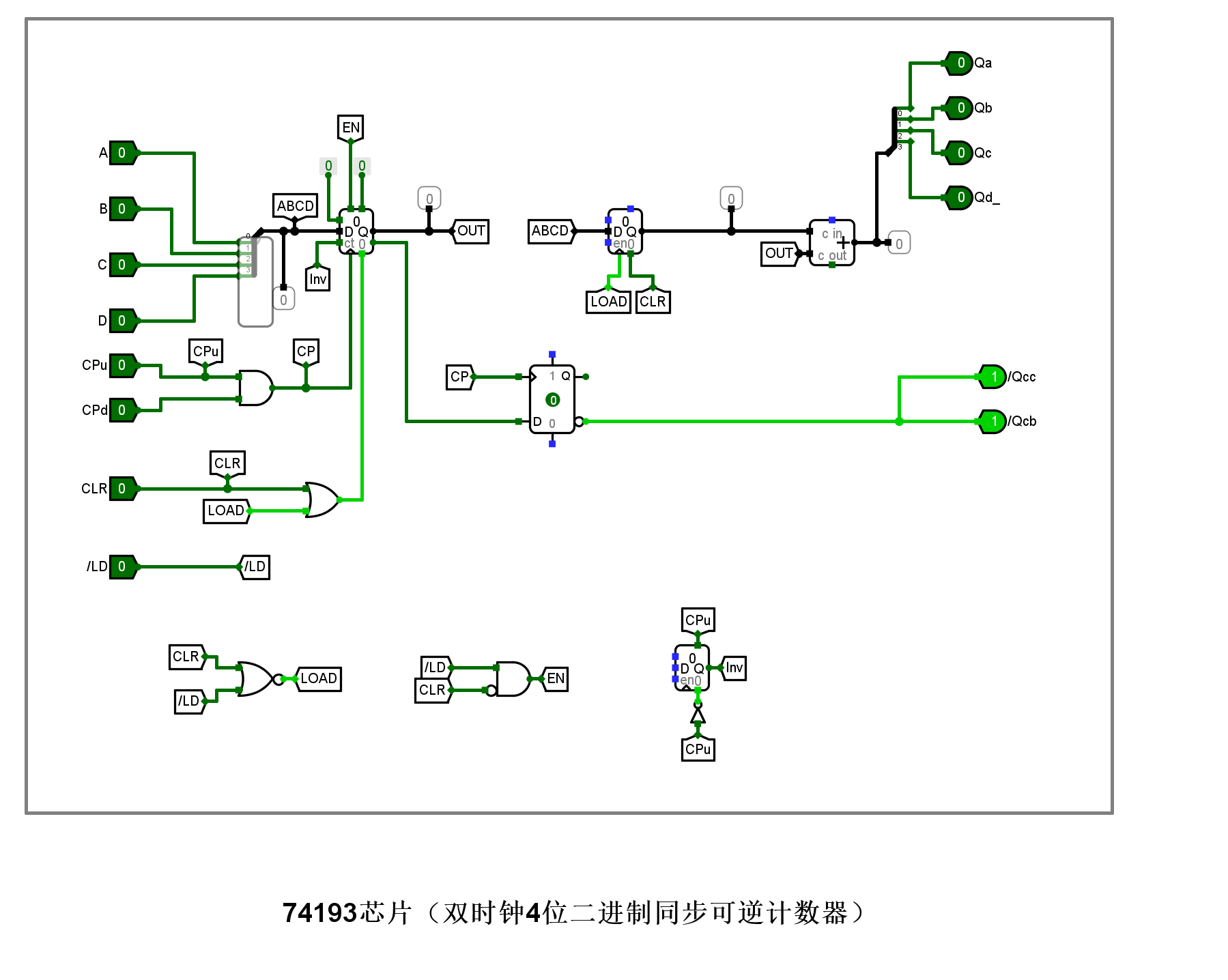
**（1）Vivado 软件（2019.2版本）。**

**（2）Logisim软件（需安装JDK）。**

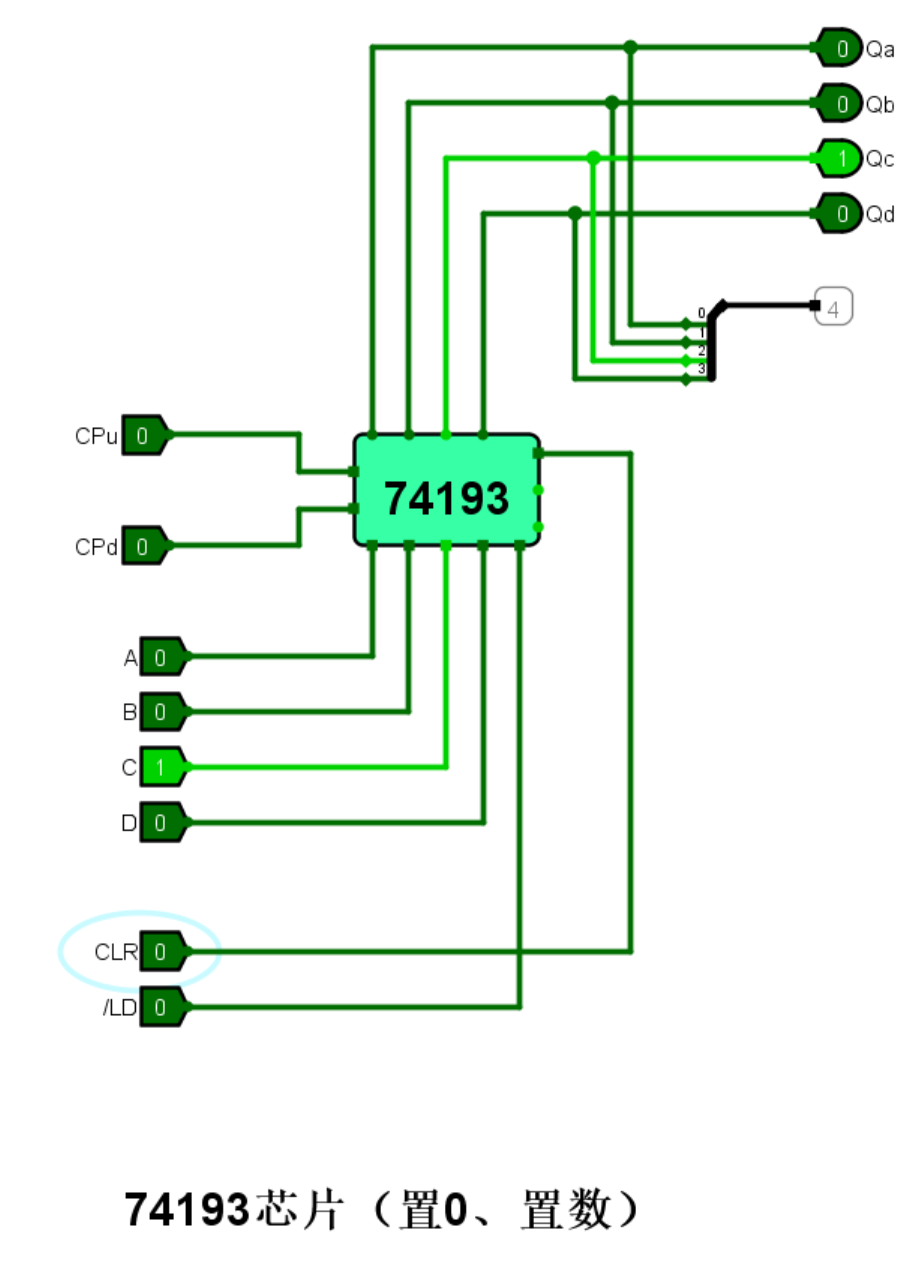
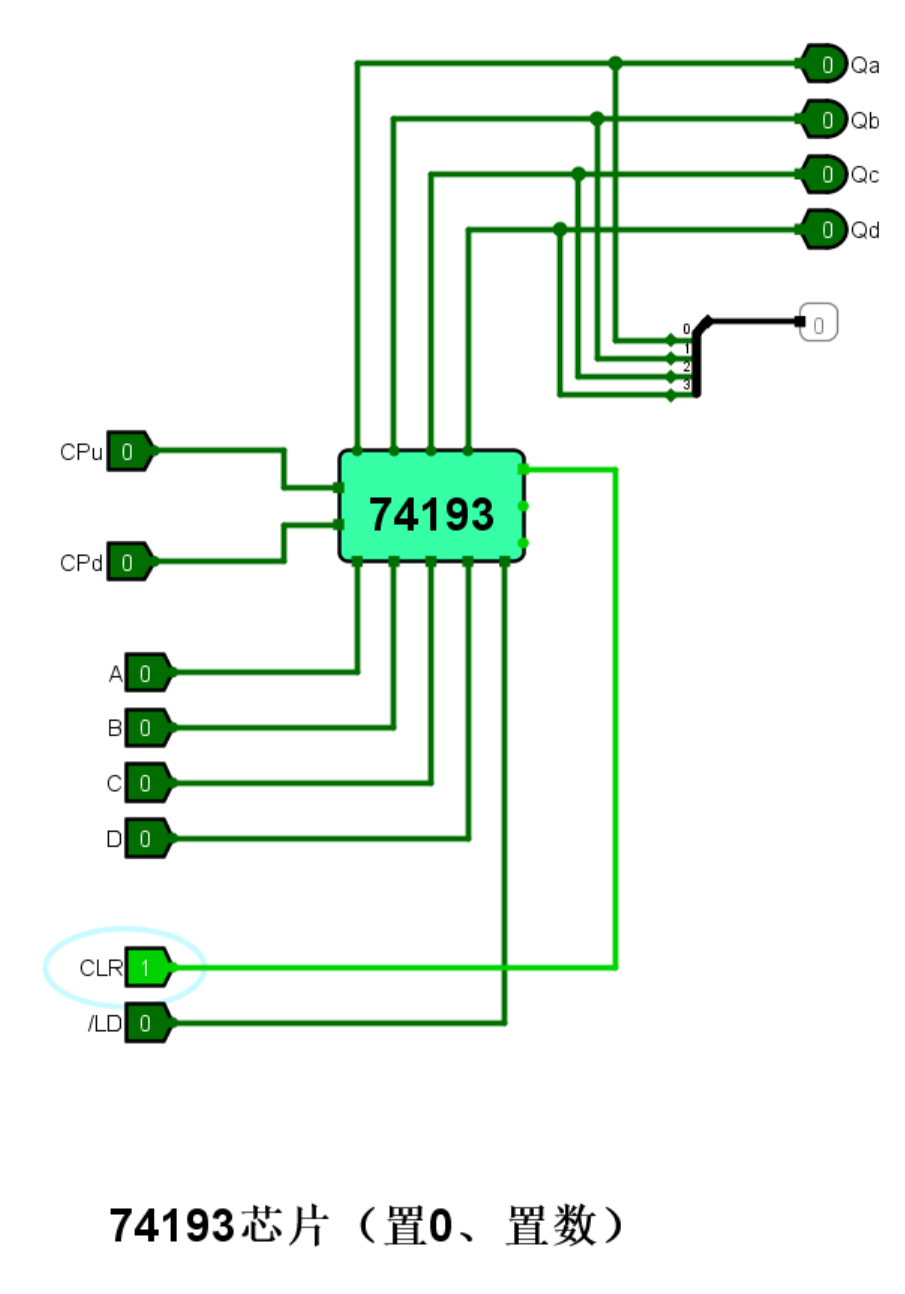
**（3）FPGA开发板（EGO1型号）。**

1. **实验内容**
   1. **课堂完成部分（验证实验的内容）**

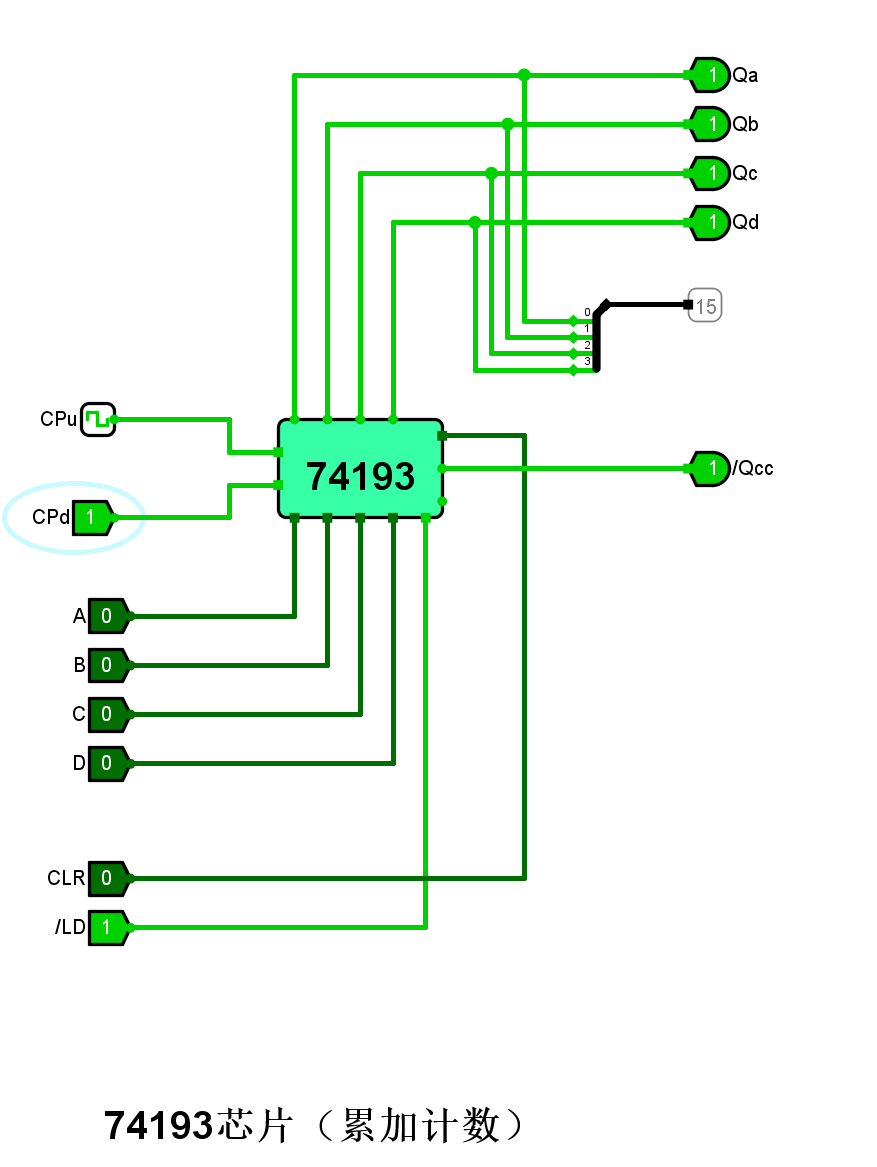
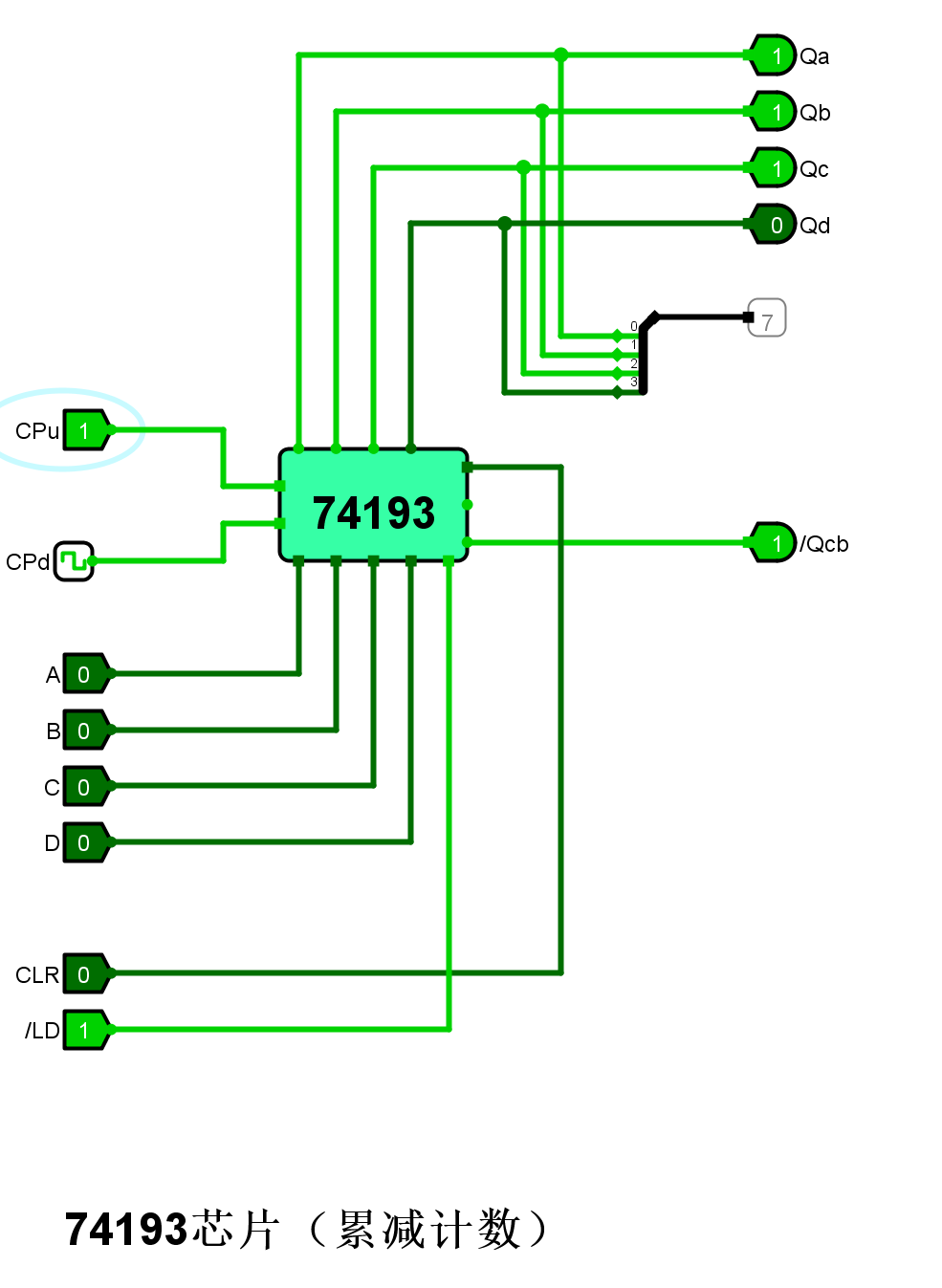
**双时钟4位二进制同步可逆计数器**



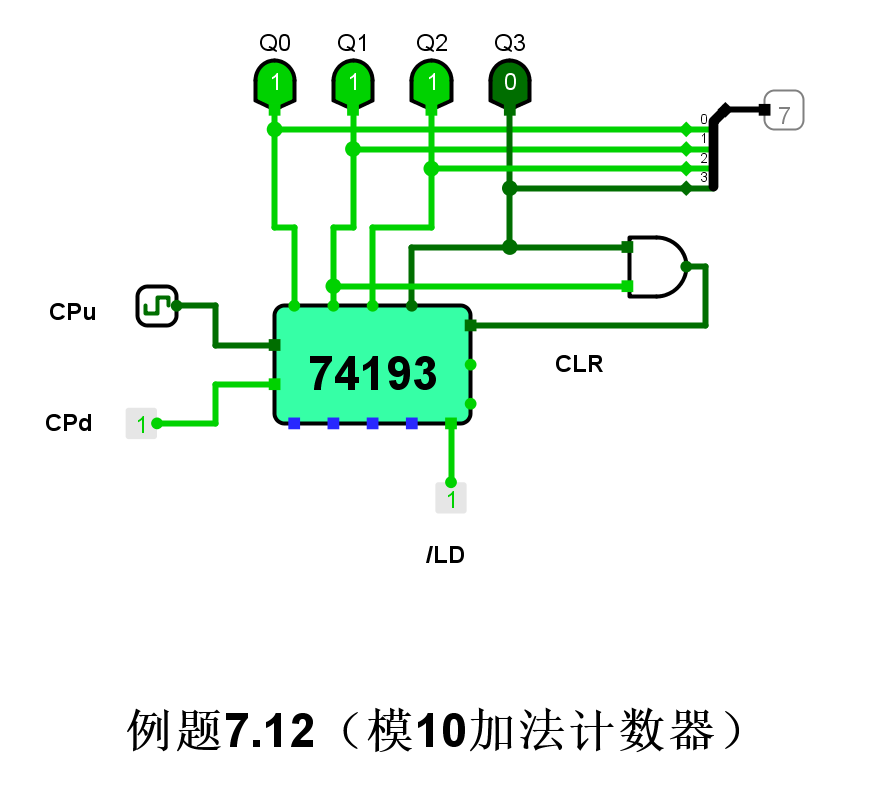
**置CLR=1，Qd、Qc、Qb、Qa为0，置C=1置CLR=0、/LD=0，Qd、Qc、 Qb、Qa与D、B、C、A相同**



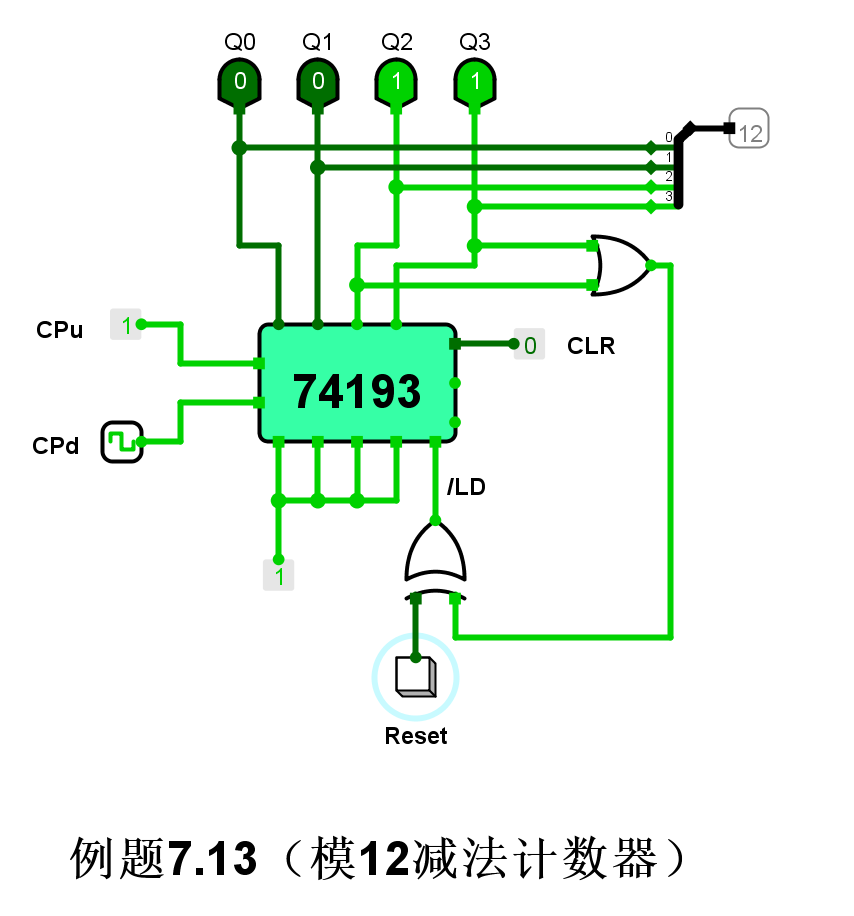
**置CLR=0、/LD=1，CPd=1，按CPu时钟按钮，Qd、Qc、 Qb、Qa进行累加计数.15->0时，/Qcc输出负脉冲。置CLR=0、/LD=1，CPu=1，按CPd时钟按钮，Qd、Qc、 Qb、Qa进行累减计数。0->15时，/Qcb输出负脉冲**

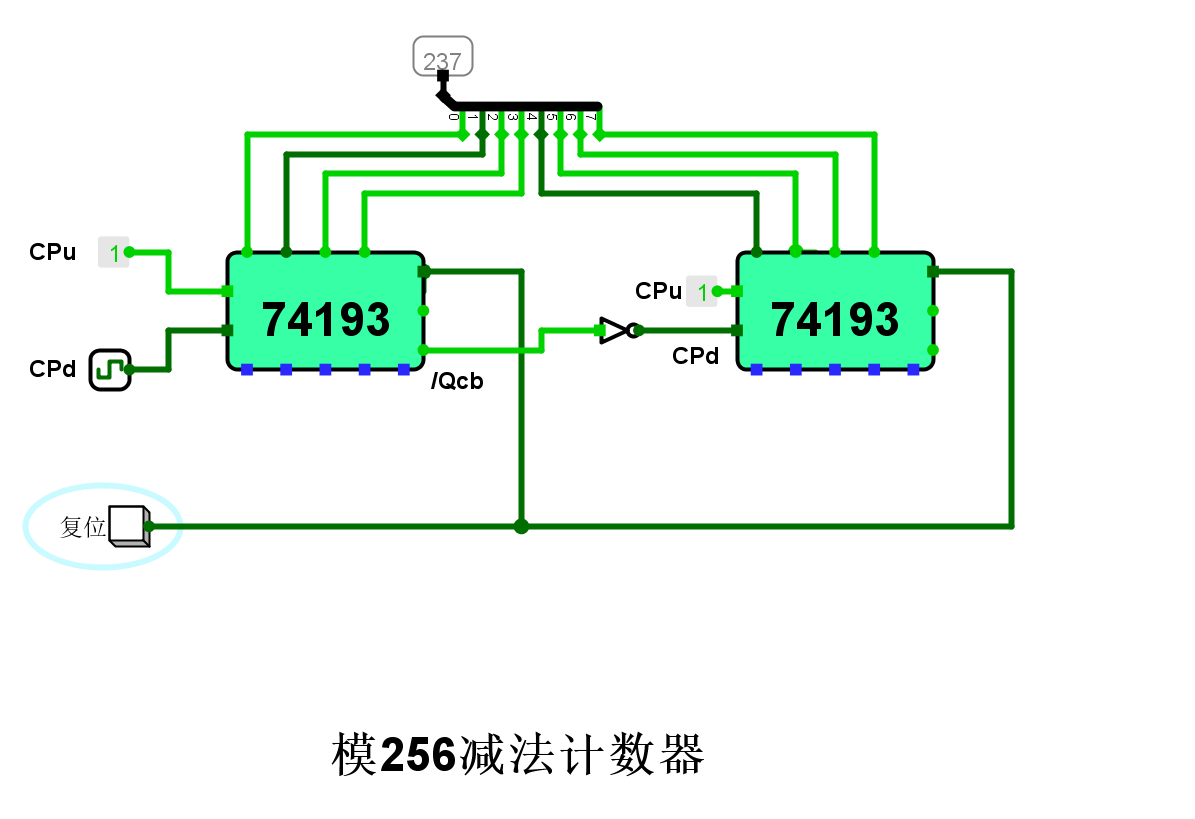
7.12 按Ctrl+R，按CPu时钟按钮，Q3、Q2、Q1、Q0进行模10加法计数



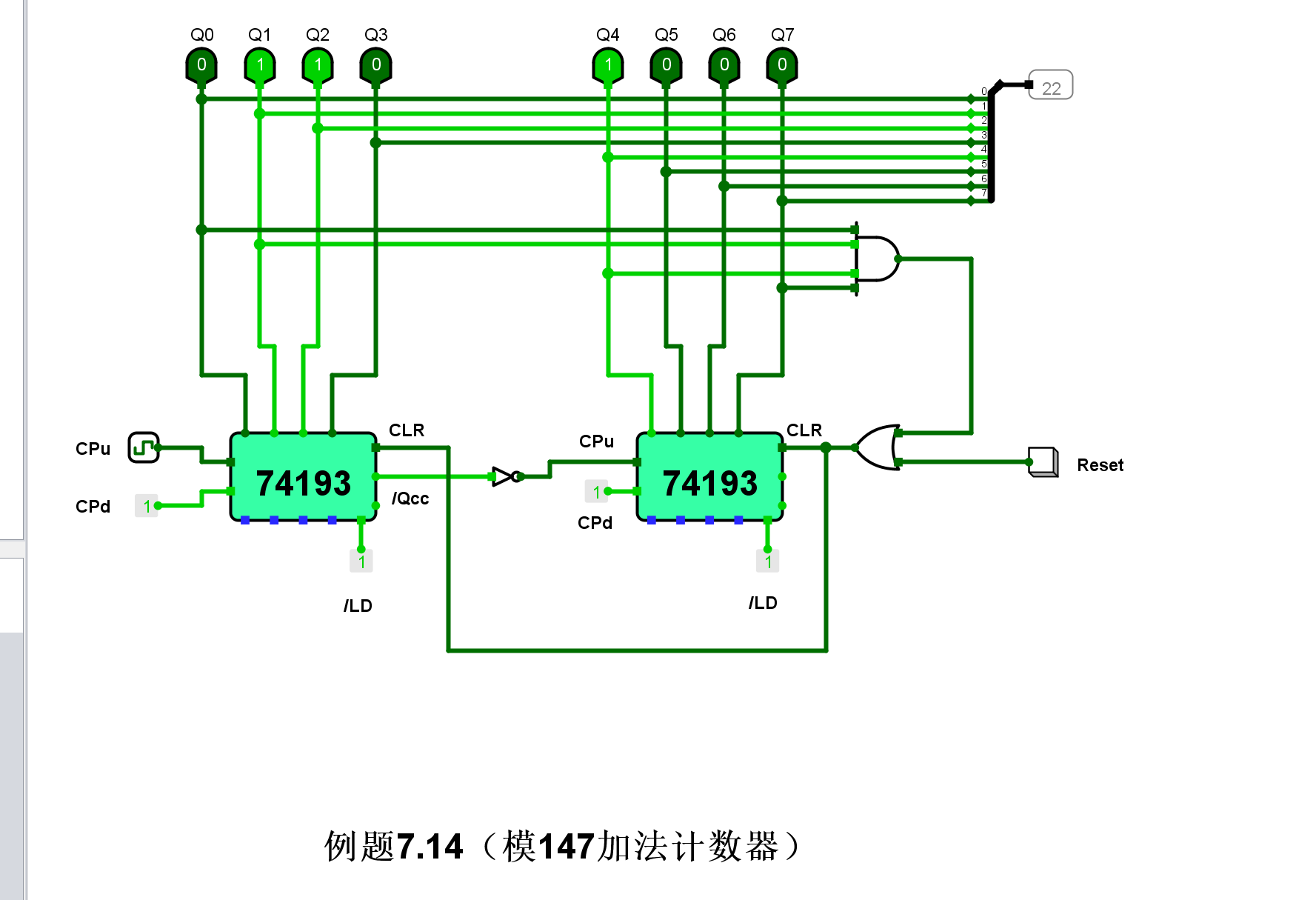
**7.13 按Ctrl+R，按“Reset”按钮，使Q3、Q2、Q1、Q0全部为1；按CPd时钟按钮，Q3、Q2、Q1、Q0进行模12减法计数**



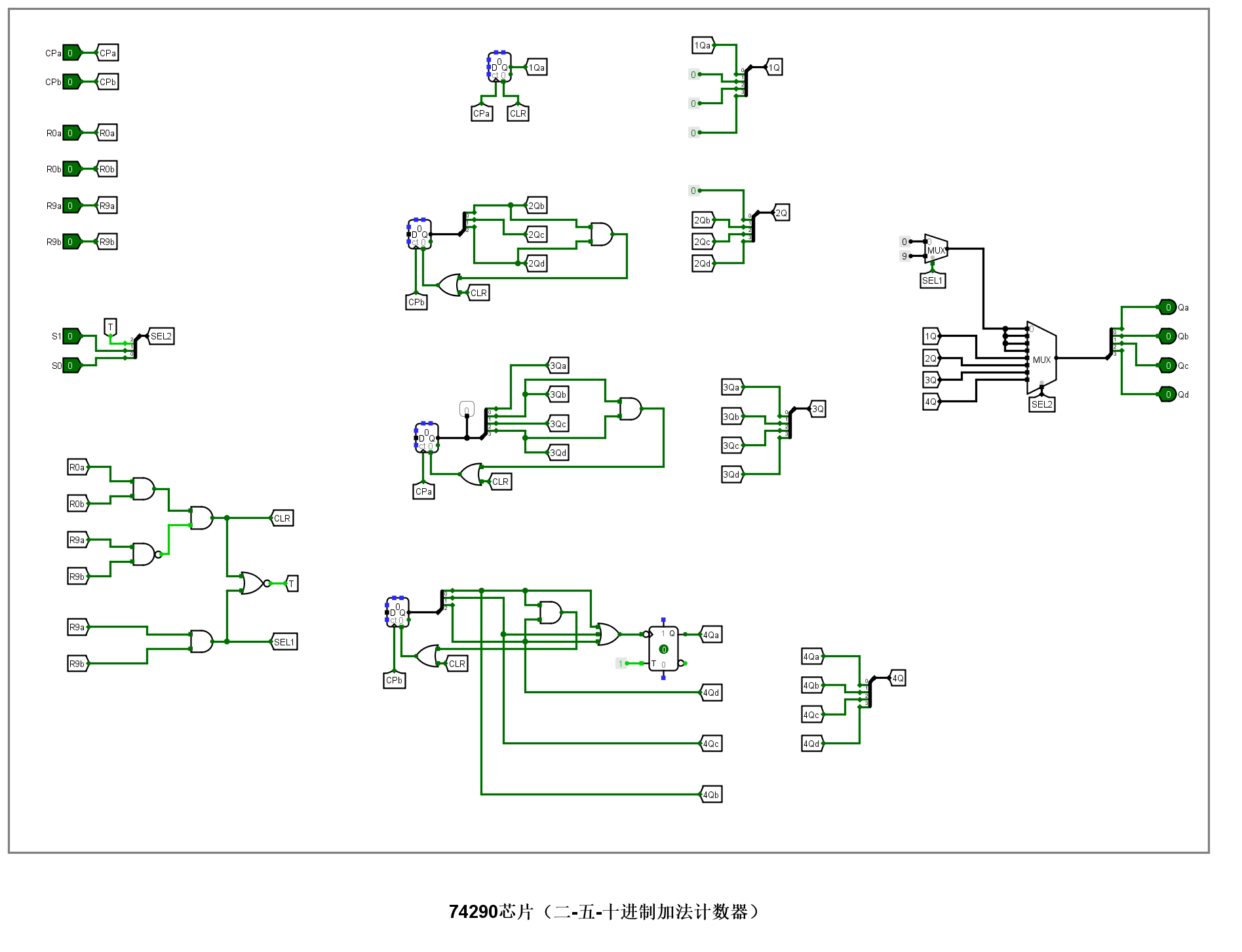
**模256减法计数器 按Ctrl+R，按“复位”按钮，使输出变为0，按CPu时钟按钮，输出进行模256减法计数**



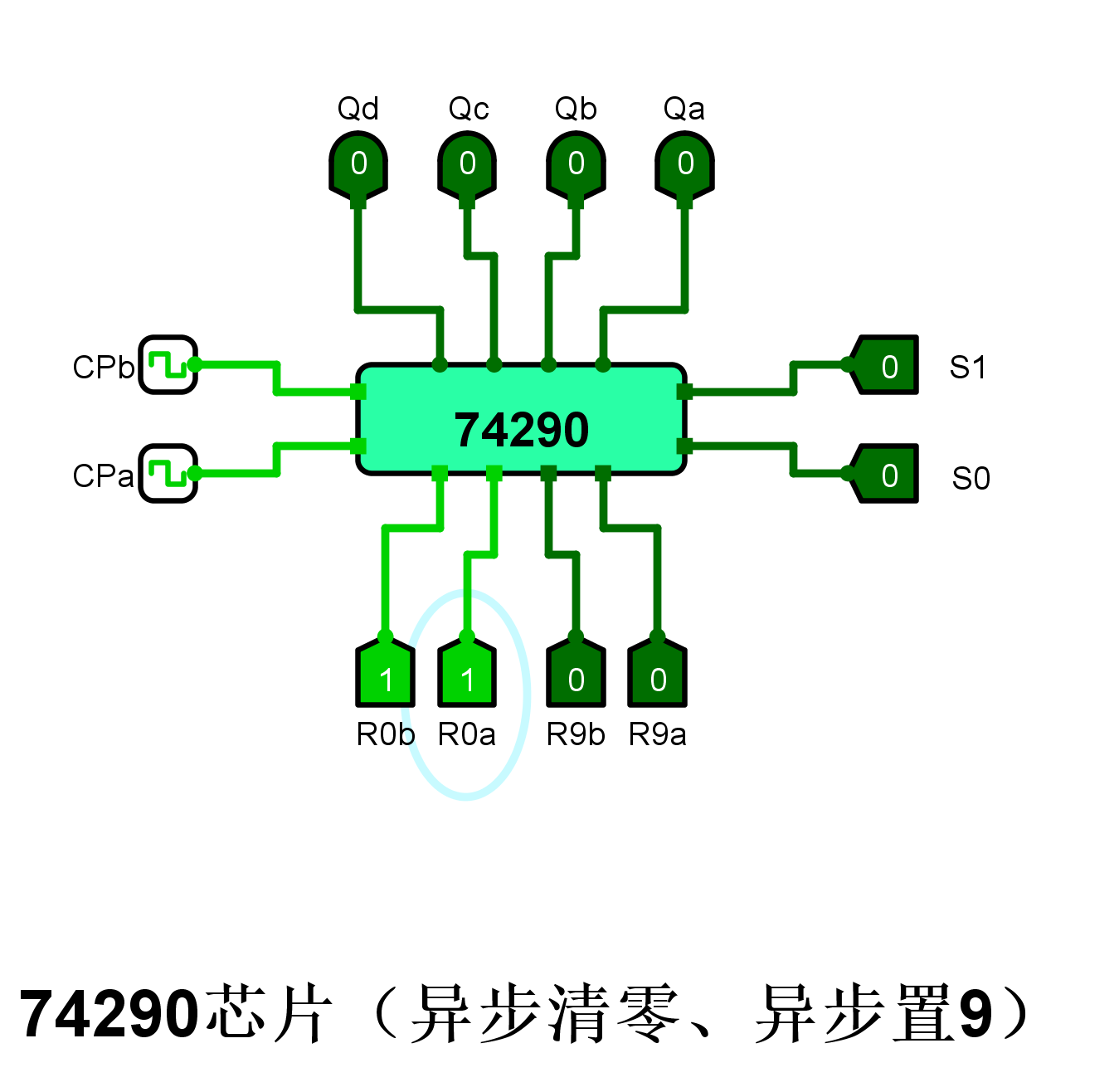
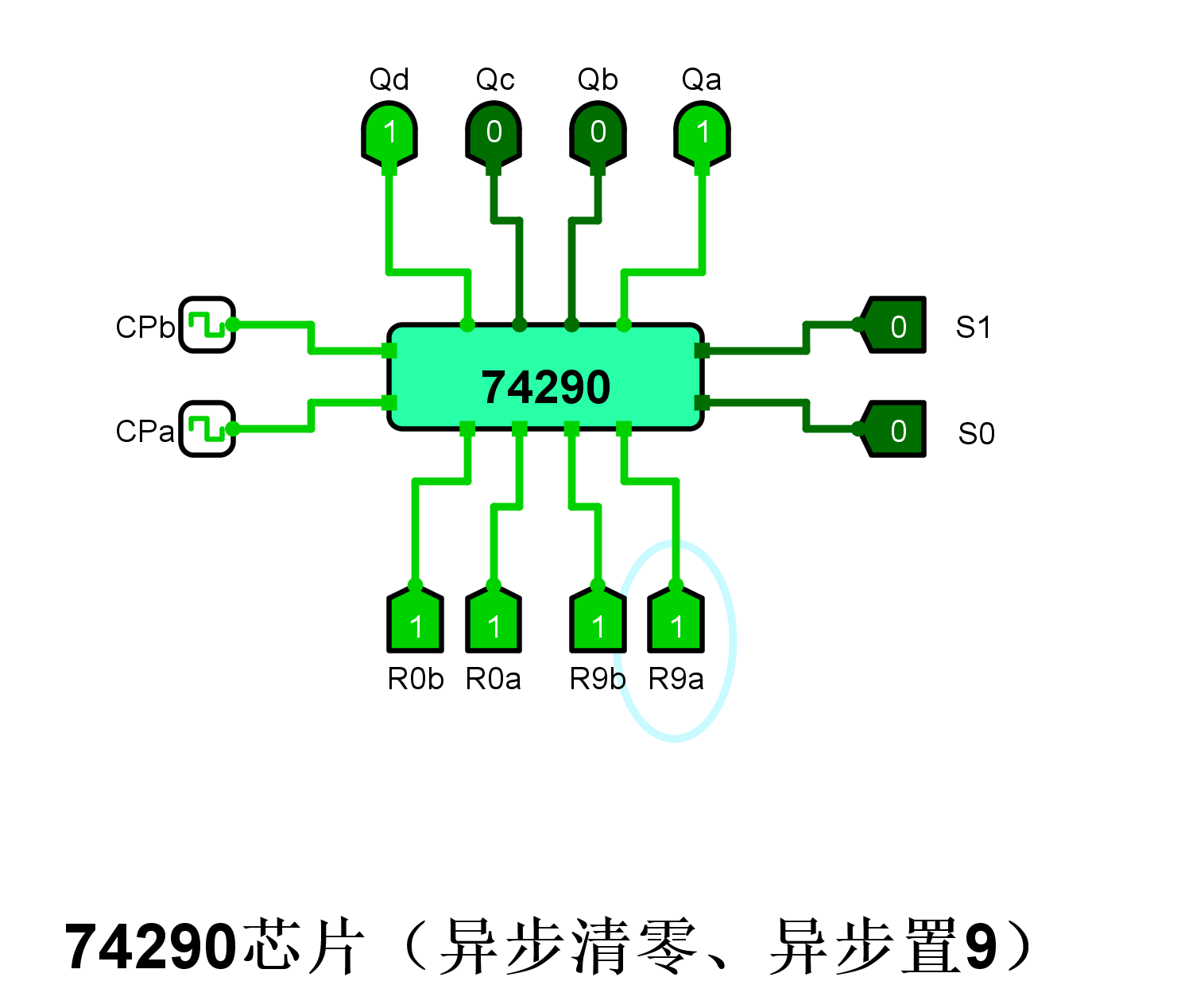
**7.14 按Ctrl+R，按“Reset”按钮，使Q7、Q6、Q5、Q4、Q3、Q2、Q1、Q0全部为0； 按CPu时钟按钮，Q7、Q6、Q5、Q4、Q3、Q2、Q1、Q0进行模147加法计数**



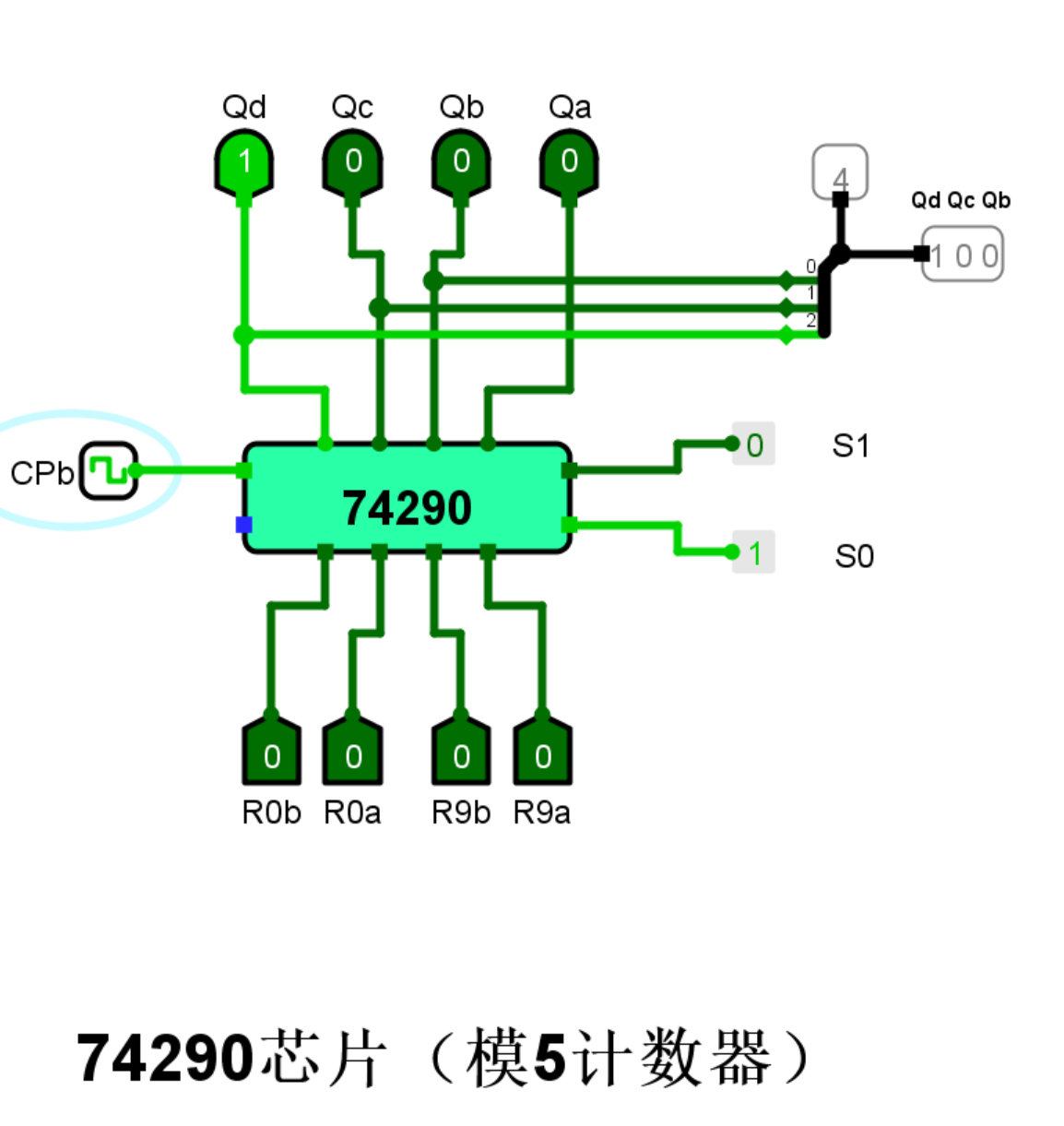
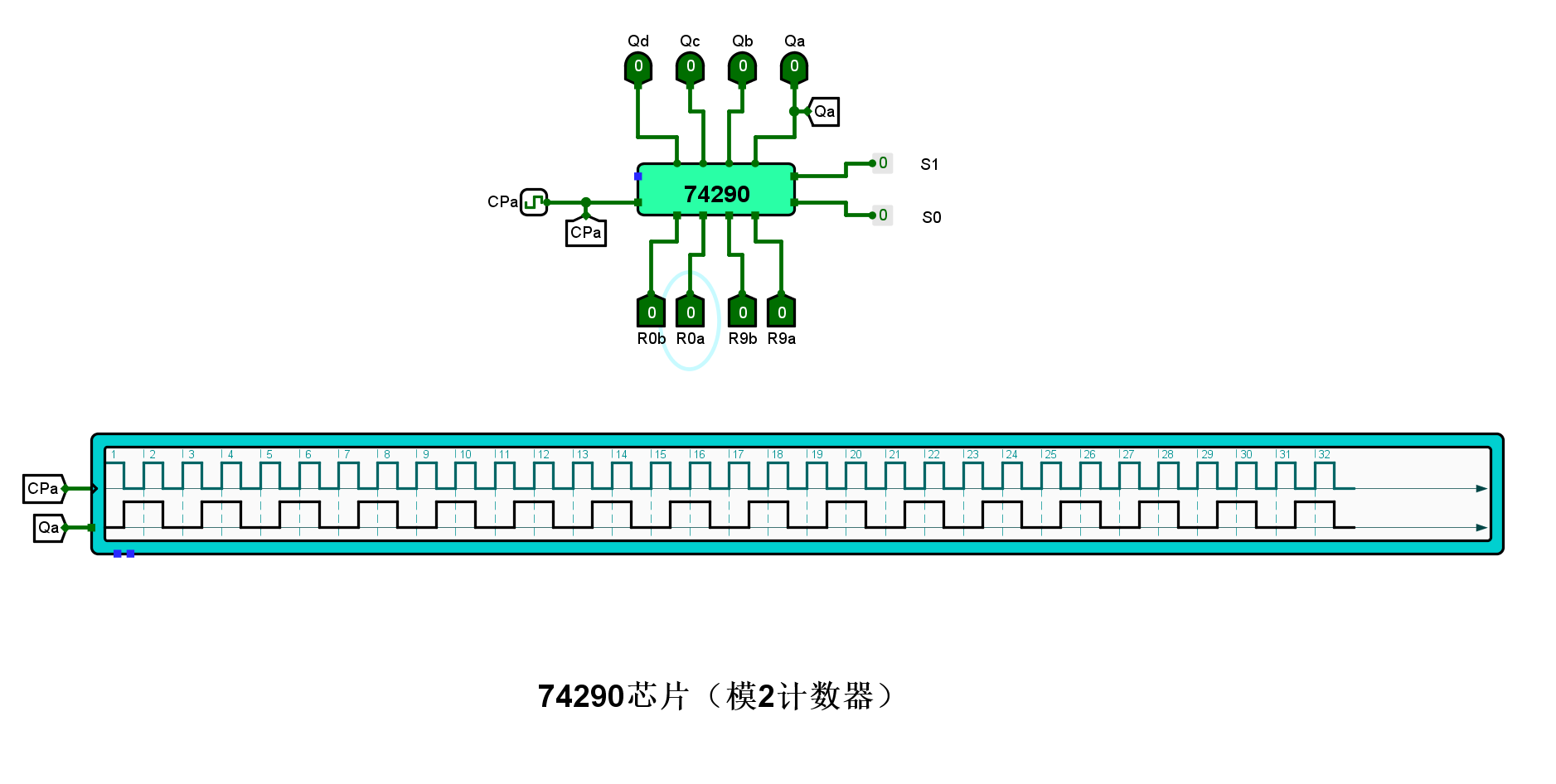
**二-五-十进制加法计数器**

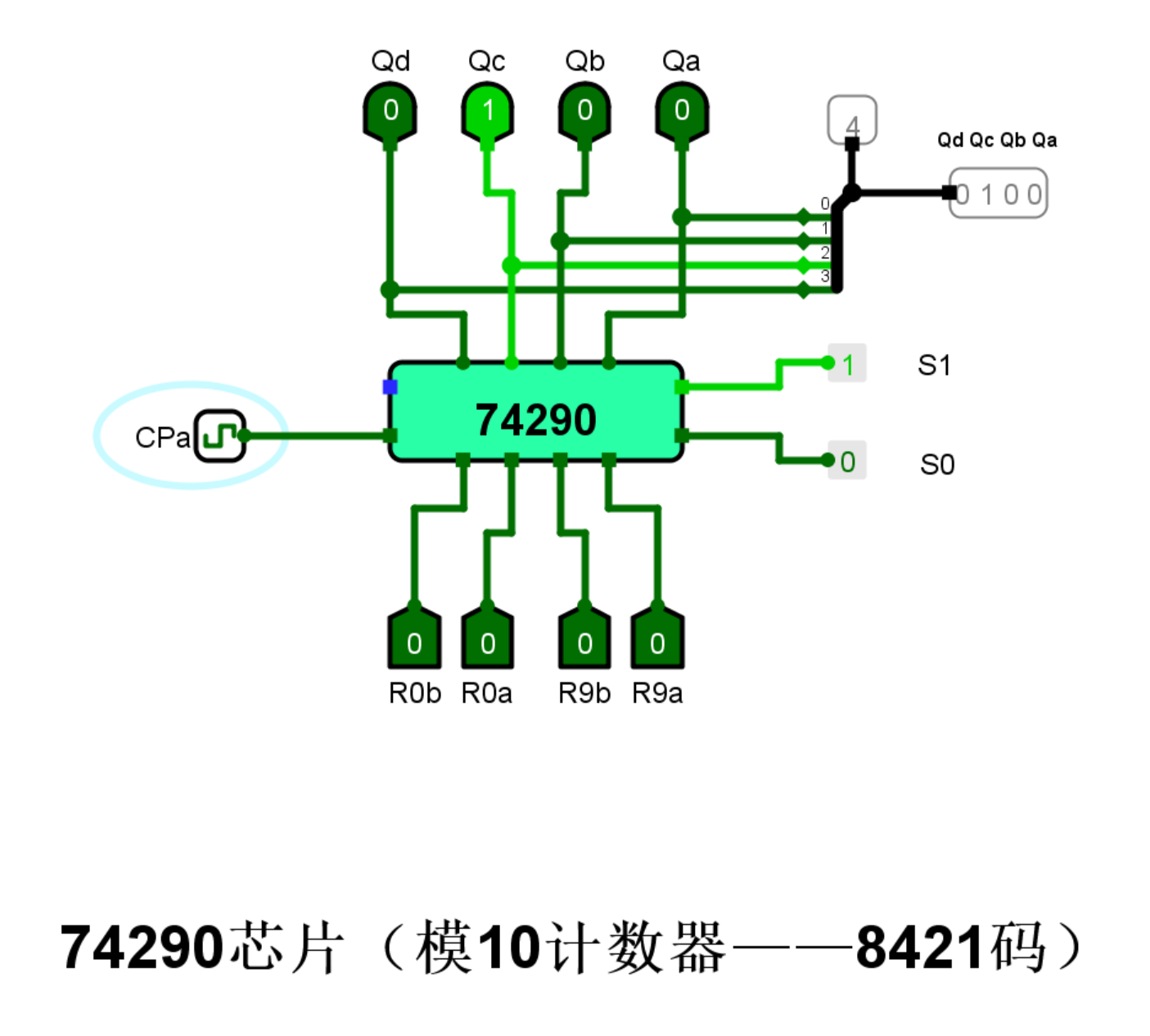
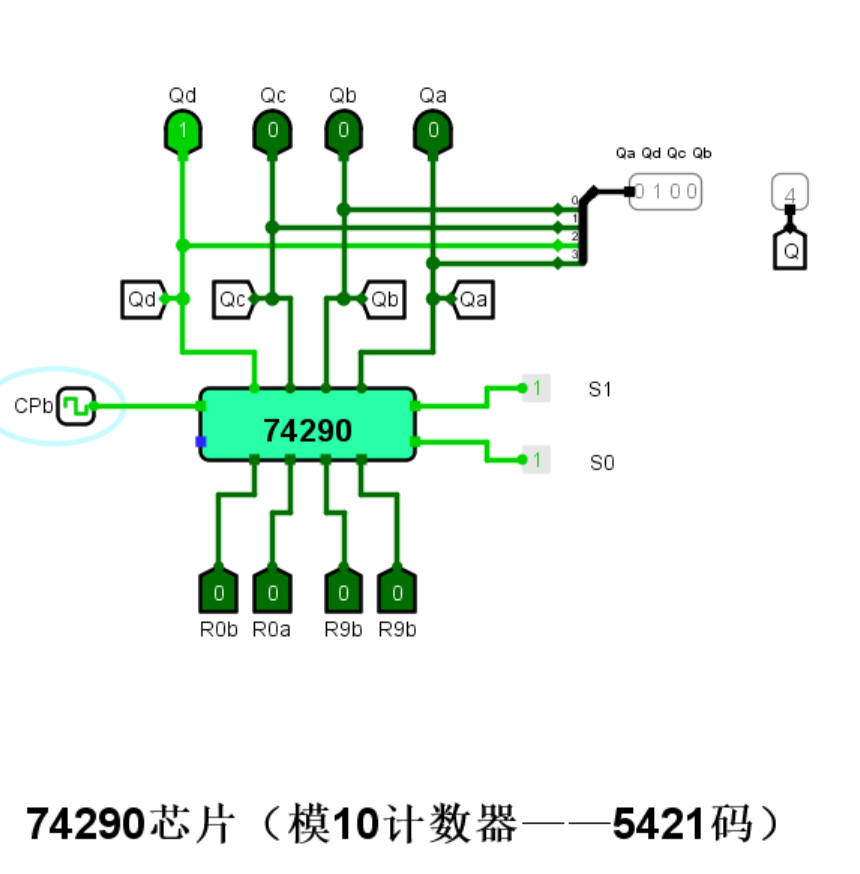


**置R0a=1、R0b=1，R9a=0，R9b=任意，Qd、Qc、Qb、Qa为0？置R9b=0，R9a=任意，Qd、Qc、Qb、Qa为0。置R9a=1、R9b=1，R0a=任意，R0b=任意，Qd、Qc、Qb、 Qa为1001**

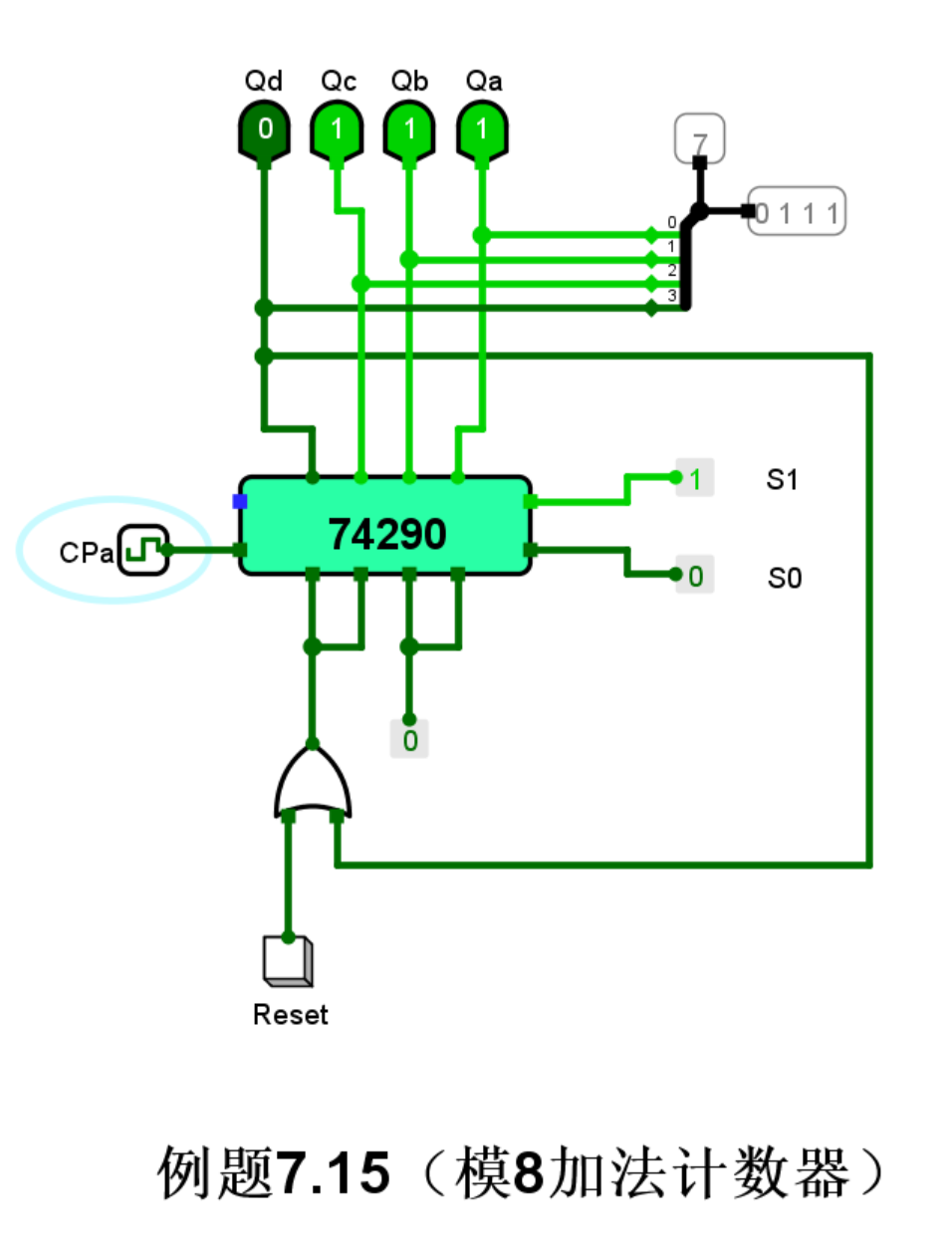
 

Qa的波 形为CPa波形的二分频

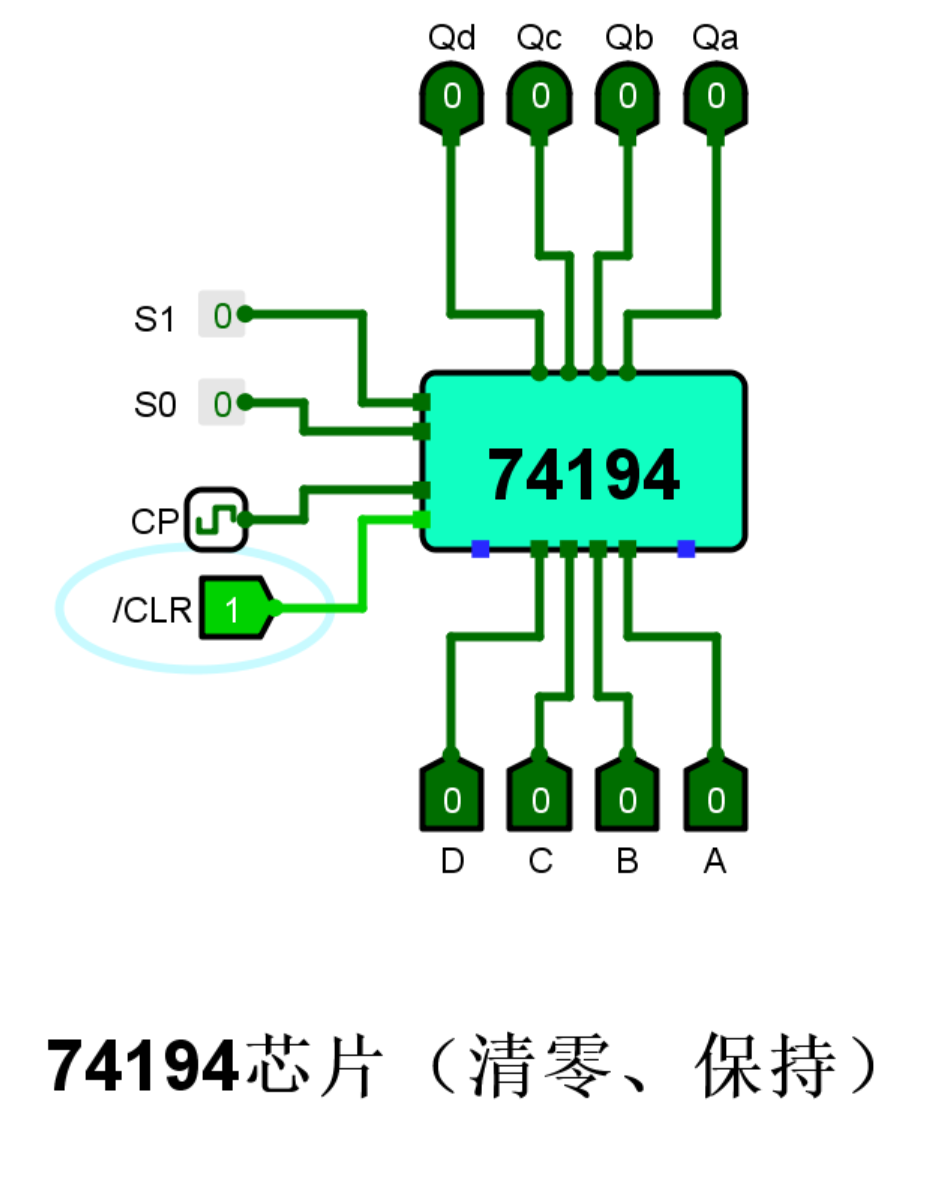
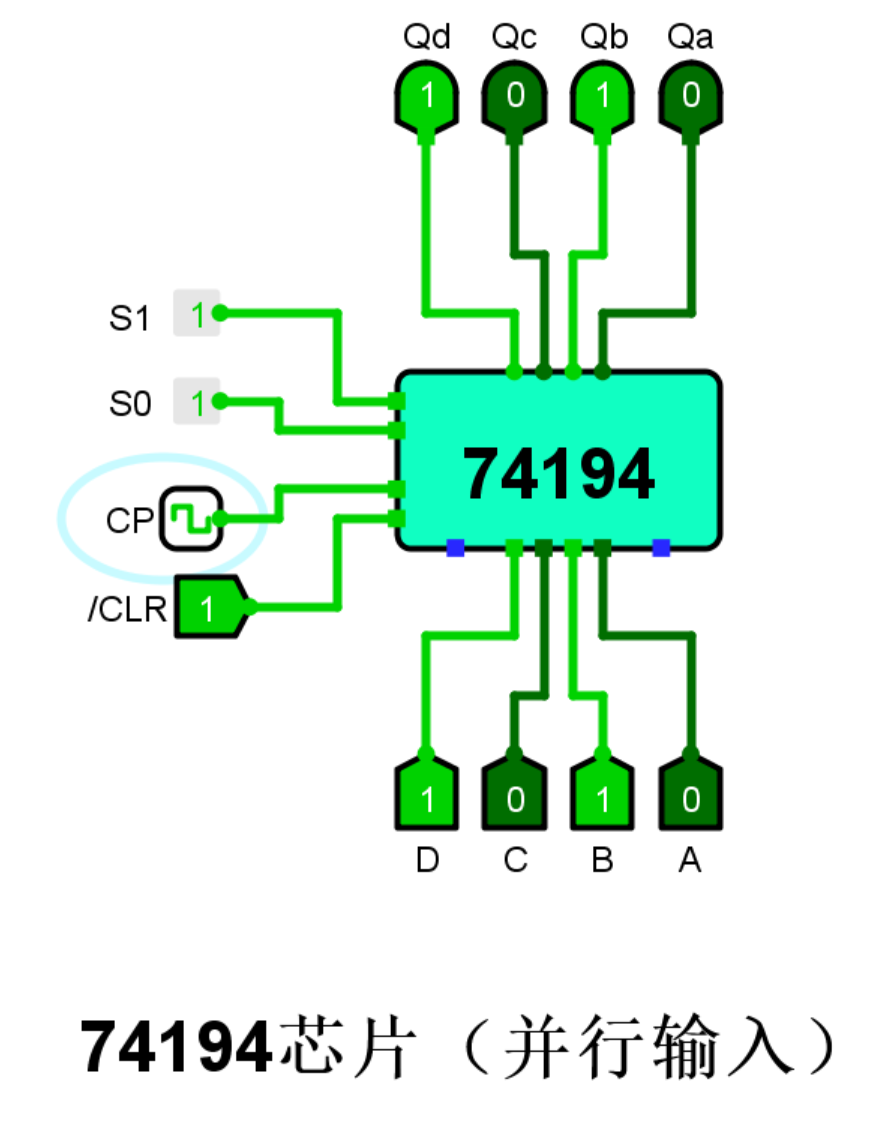


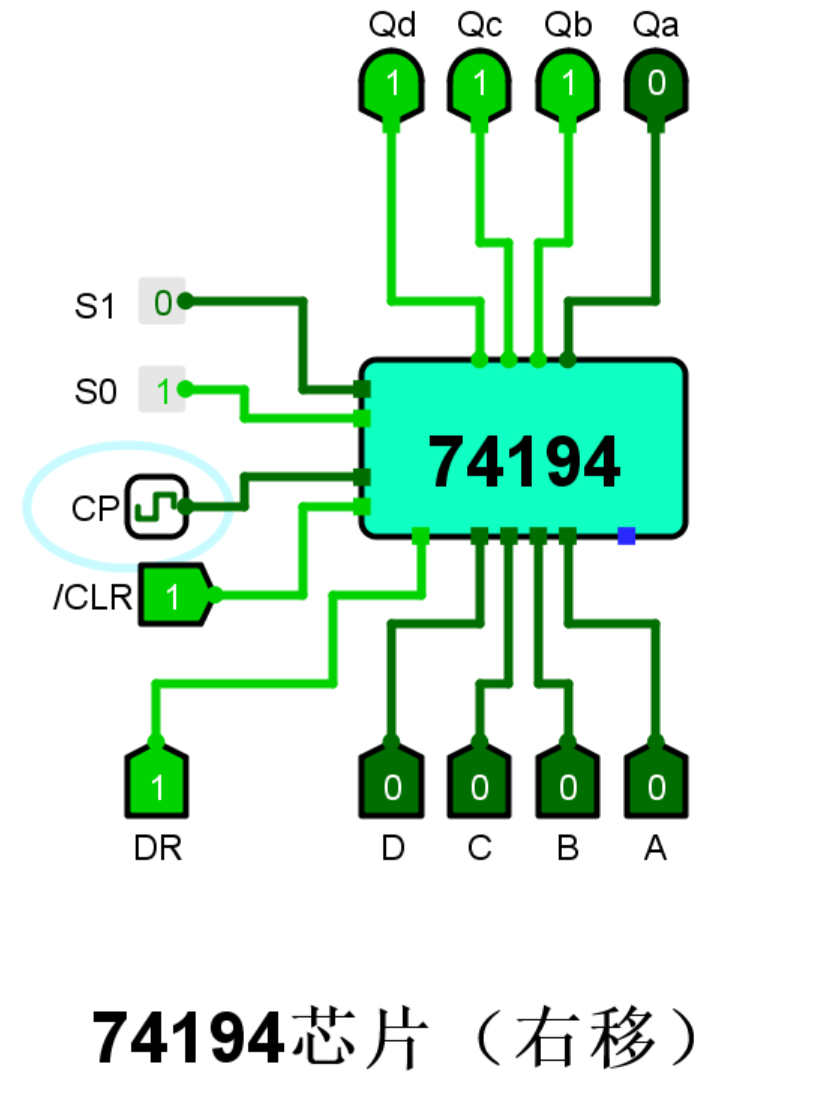
 

7.15 Qd、Qc、Qb、Qa进行模8加法计数

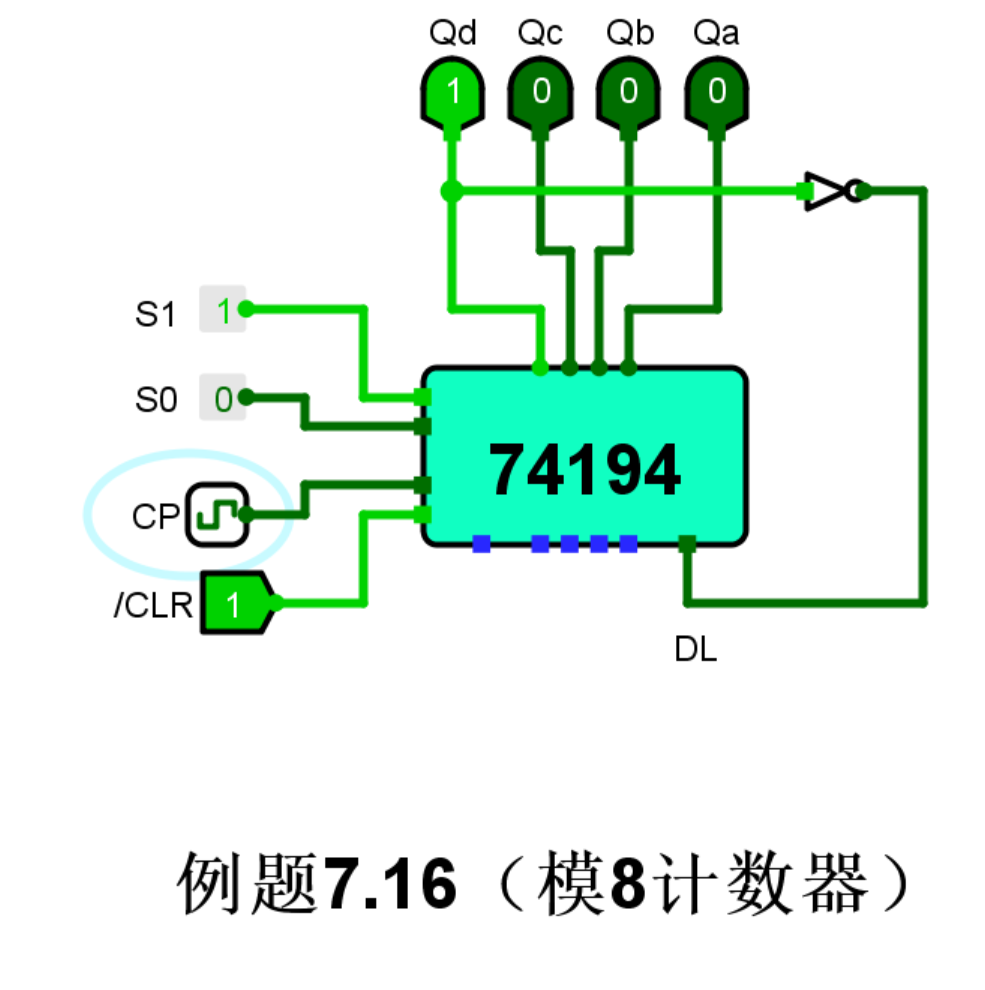


**4位双向移位寄存器 置/CLR=0，Qd、Qc、Qb、Qa为0？置/CLR=1，Qd、Qc、Qb、 Qa保持0**

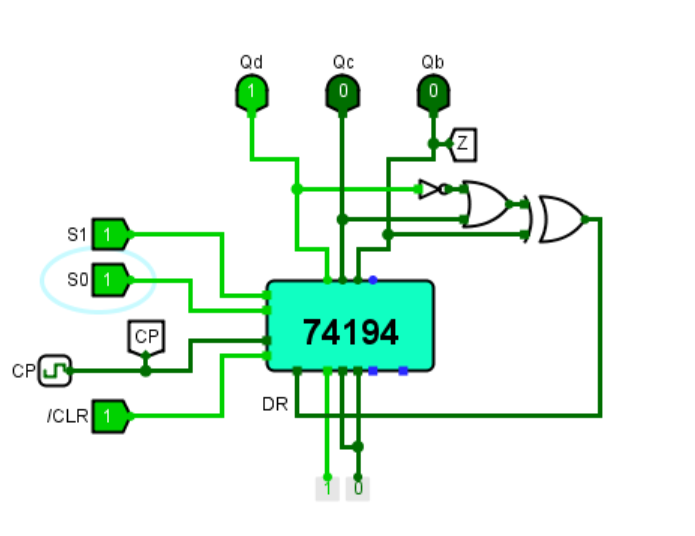
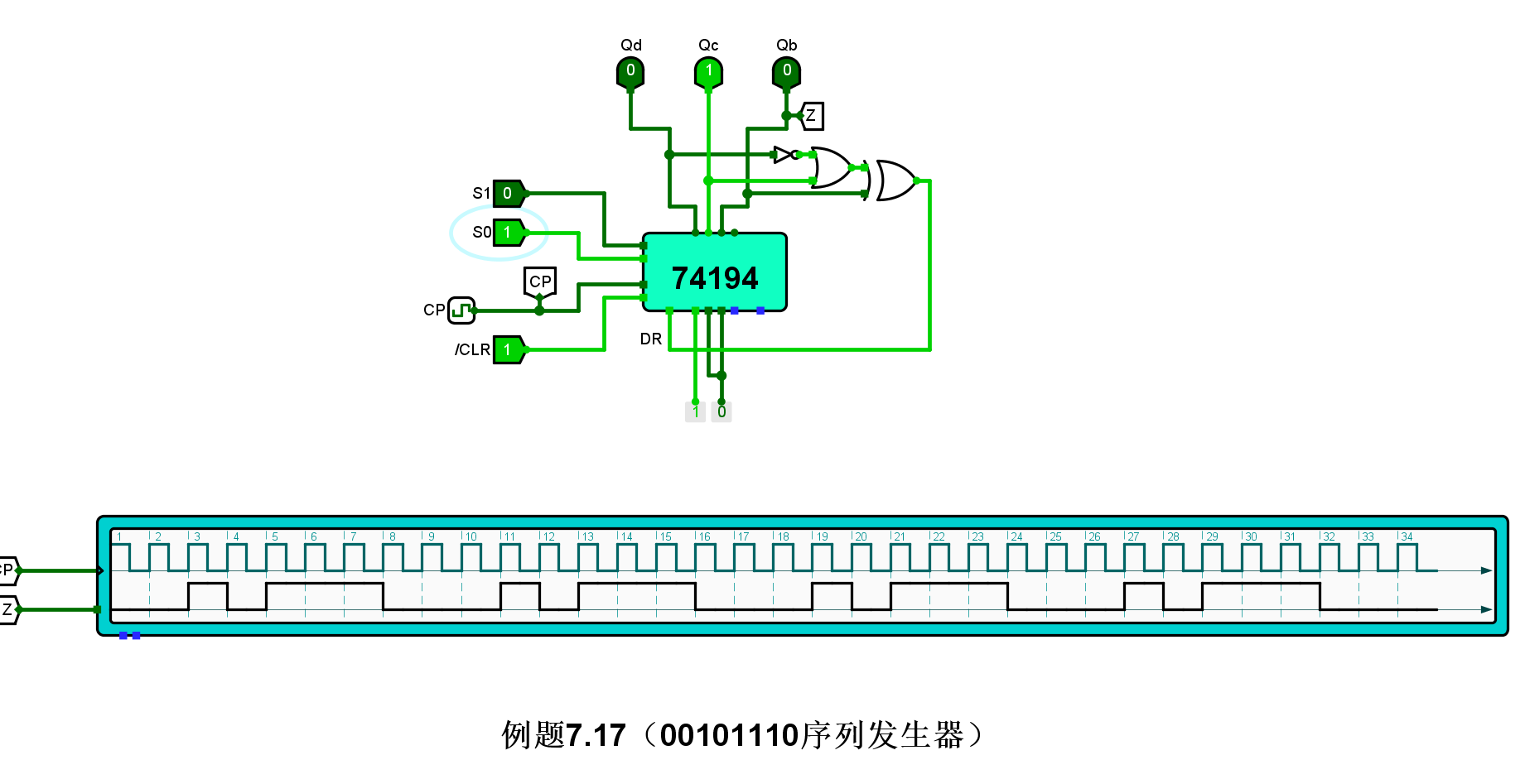
 

****

7.16 Qd、Qc、Qb、Qa按照表7.18的 状态转移表变化

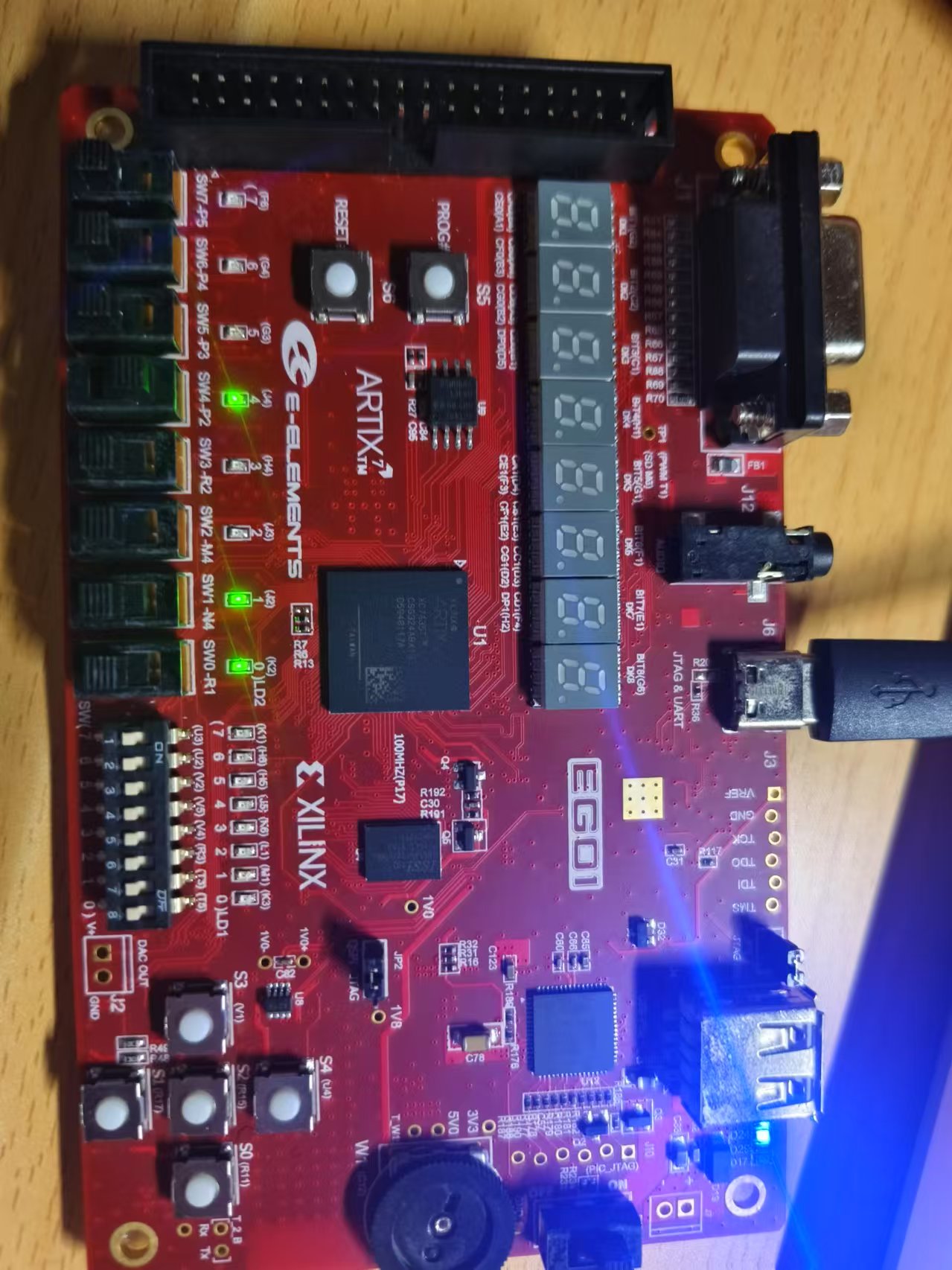


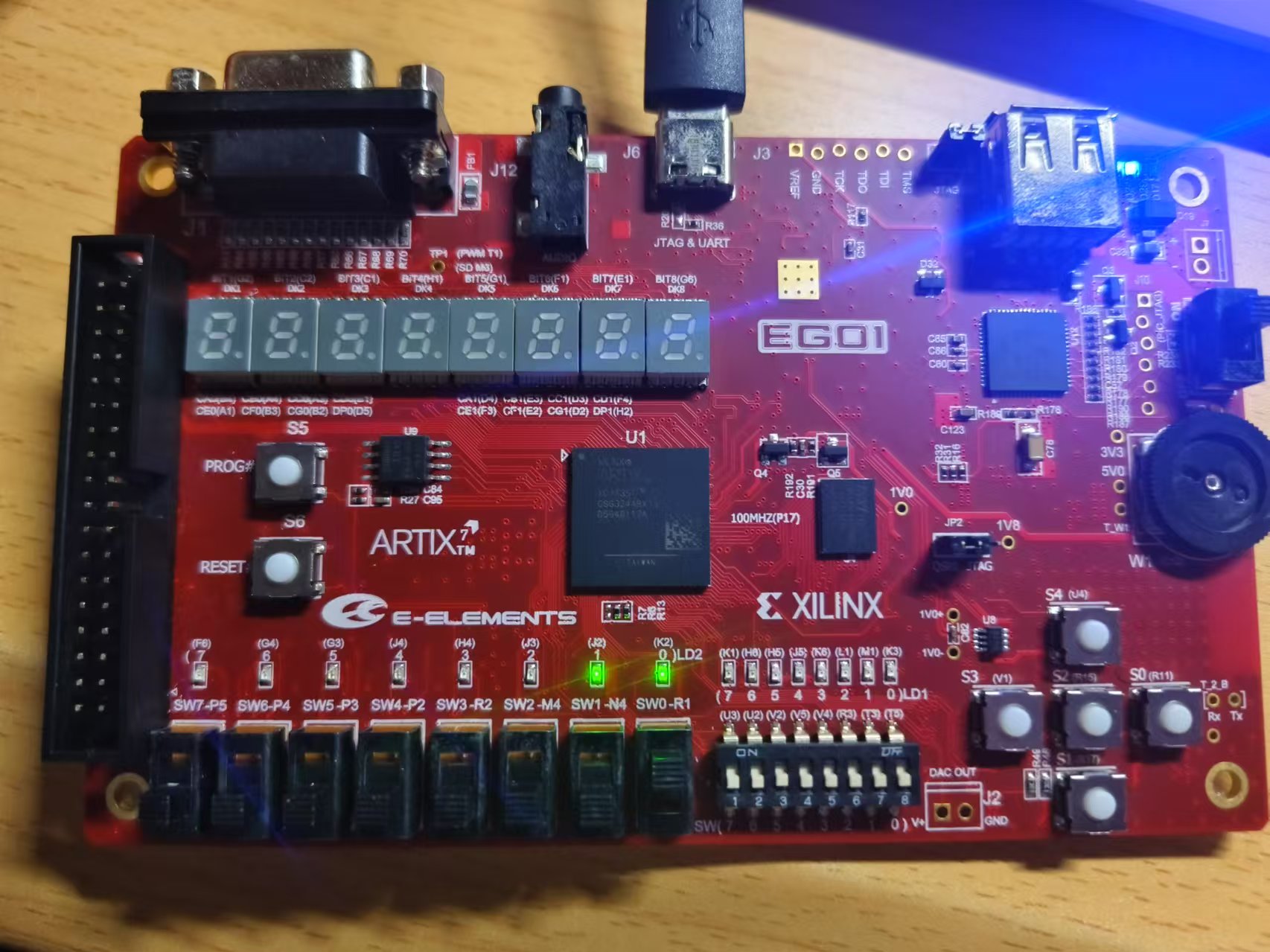
7.17 Qd、Qc、Qb变为100.Qb（Z）输出00101110 00101110 00101110………序列

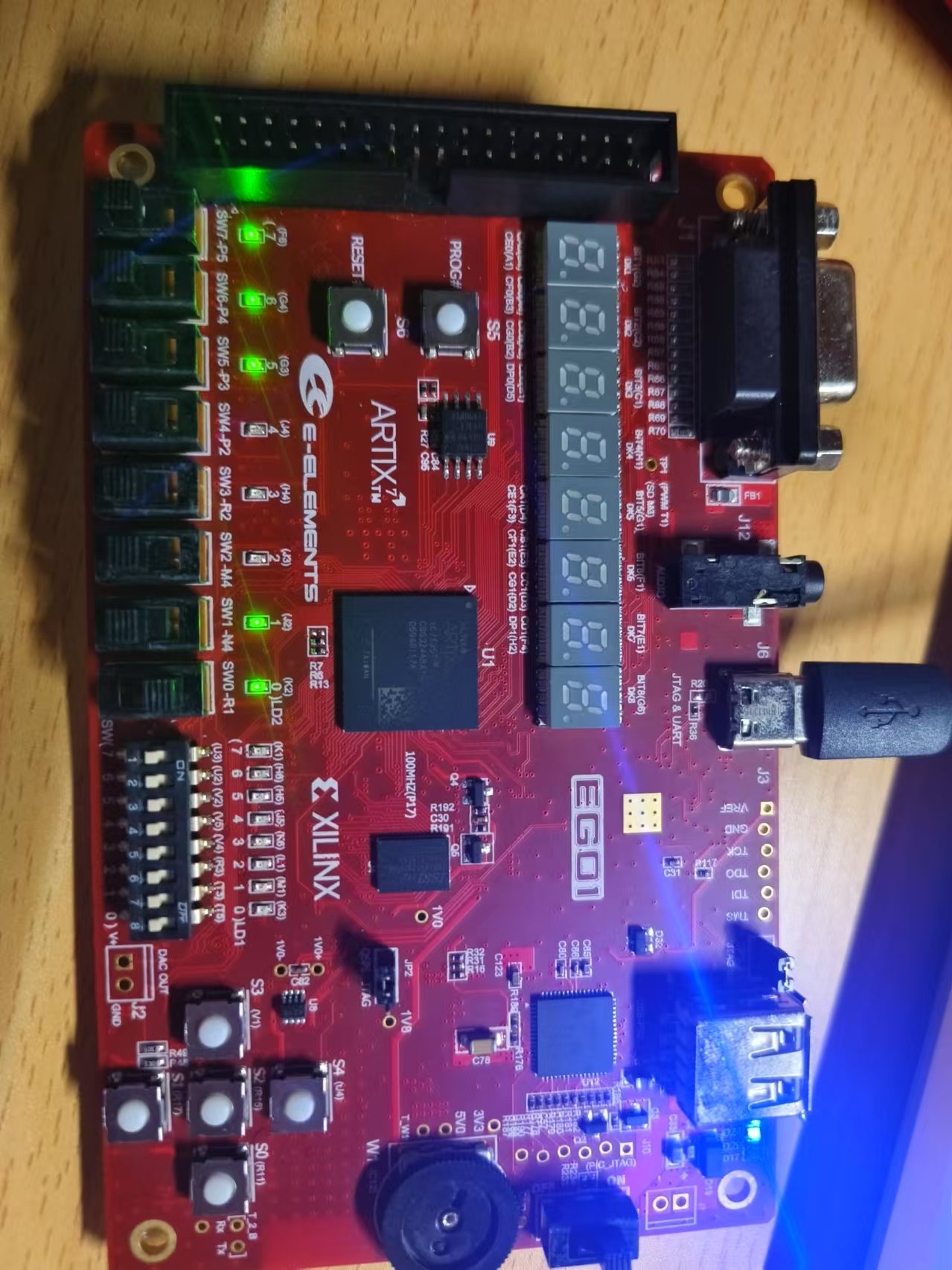
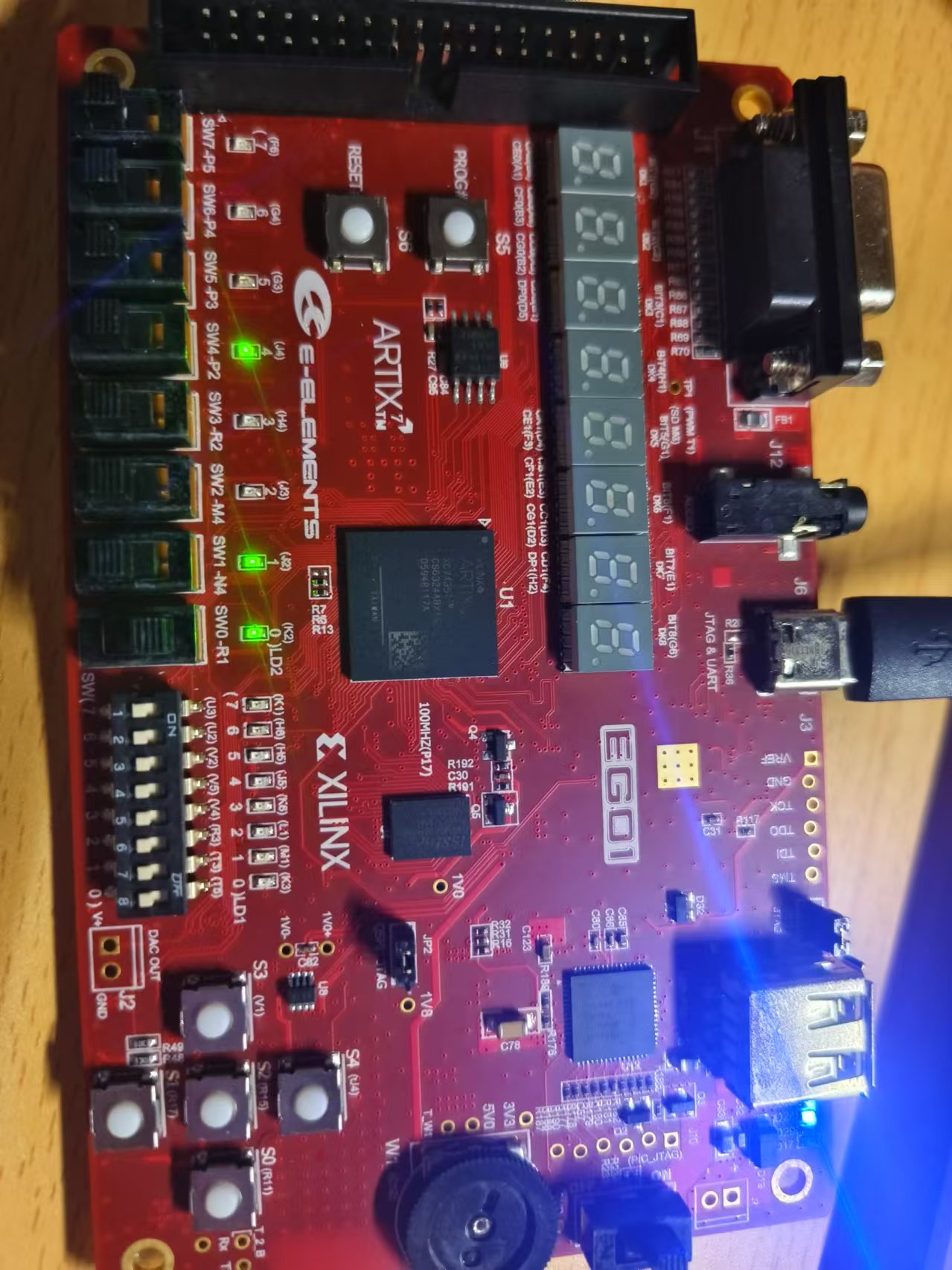
 



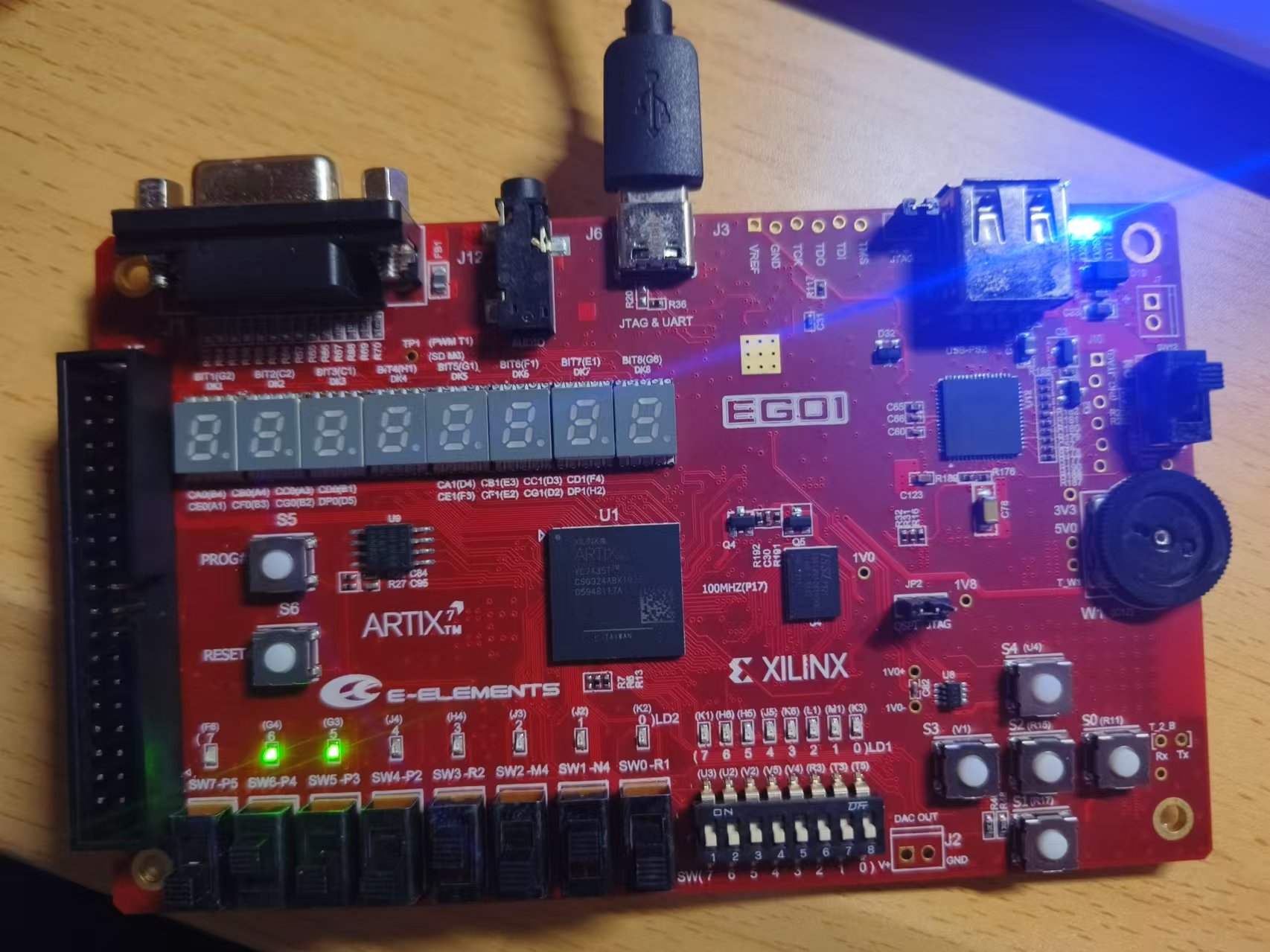
**双时钟4位二进制同步可逆计数器**

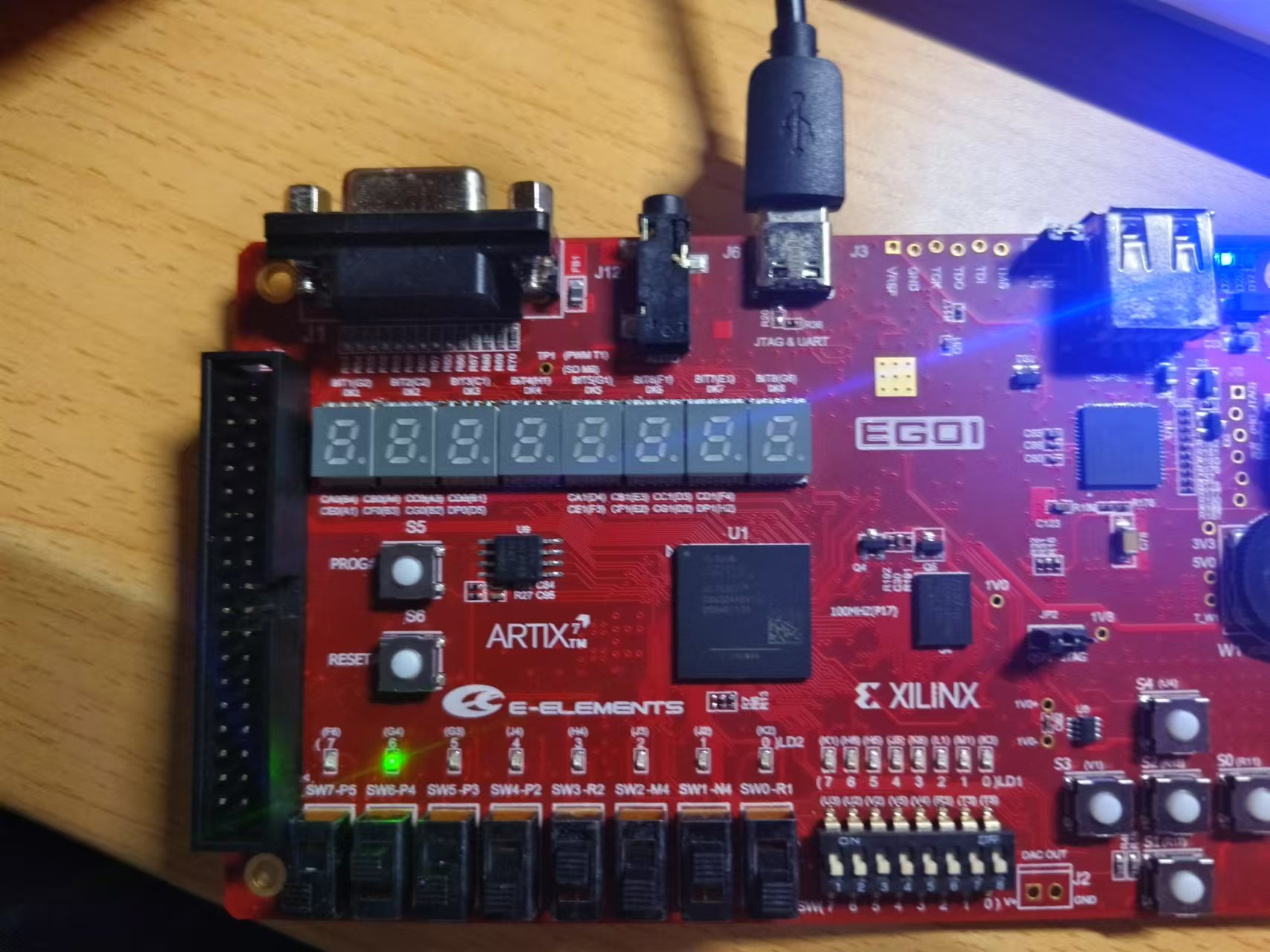
****

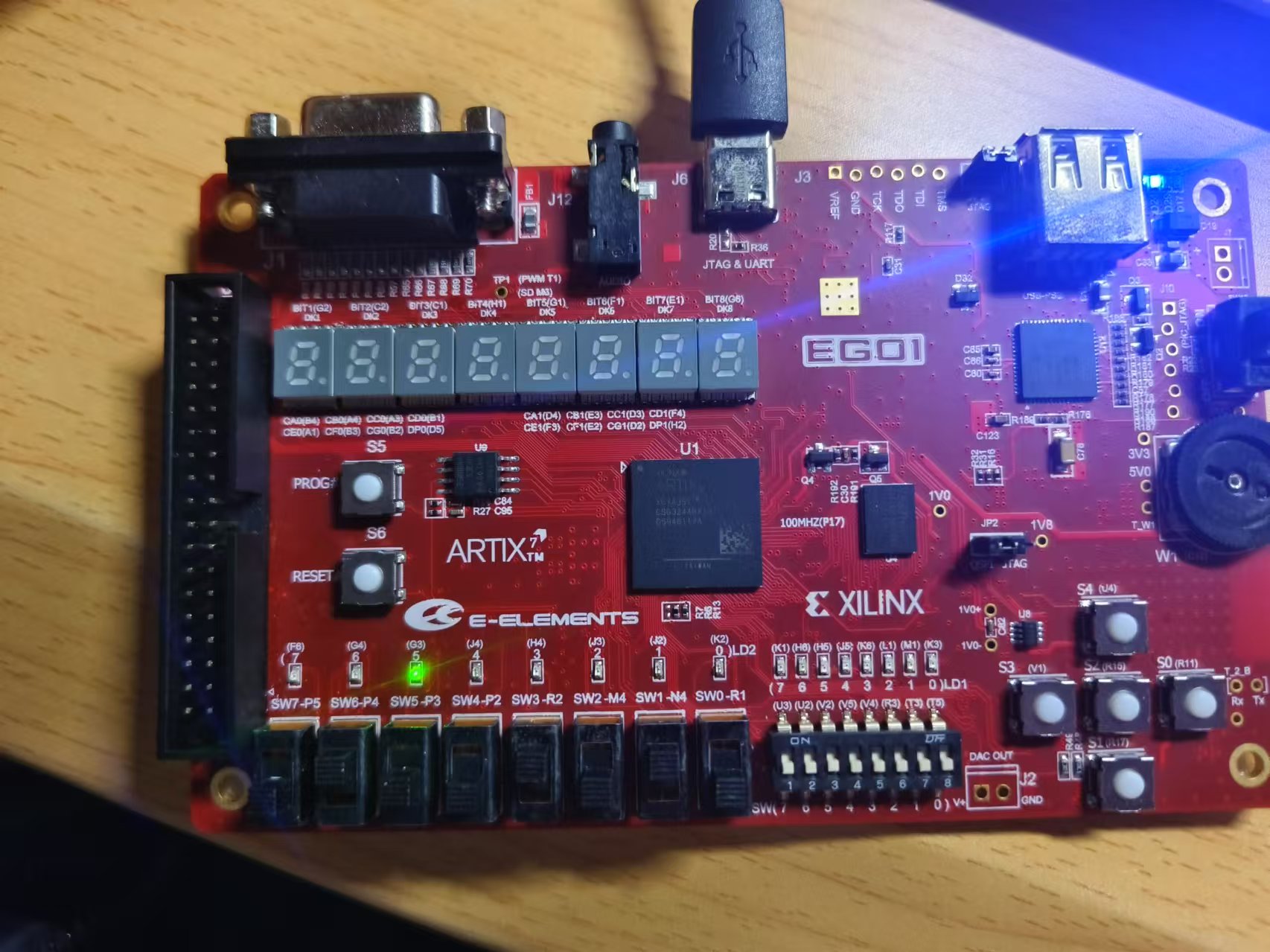
****

****

**二-五-十进制加法计数器**

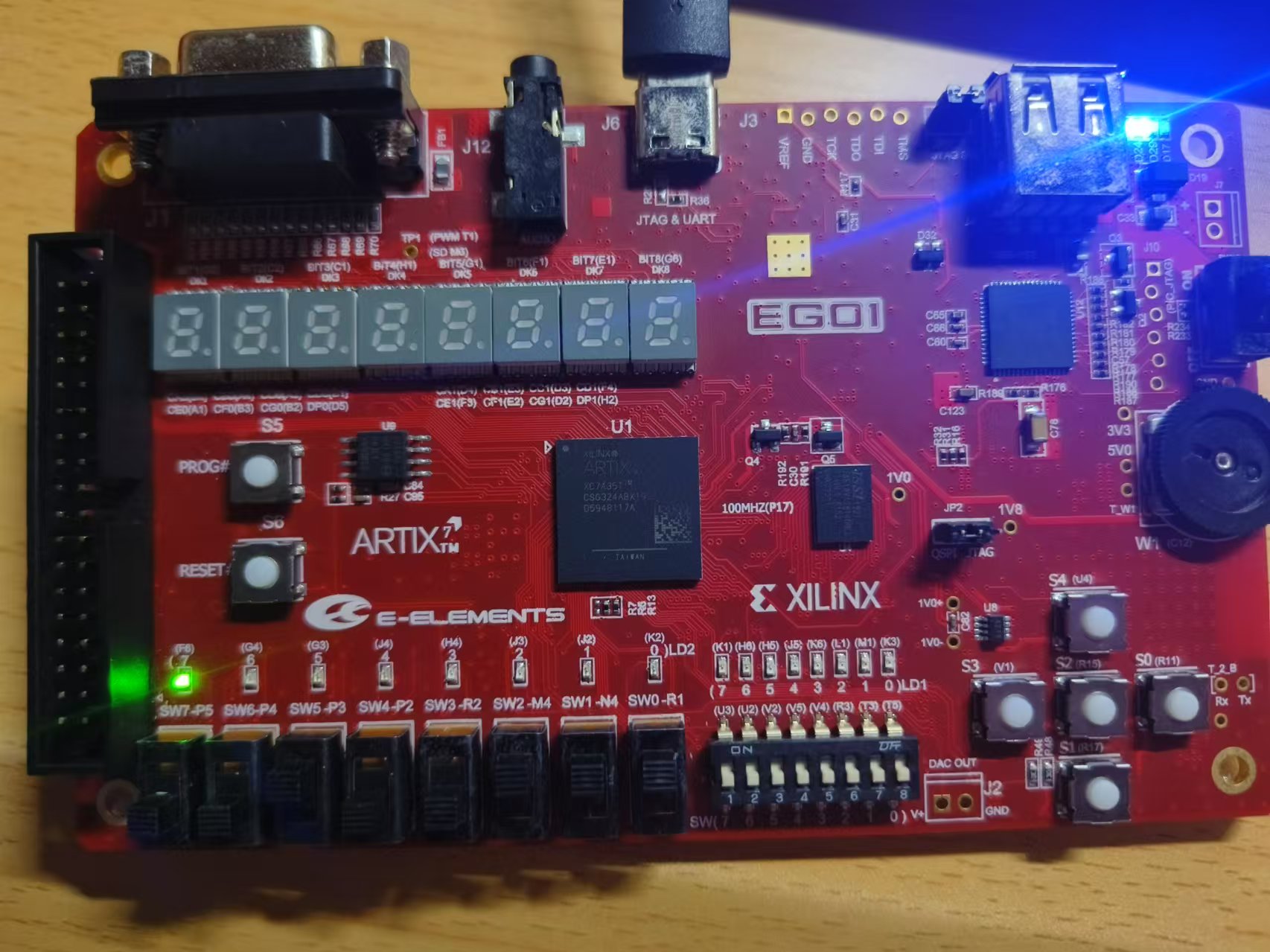
****

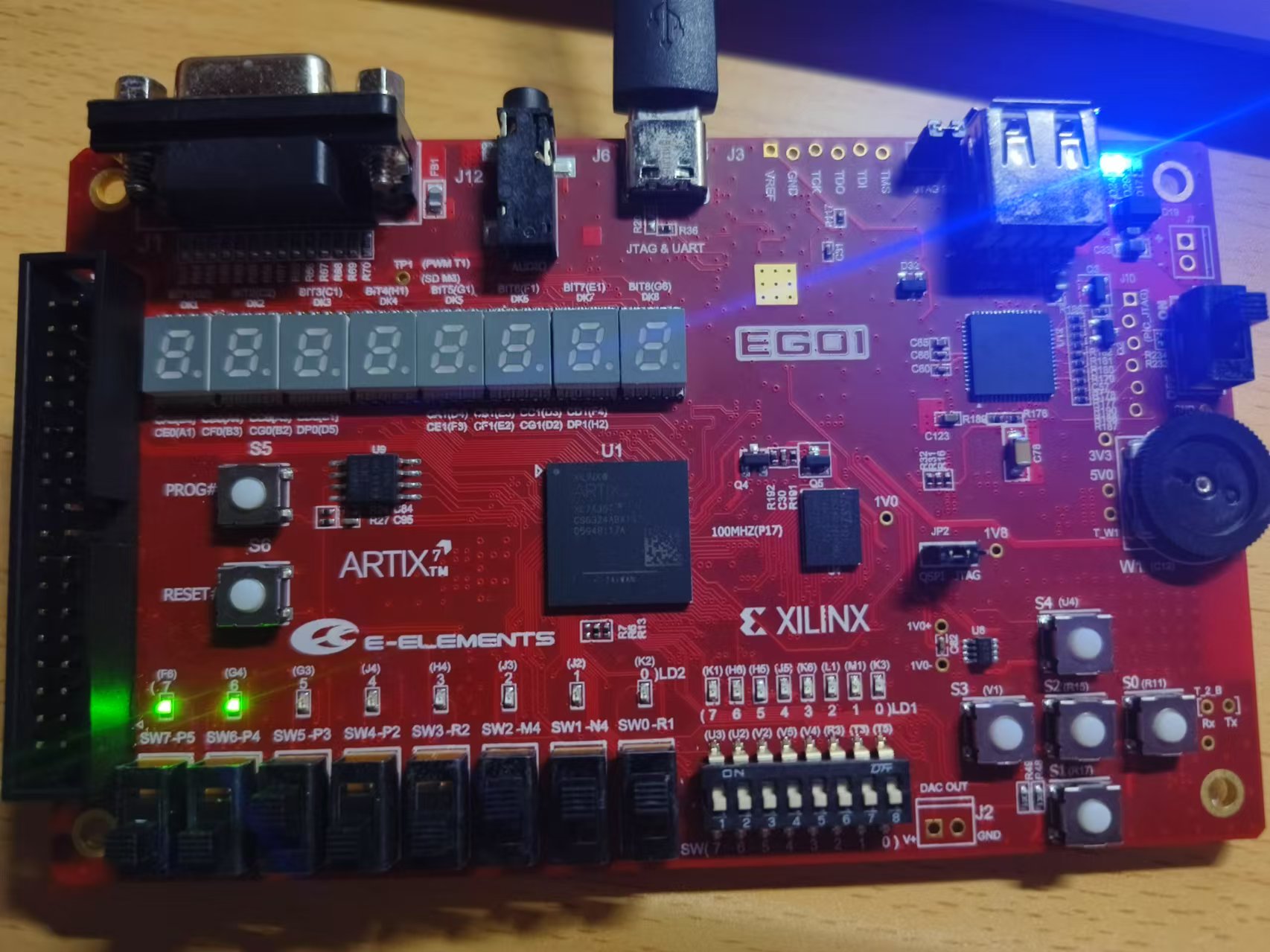
****

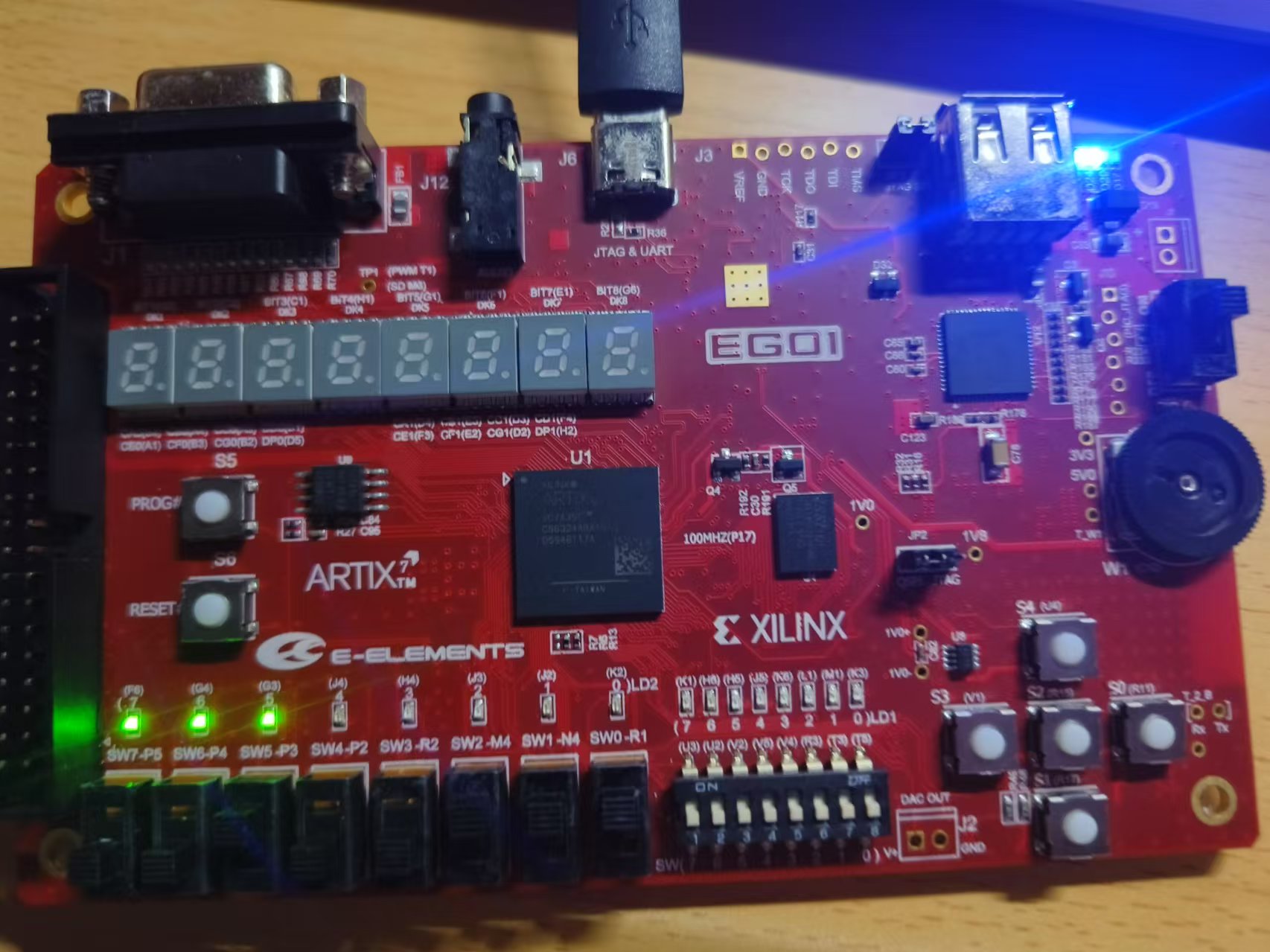
****

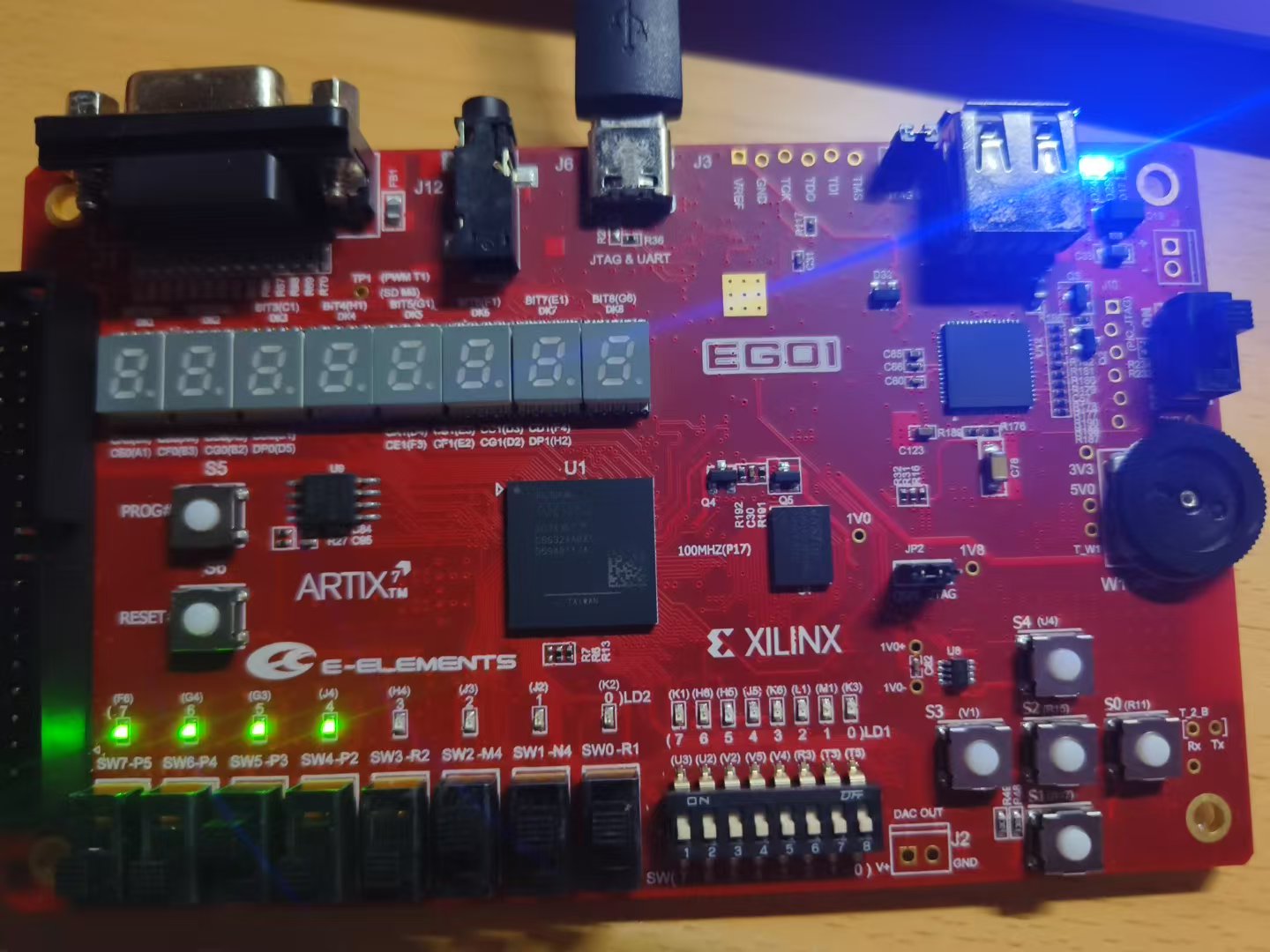
****

**4位双向移位寄存器**

****

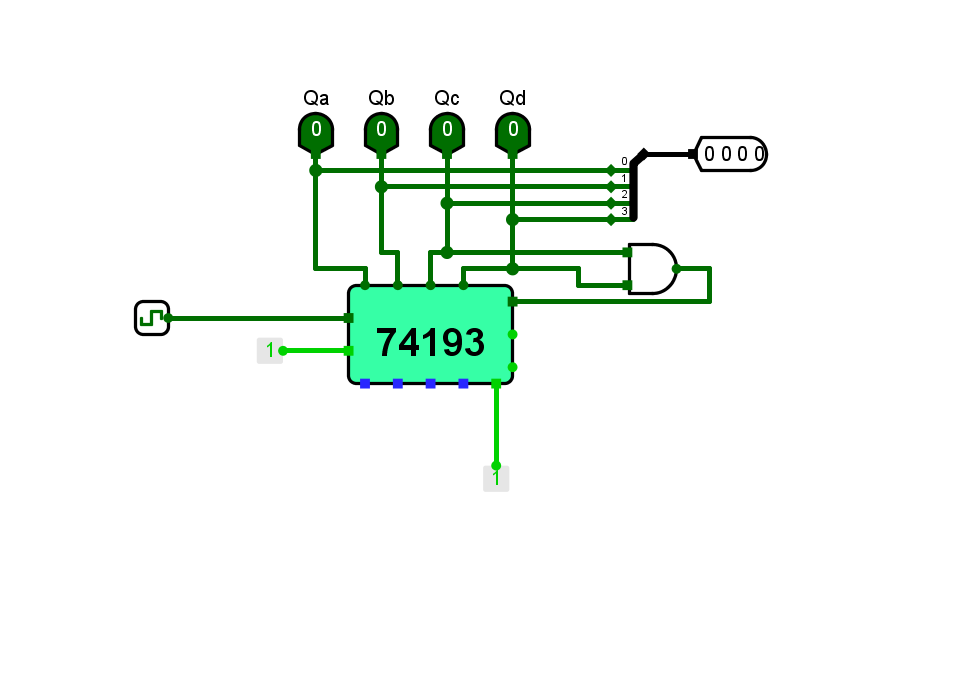
****

****

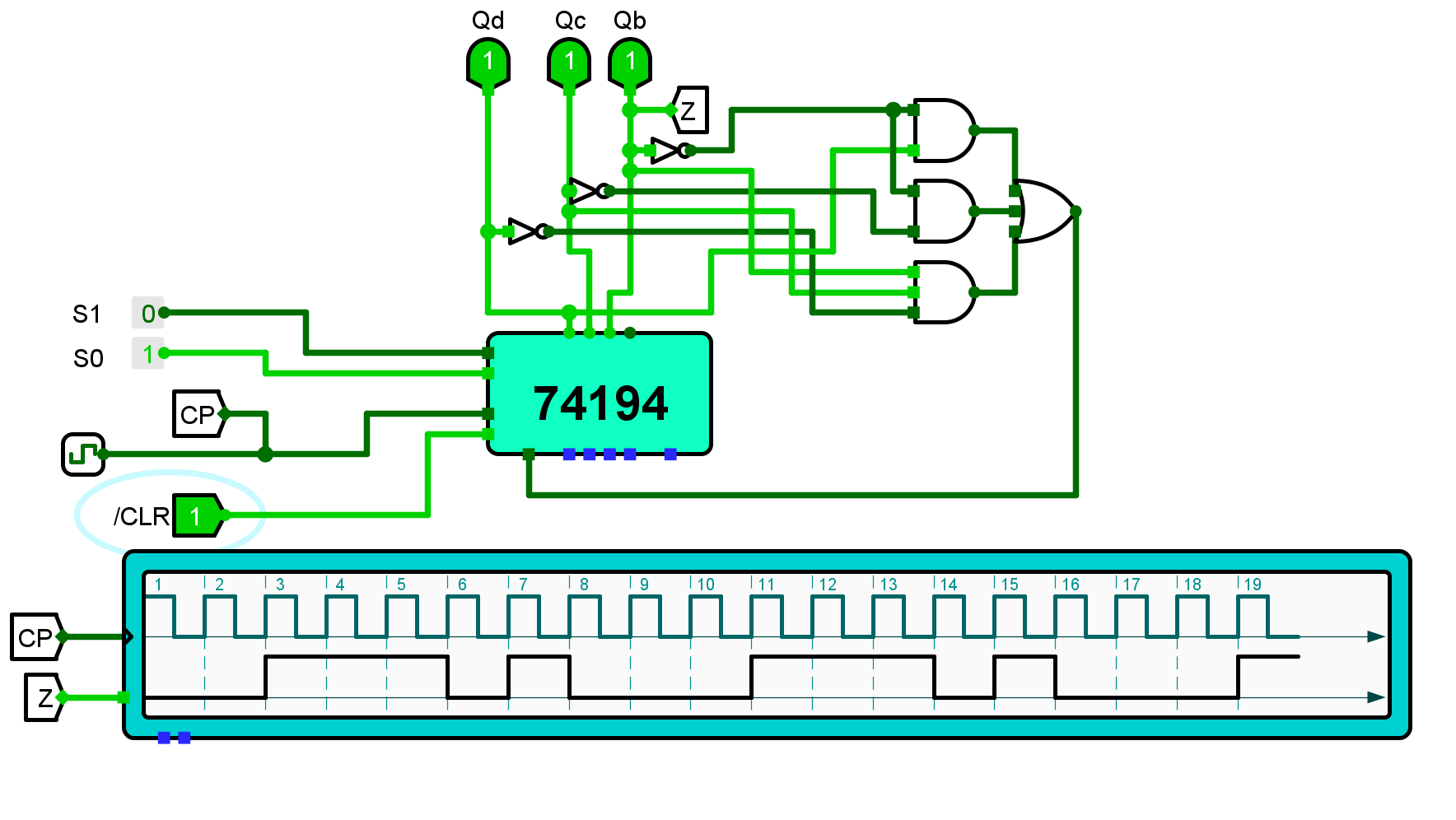
****

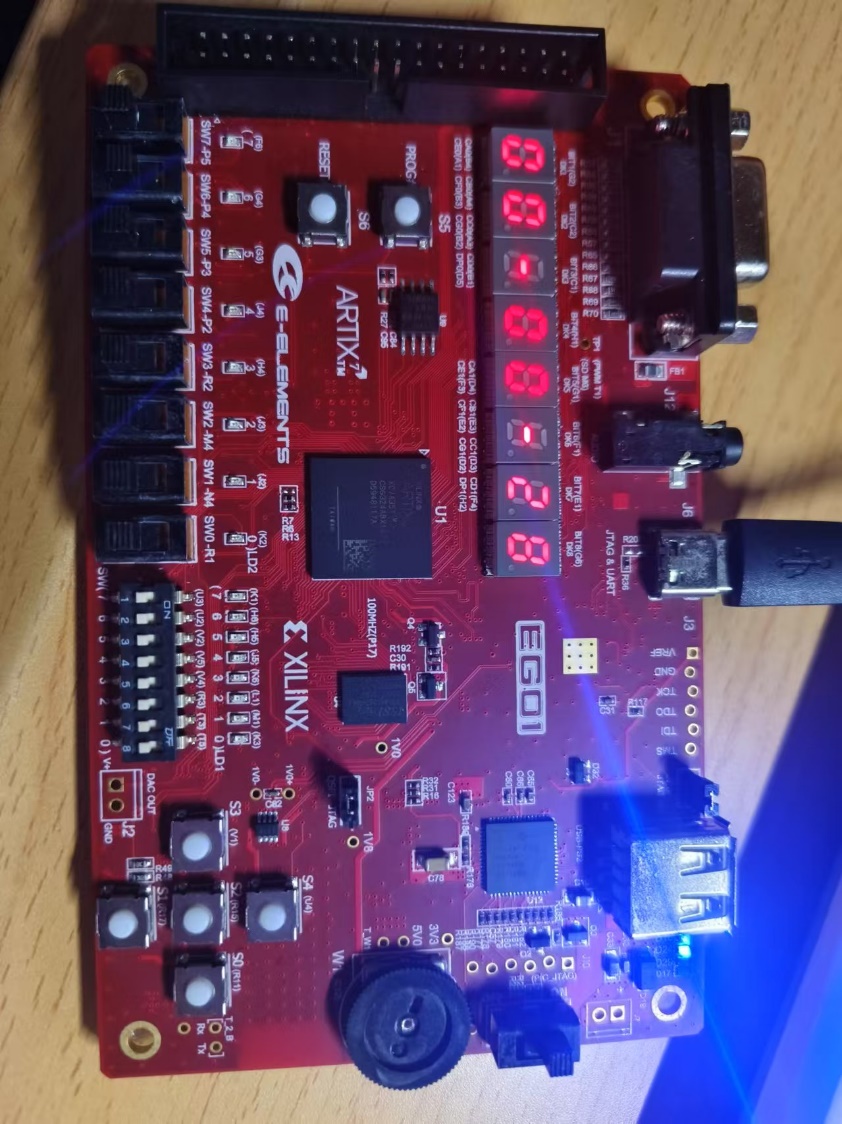
* 1. **课后完成部分（设计实验的内容）**

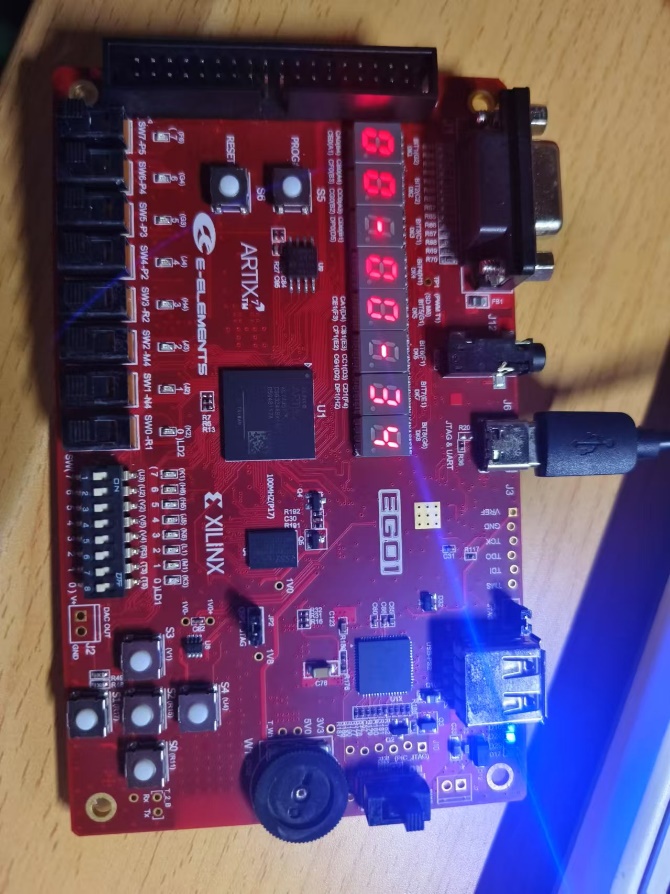


**7.9**

**7.10**



****

****

1. **鼓励有兴趣的同学完成挑战内容实验。**