



**《数字逻辑》**

**课程实验报告**

姓名： 宋浩元

学院：信息学院

系：软件工程系

专业：软件工程

学号：37220232203808

2024年11月4日

**第5次实验 在Logisim和FPGA开发板上实现异步时序逻辑电路**

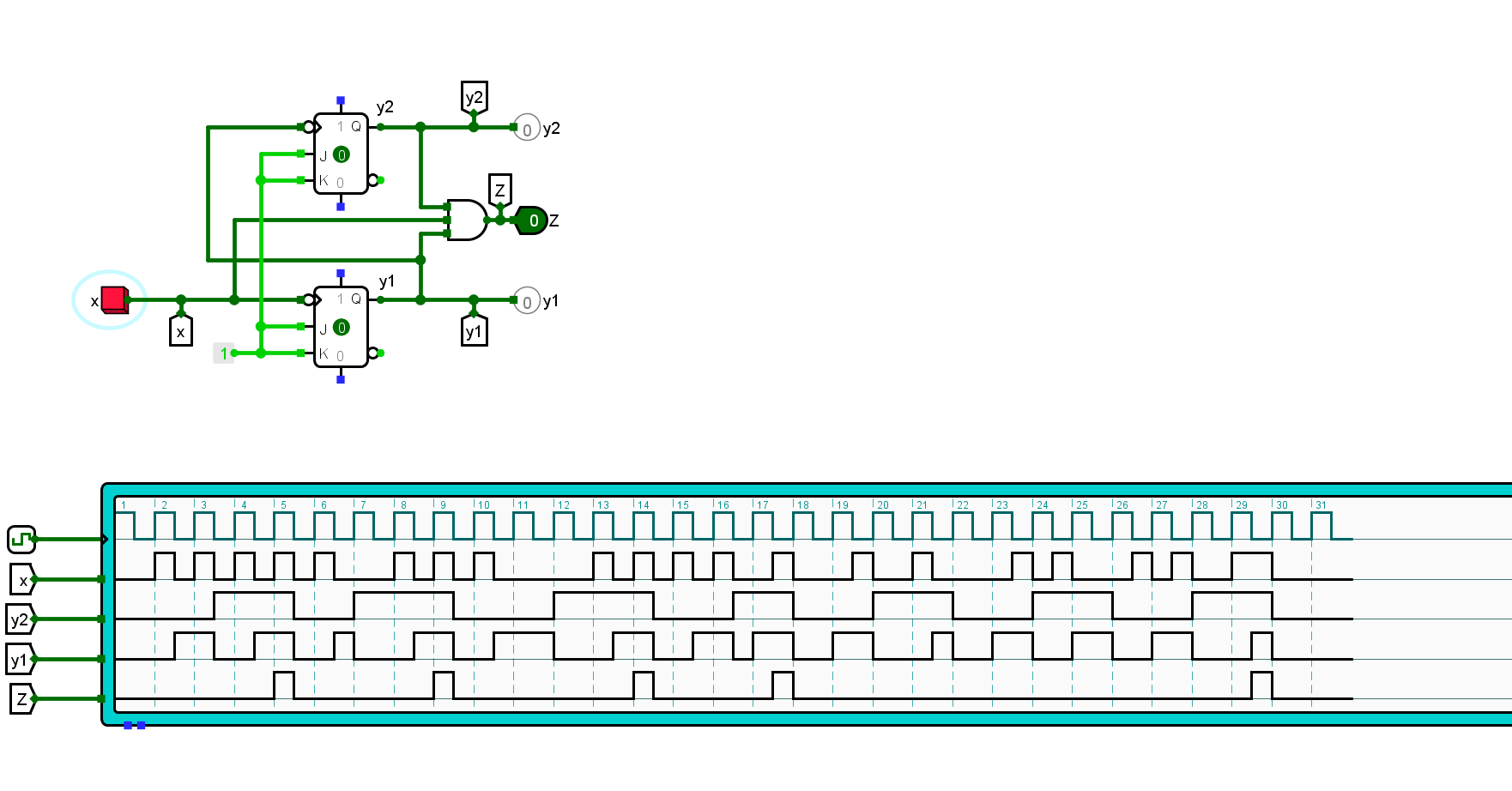
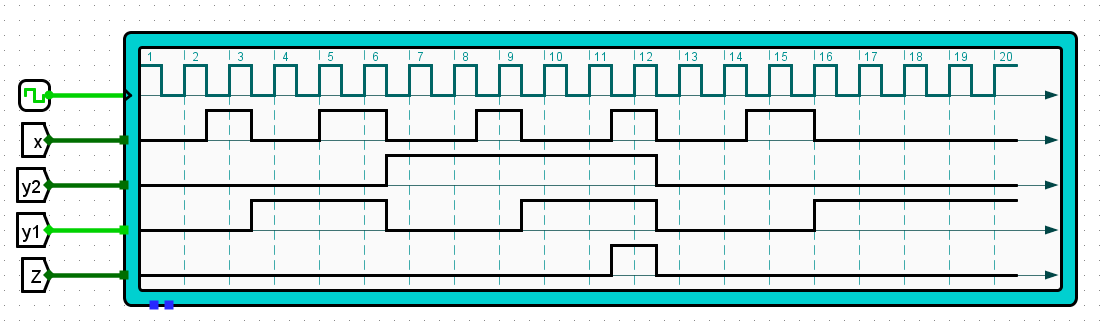
1. **实验环境**

**（1）Vivado 软件（2019.2版本）。**

**（2）Logisim软件（需安装JDK）。**

**（3）FPGA开发板（EGO1型号）。**

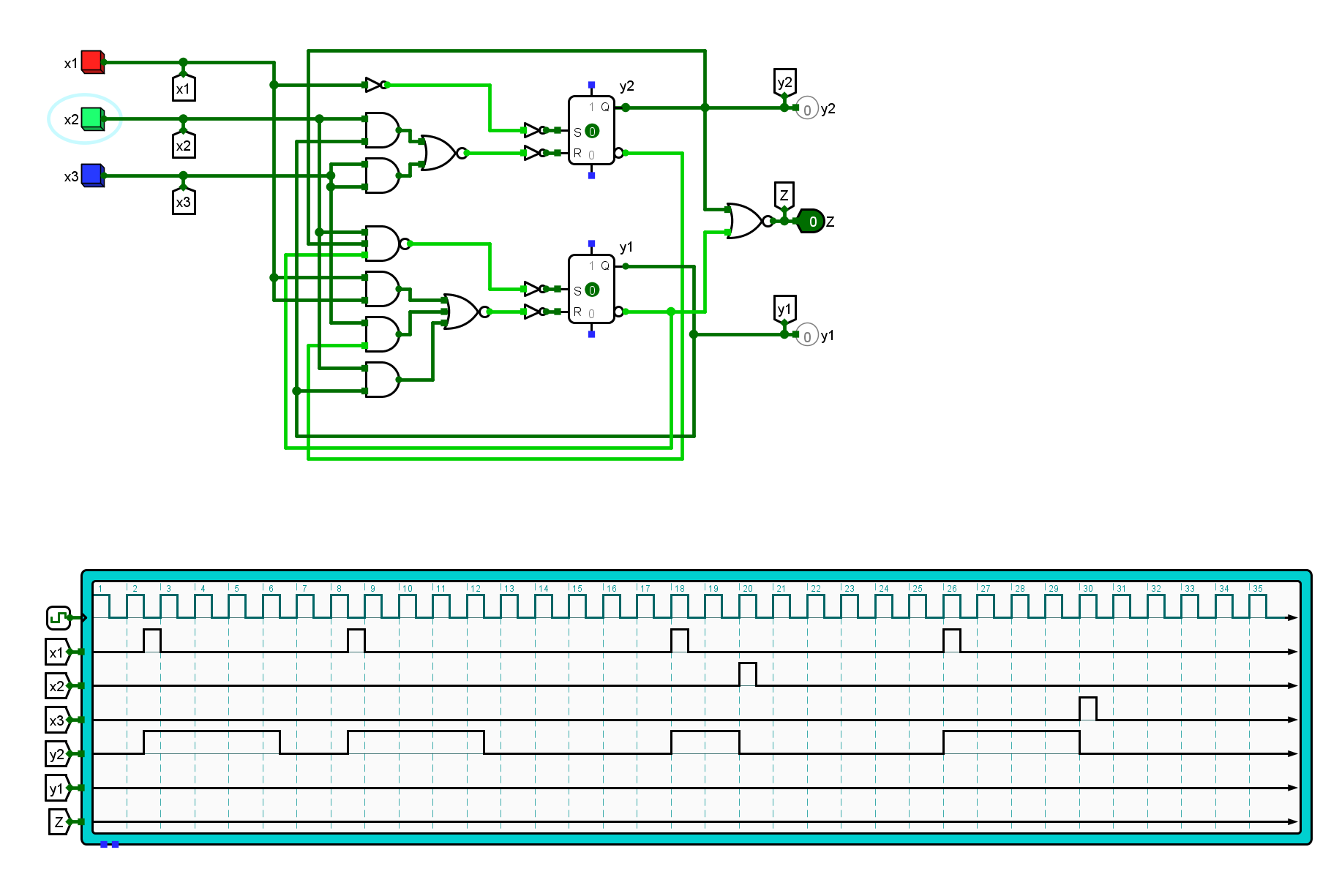
1. **实验内容**
   1. **课堂完成部分（验证实验的内容）**
2. 例题6.1的实现：产生波形类似。



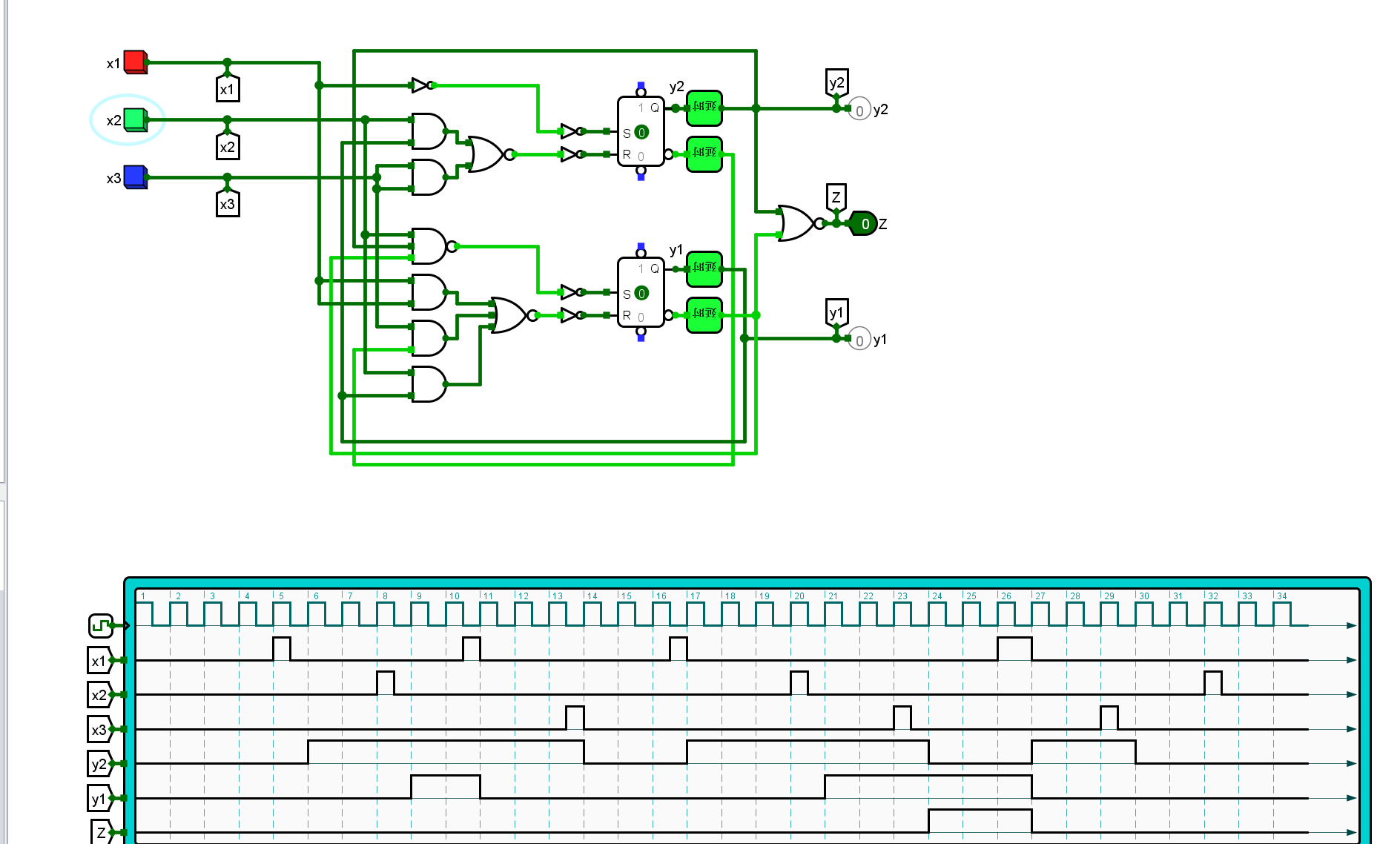
1. 例题6.2的实现 在Logisim上实现例题6.2的“x1 - x2 - x3”序列检测器（图6.5），该电路的输入为x1、 x2、 x3，状态为y2、 y1，

输出为Z。

第一个与预期输出不相符：



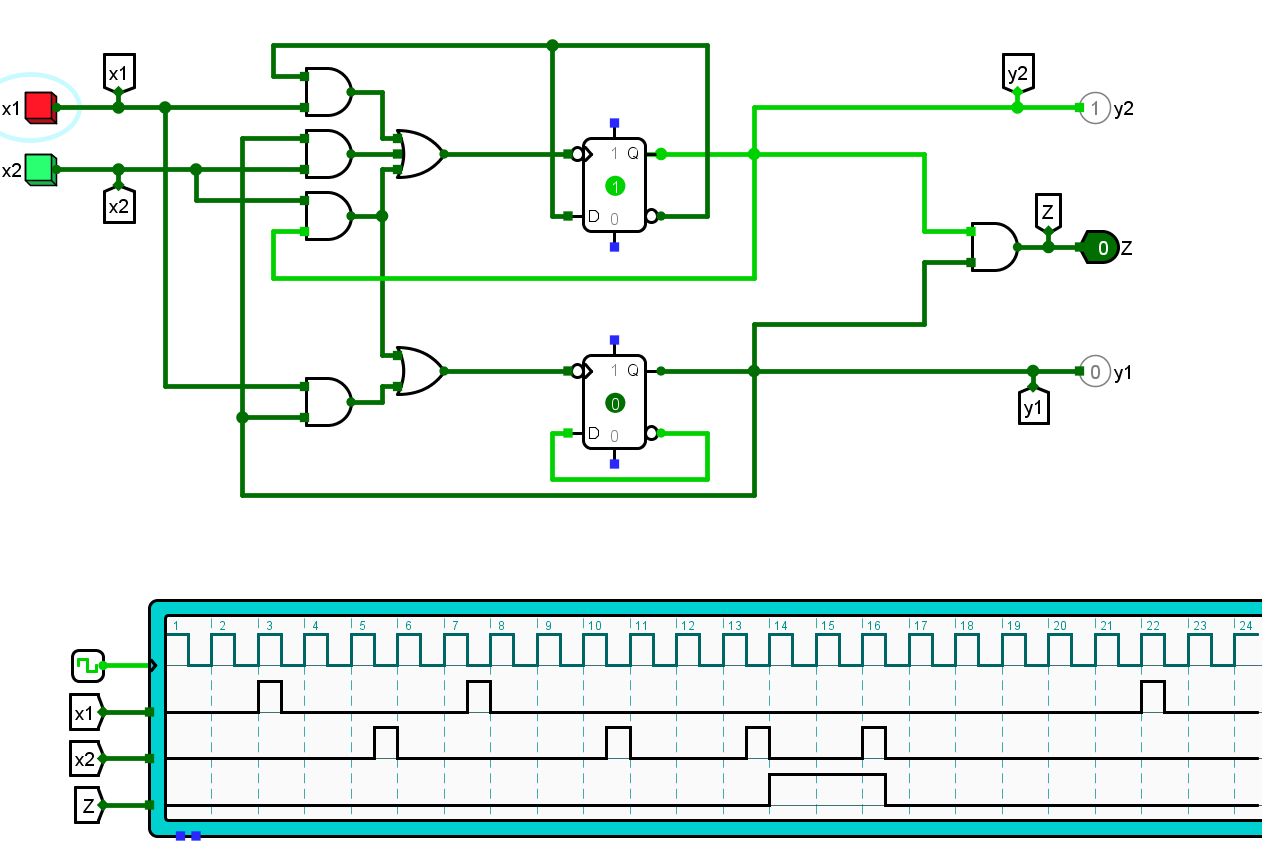
第二次与预期相符：

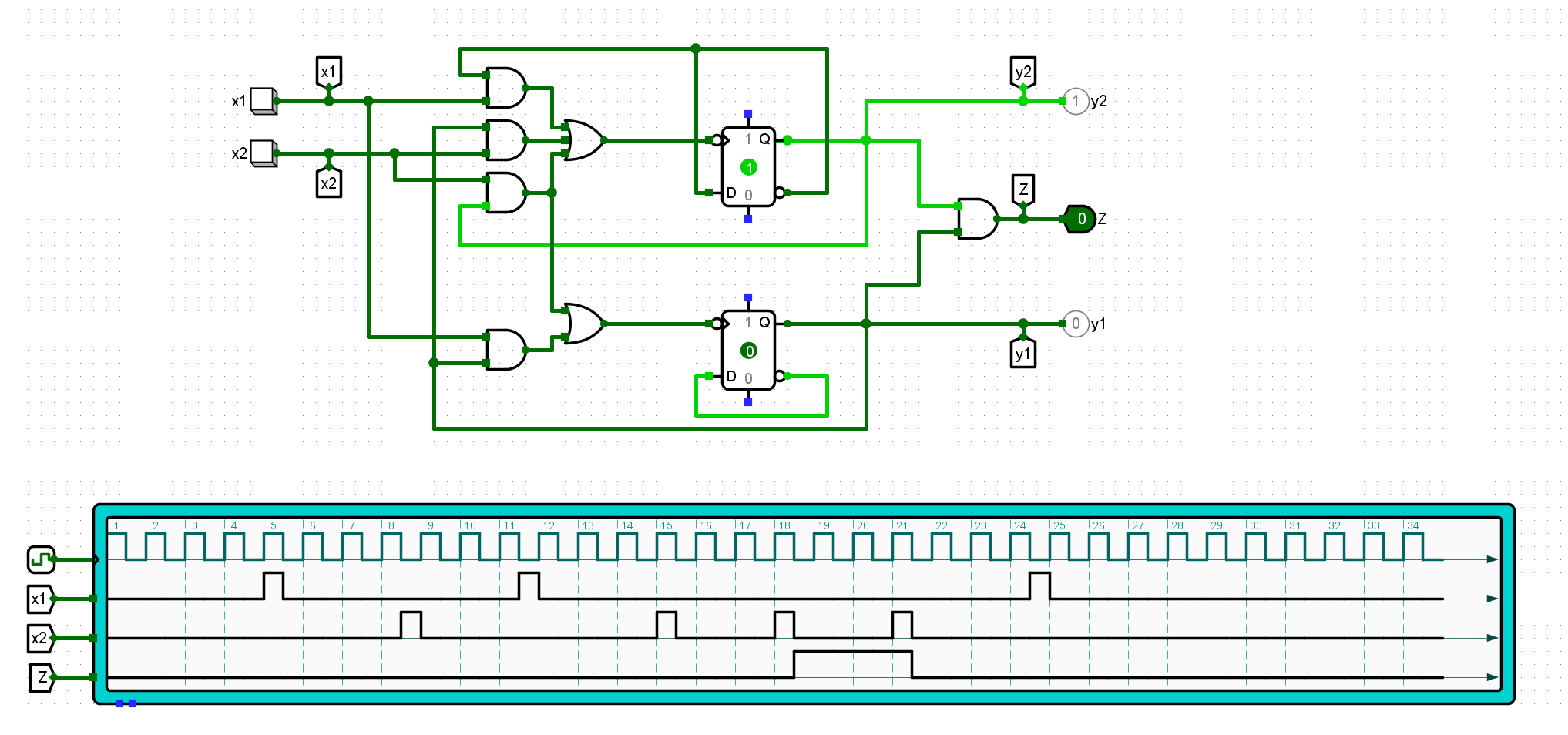


（3）例题6.3的实现

在Logisim上实现例题6.3的“x1 - x2 - x2”序列检测器（图6.11），该电路的输入为x1、 x2，状态为y2、 y1，输

出为Z。

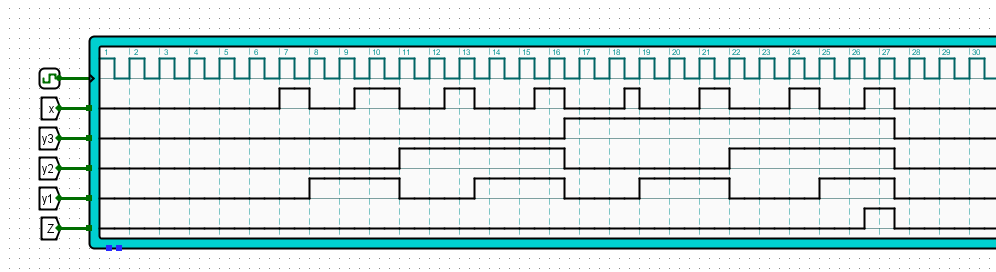


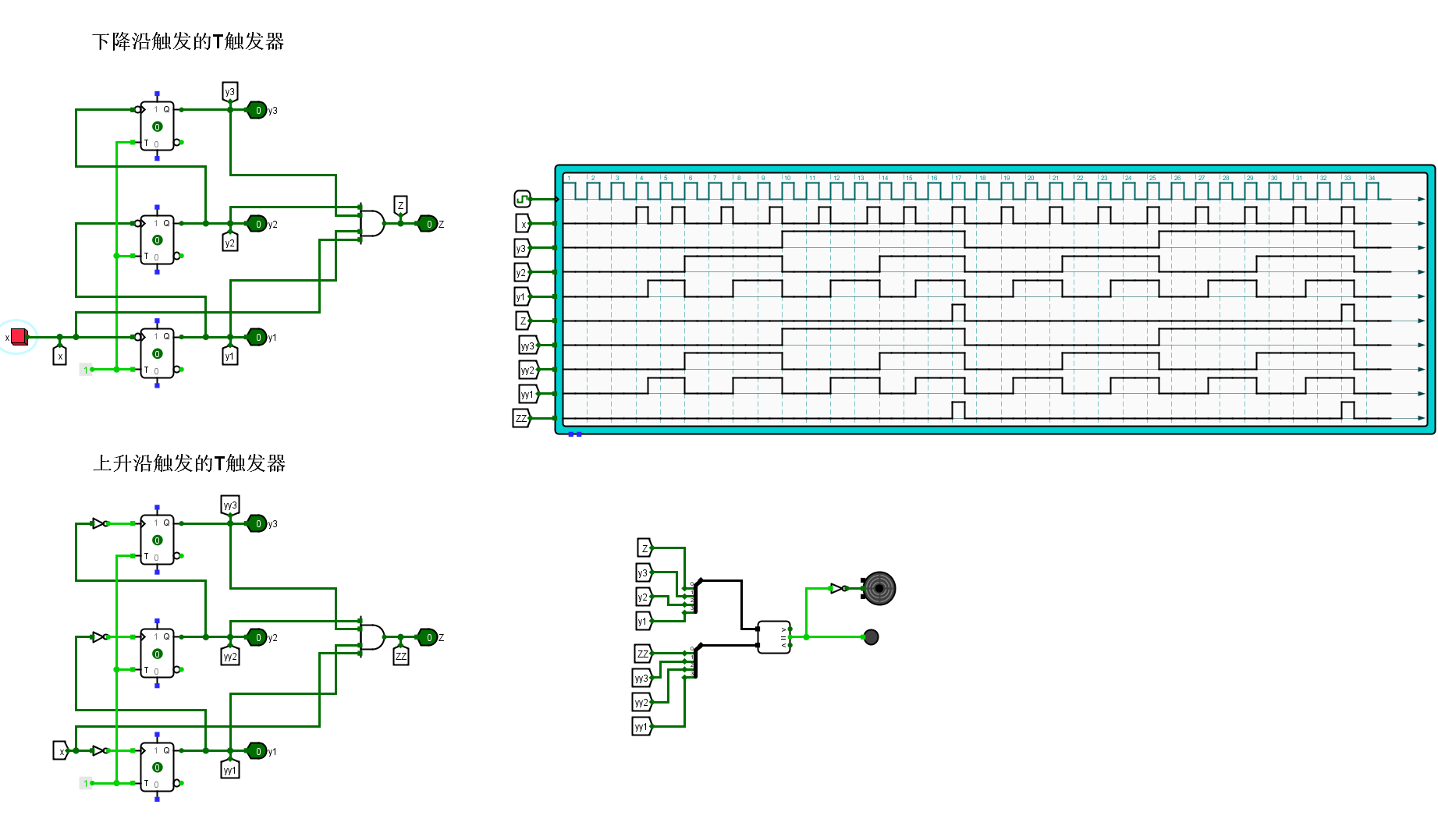


（4）例题6.4的实现

• 在Logisim上实现例题6.4的异步模8加1计数器（图6.13），该电路的输入为x，状态为y3、 y2、 y1，输出为Z。

与预期一致。

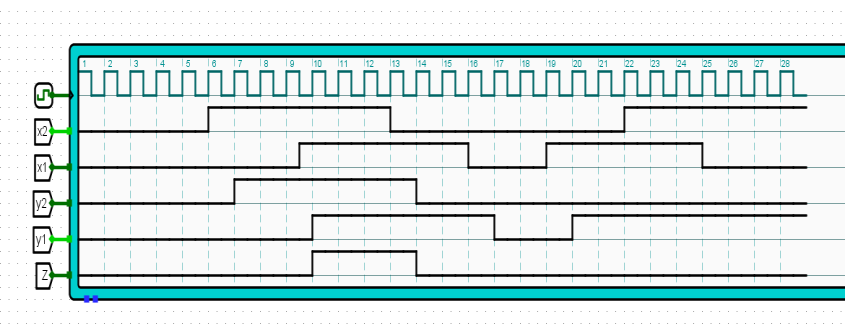
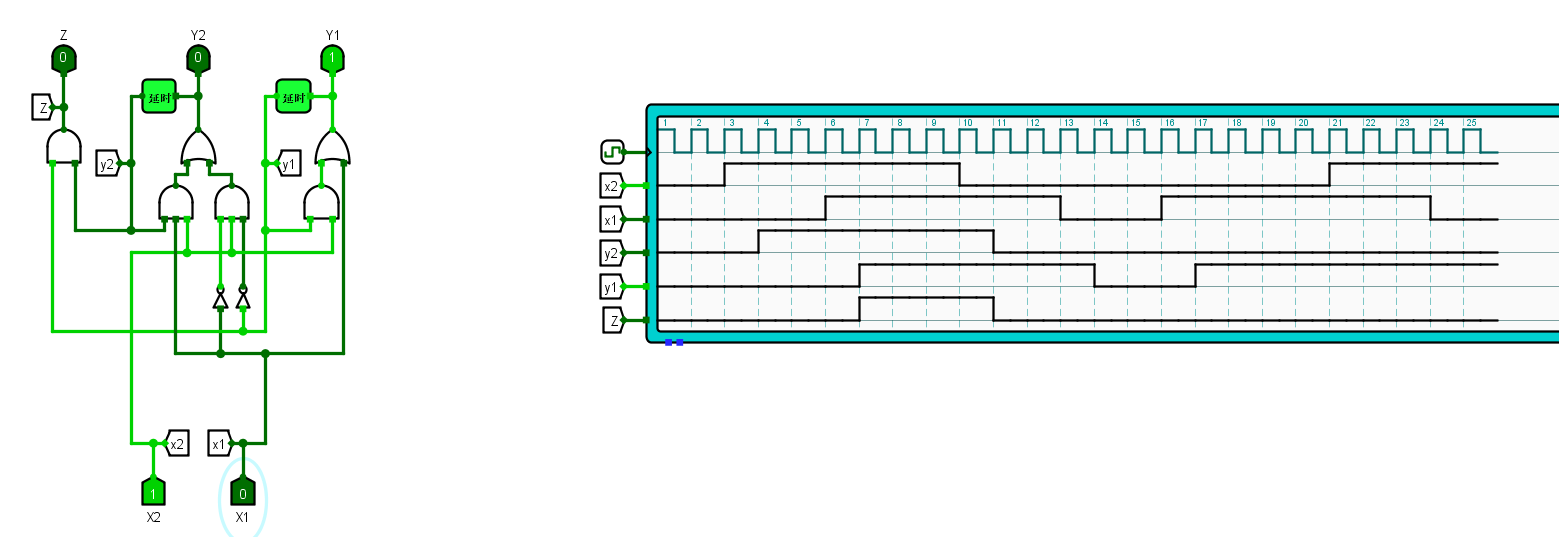




（5）例题6.5的实现

在Logisim上实现例题6.5的“00->10->11”序列检测器（图6.17），该电路的输入为（x2、 x1），状态为（y2、

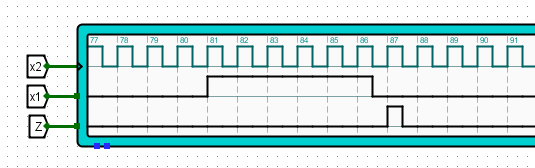
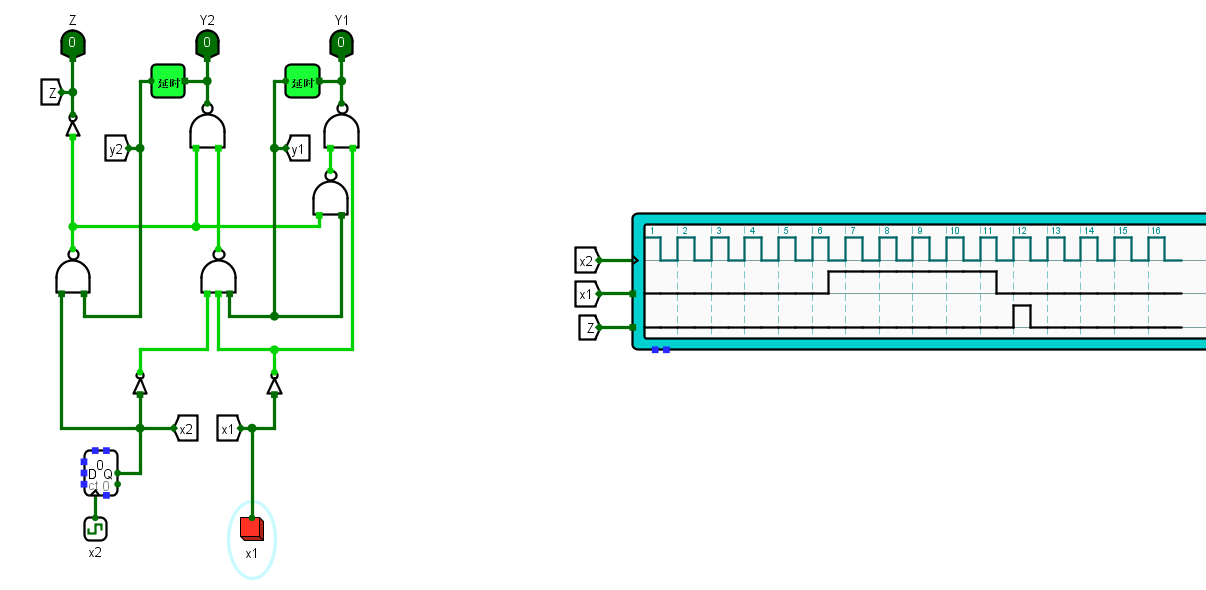
y1），输出为Z。



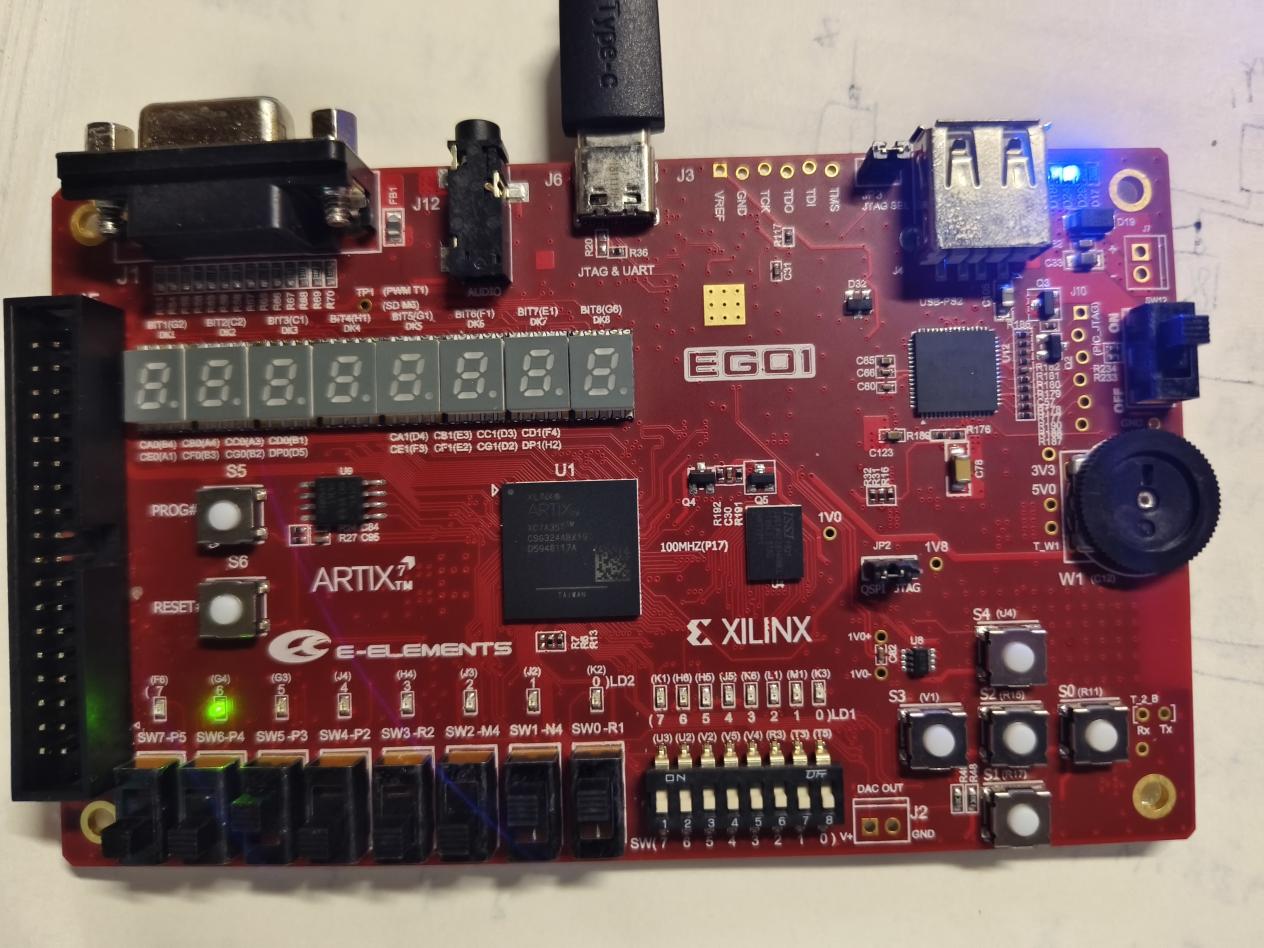
（6）例题6.11的实现在Logisim上实现例题6.11的单脉冲发生器（图6.35），该电路的输入为（x2、 x1），状态为（y2、 y1），输

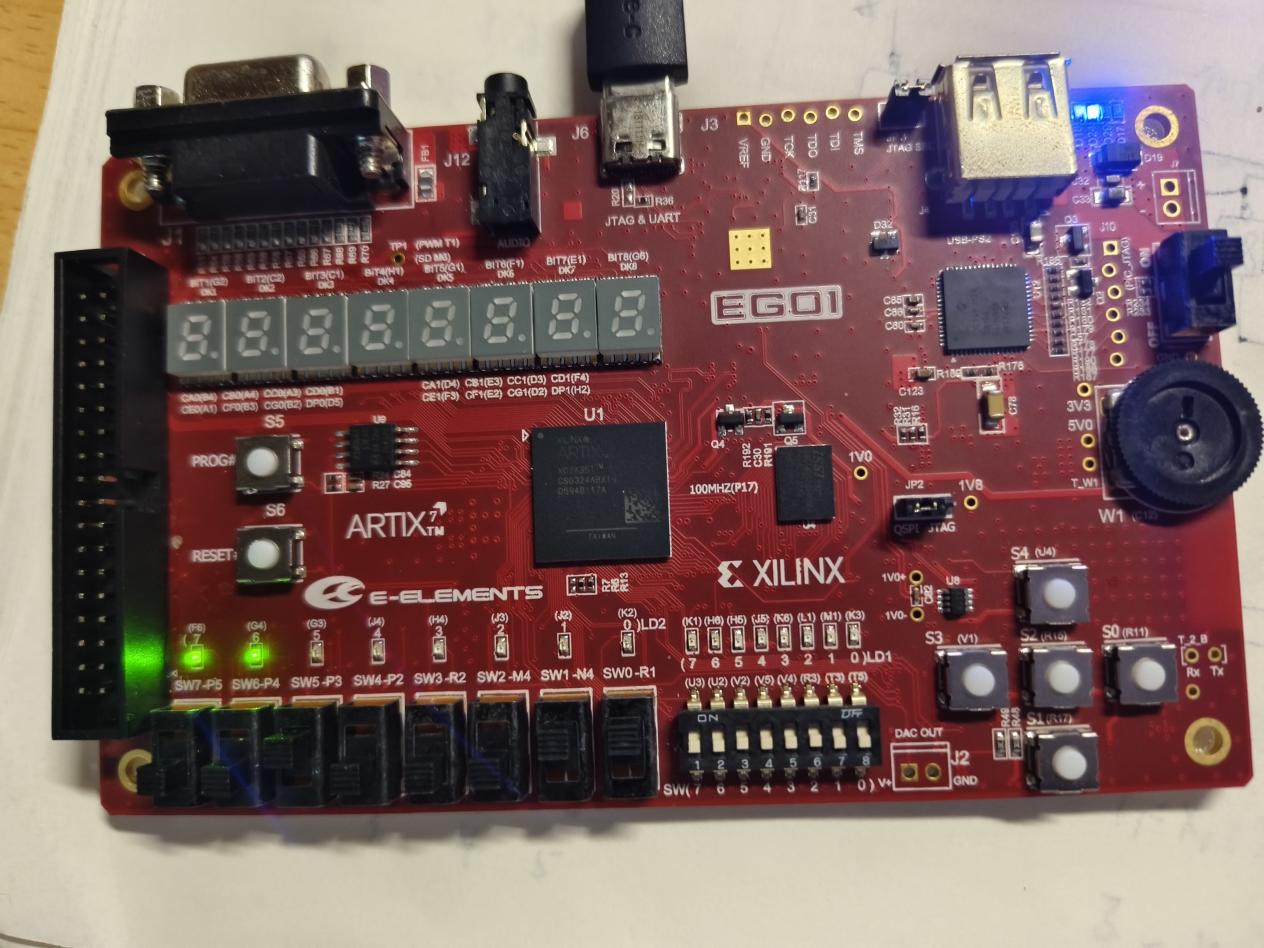
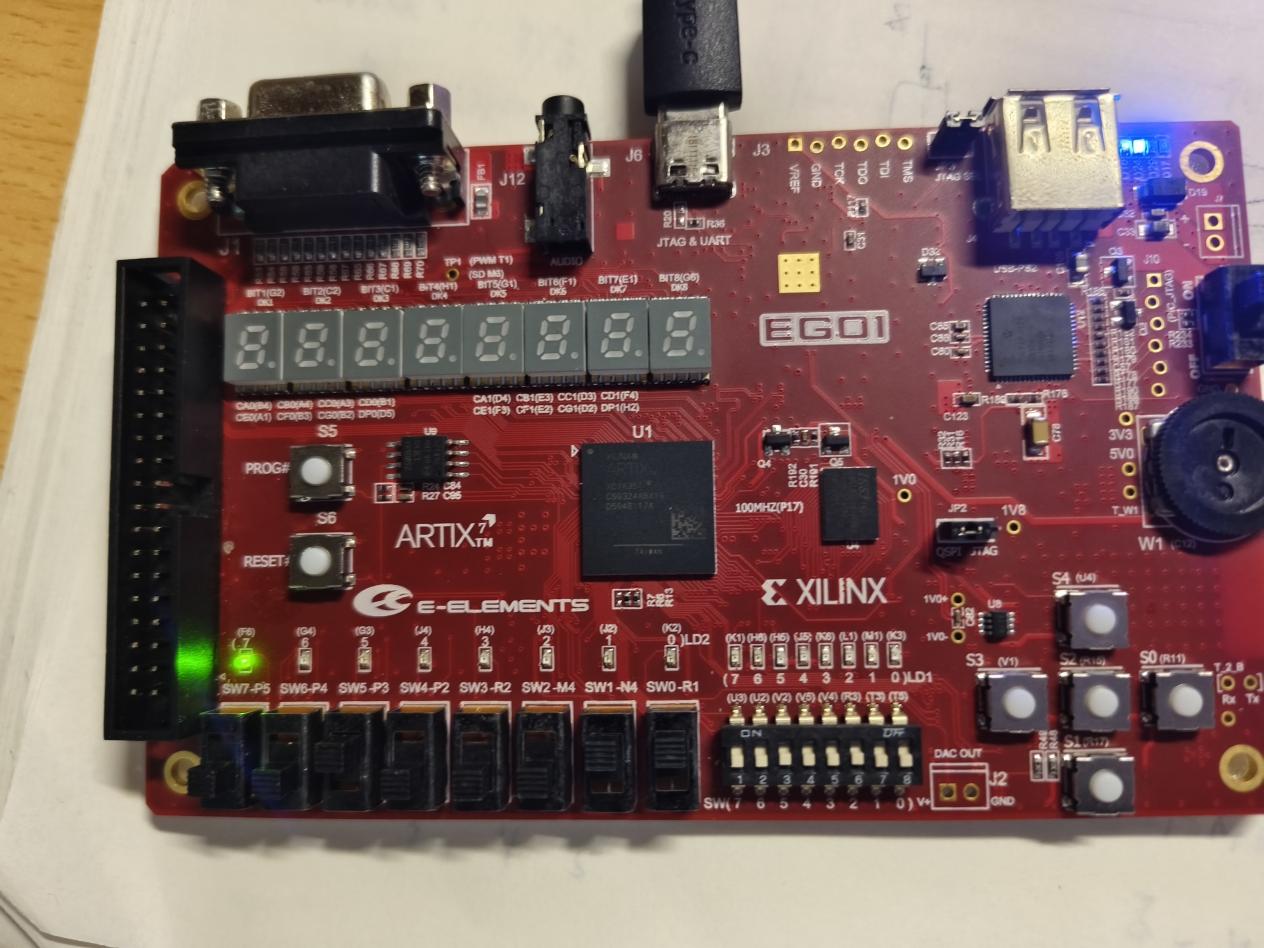
出为Z。

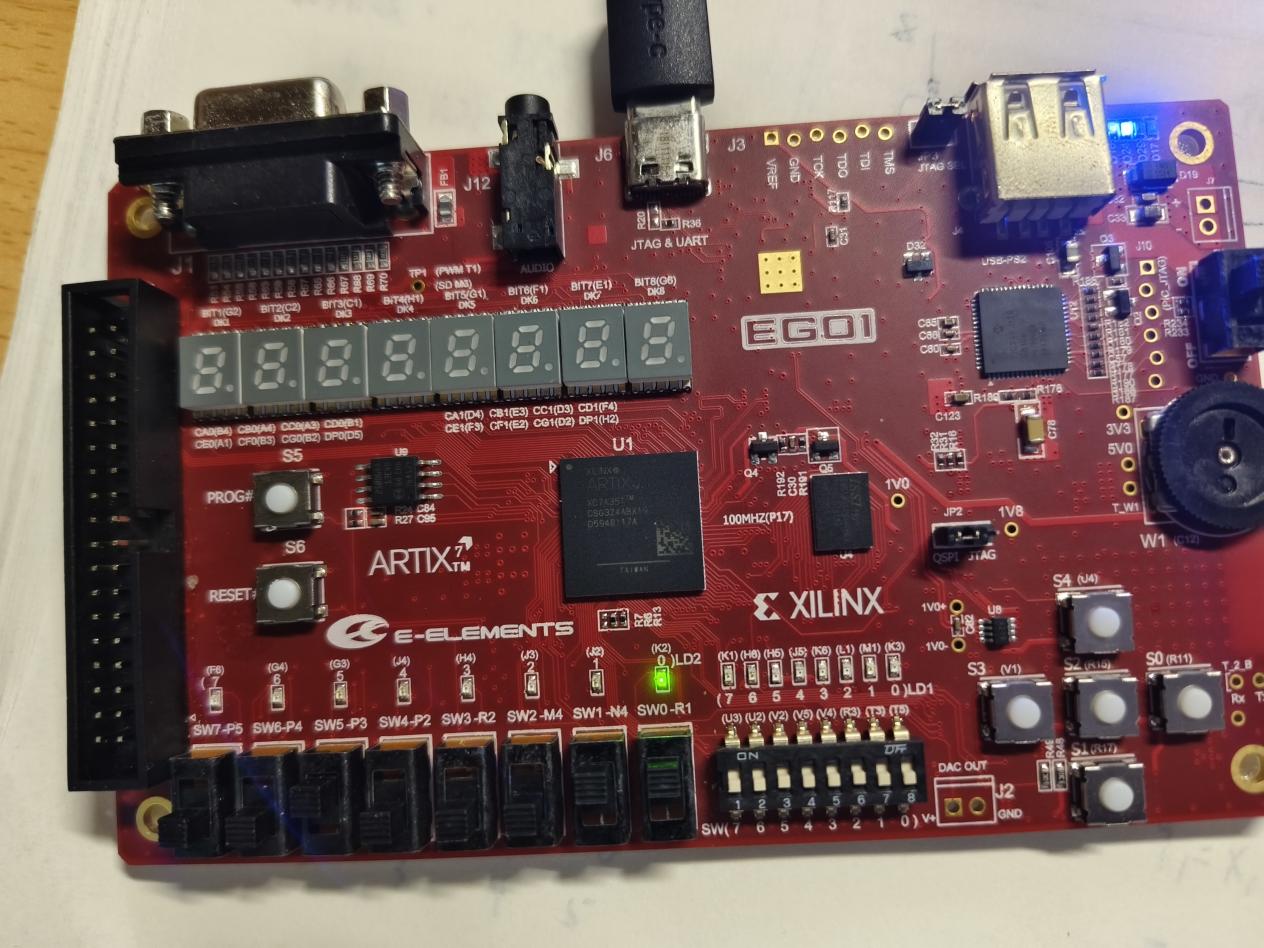
与预期一致。

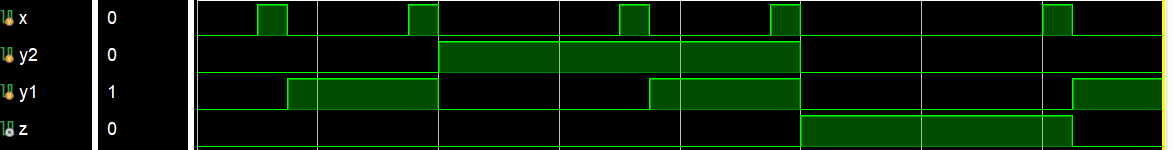


1. 例题6.1的实现 验证情况如下：





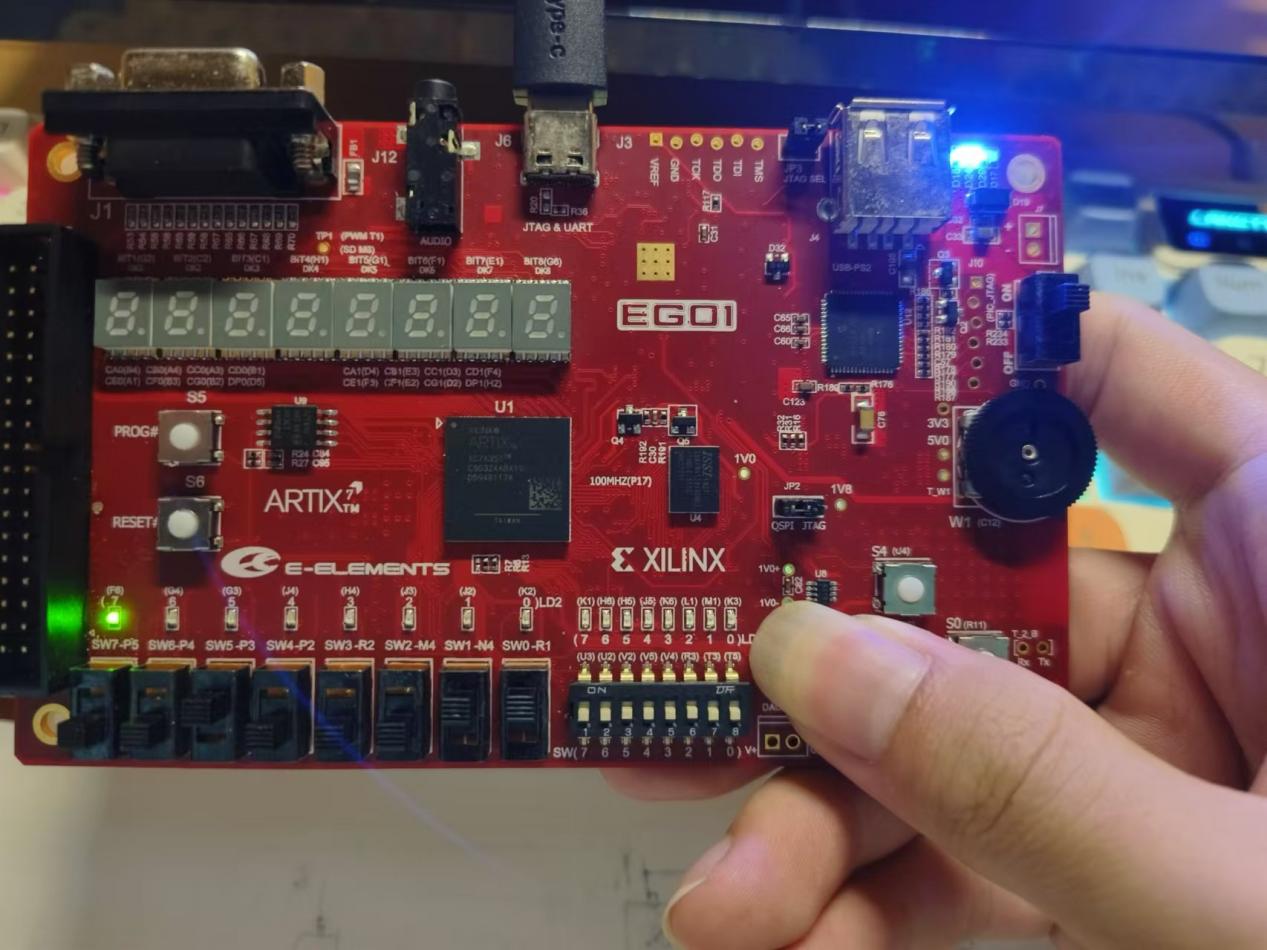


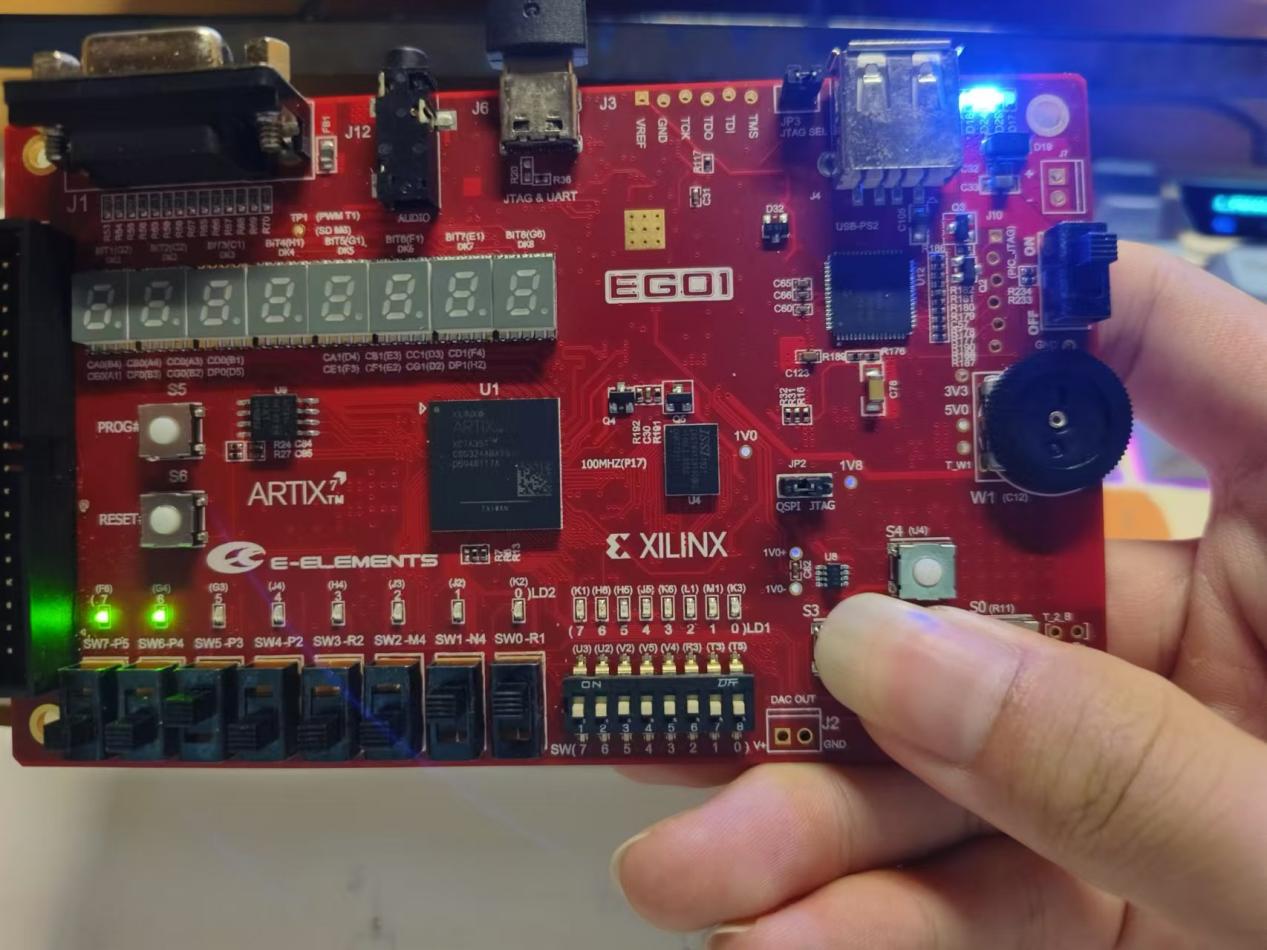


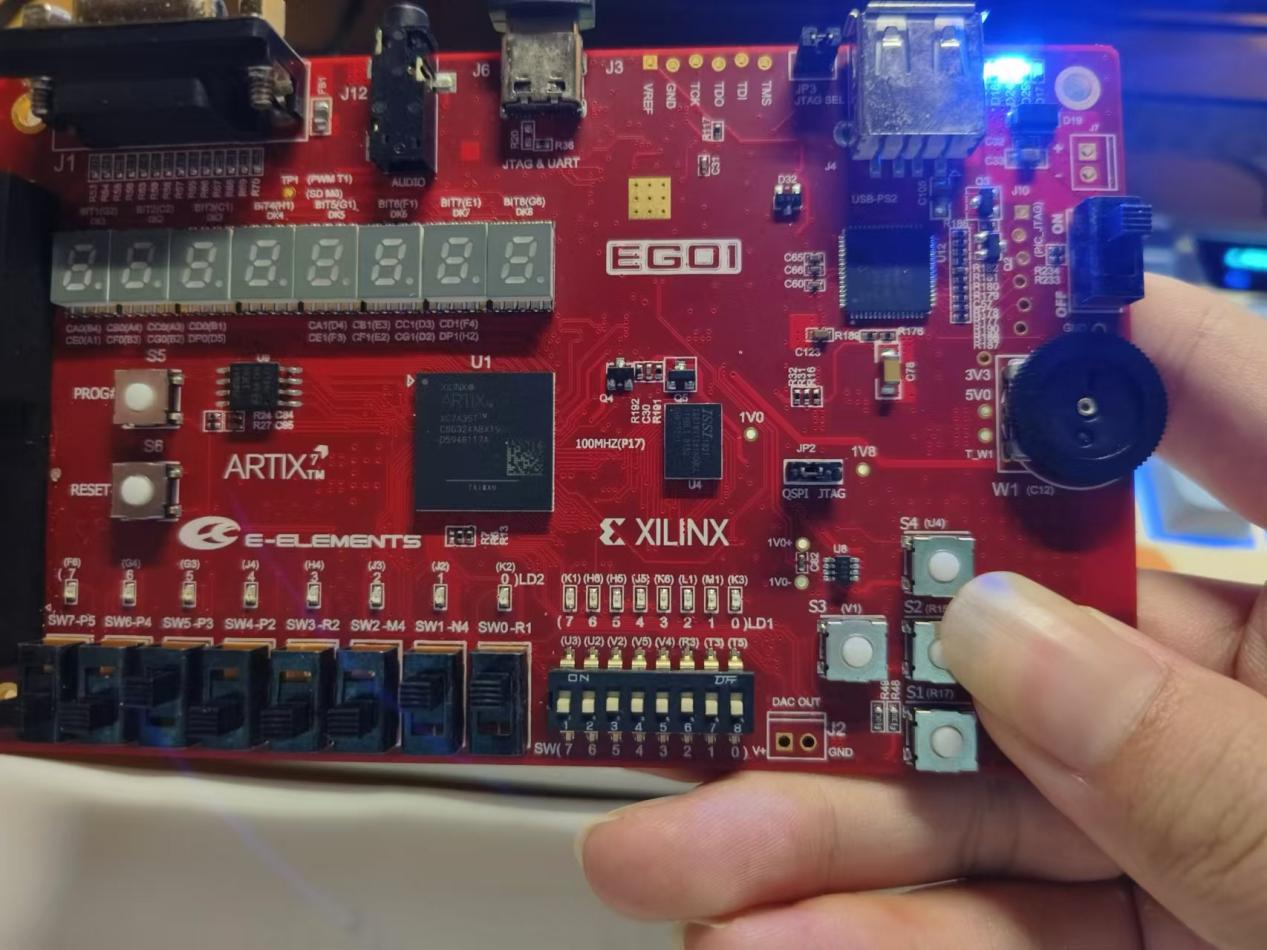
1. 例题6.2的实现

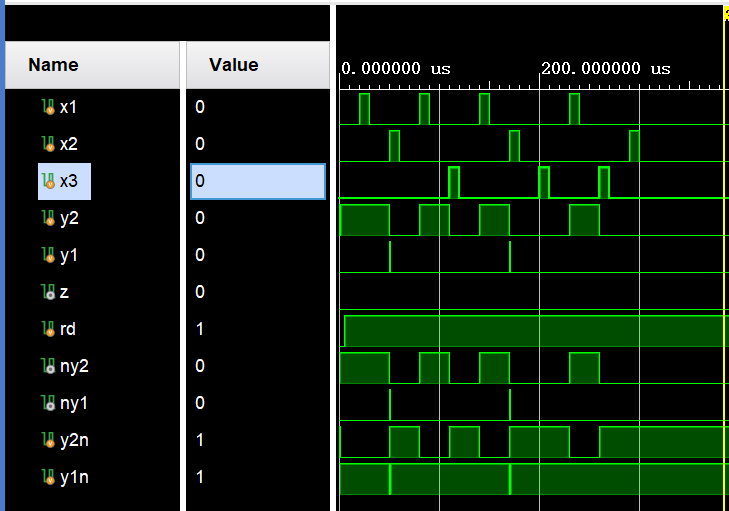
依次按S3、 S2、 S0按键（输入x1、 x2、 x3），观察3个LED灯（状态y2、

y1，输出Z）的变化与预期不符：

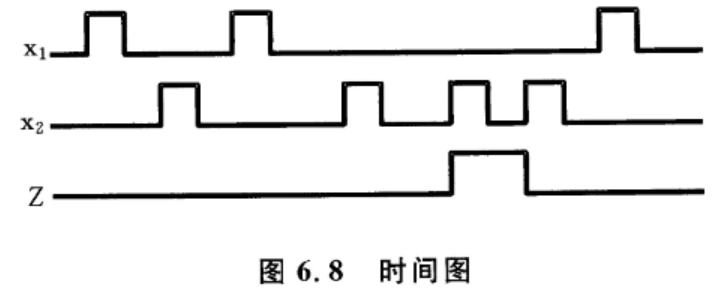


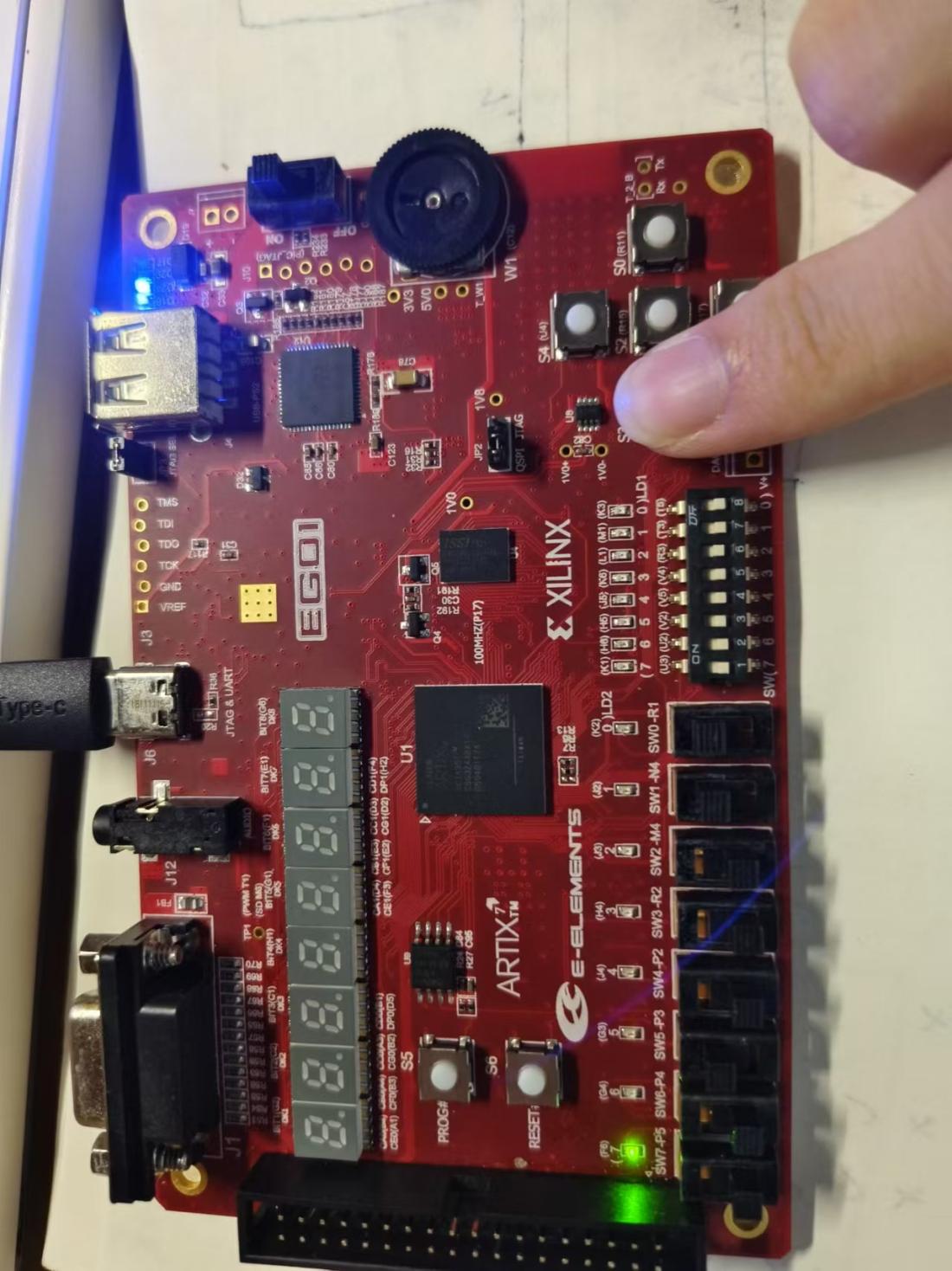


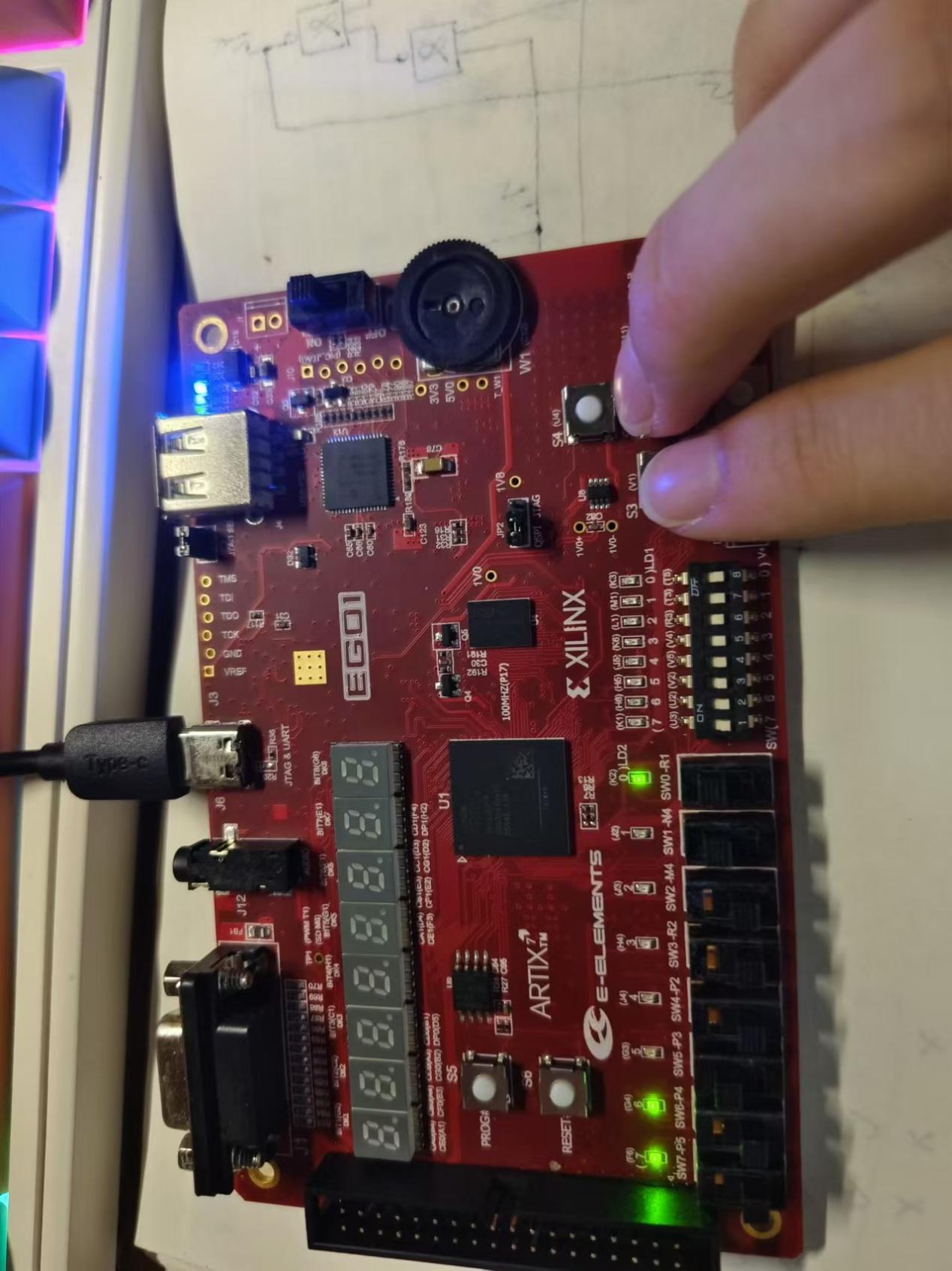


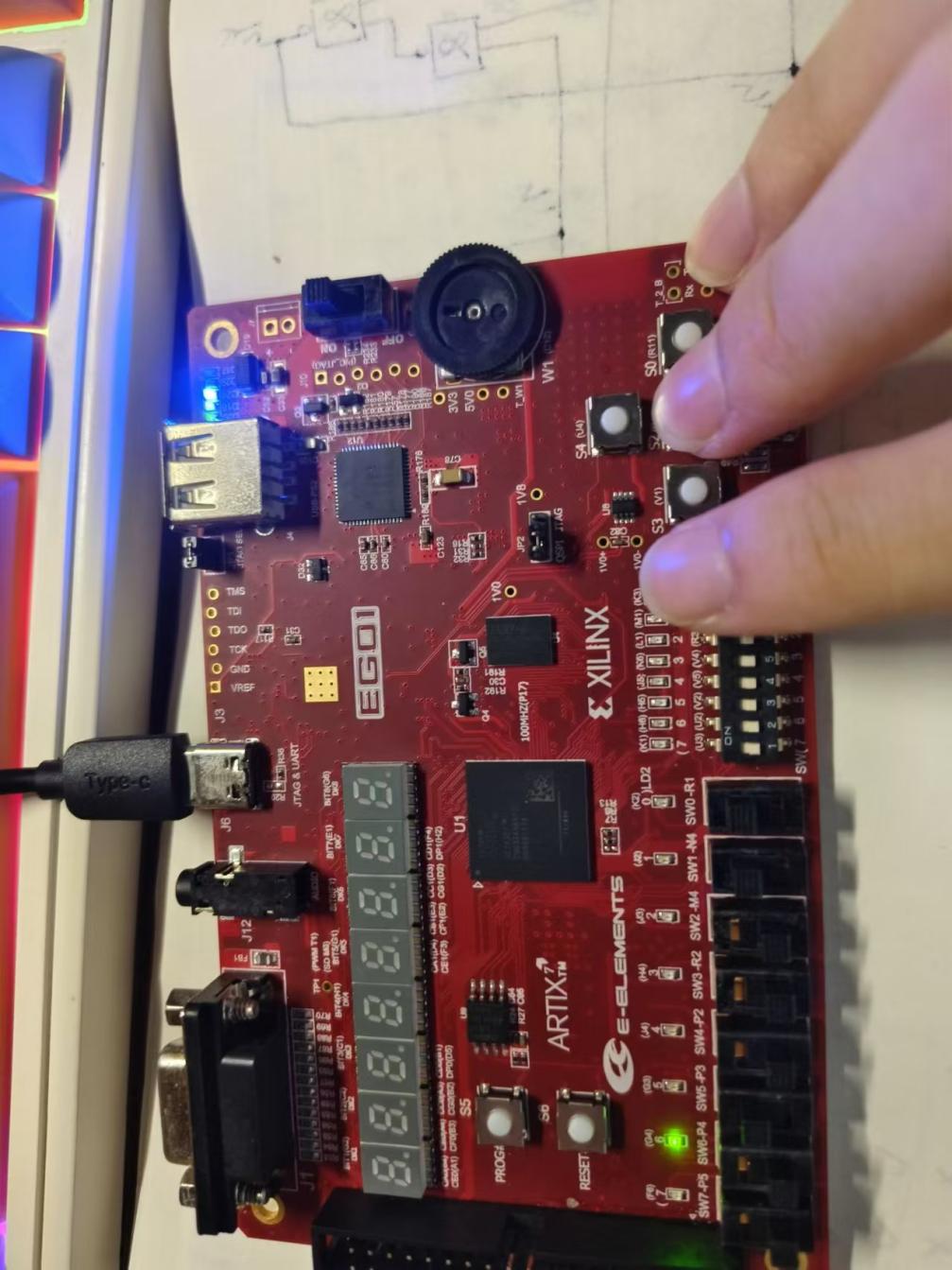


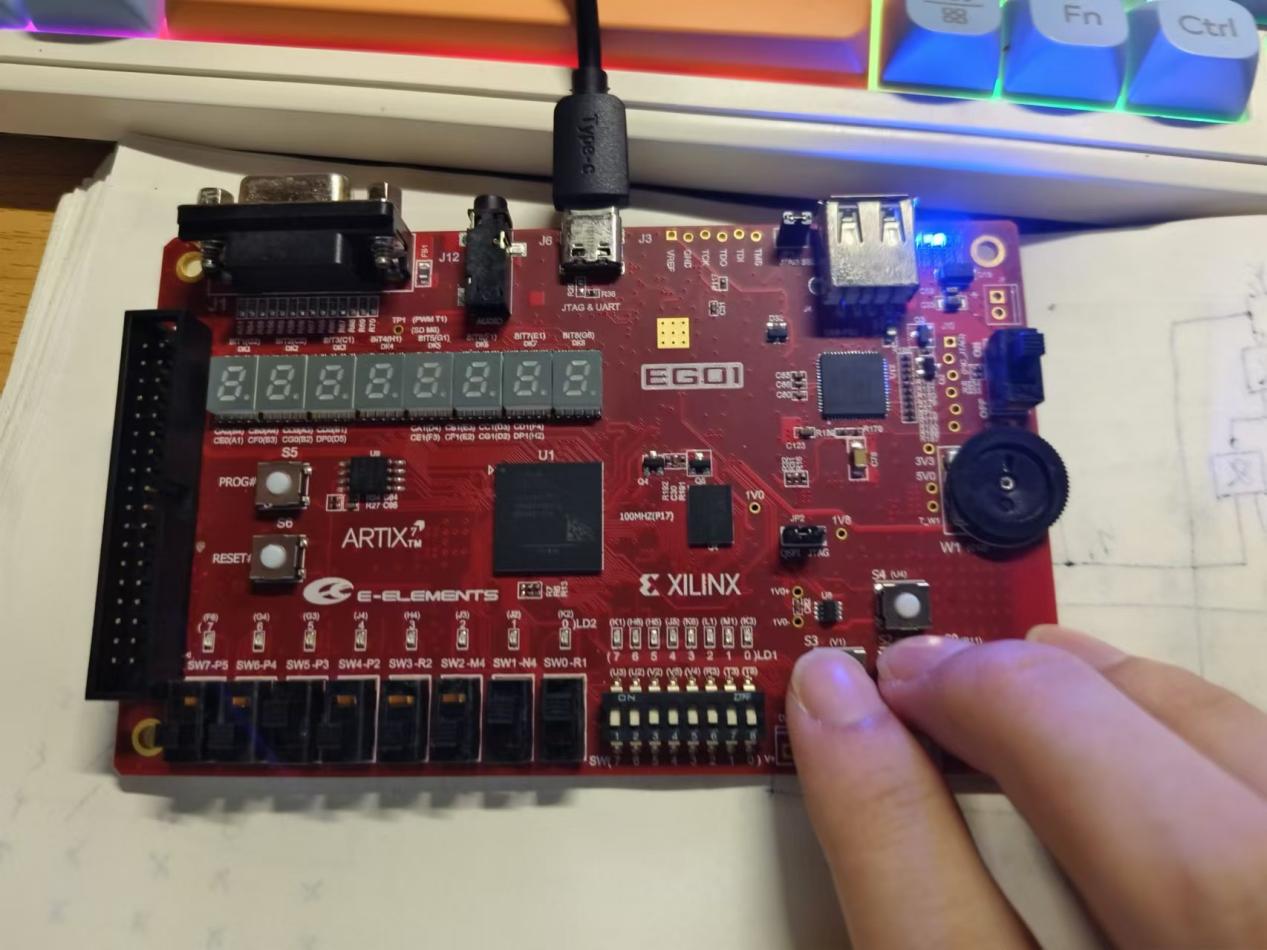
（3）例题6.3的实现 依次按S3、 S2、 S2按键（x1 - x2 - x2），观察最右边LED灯（输出Z）的变化与预期相符。

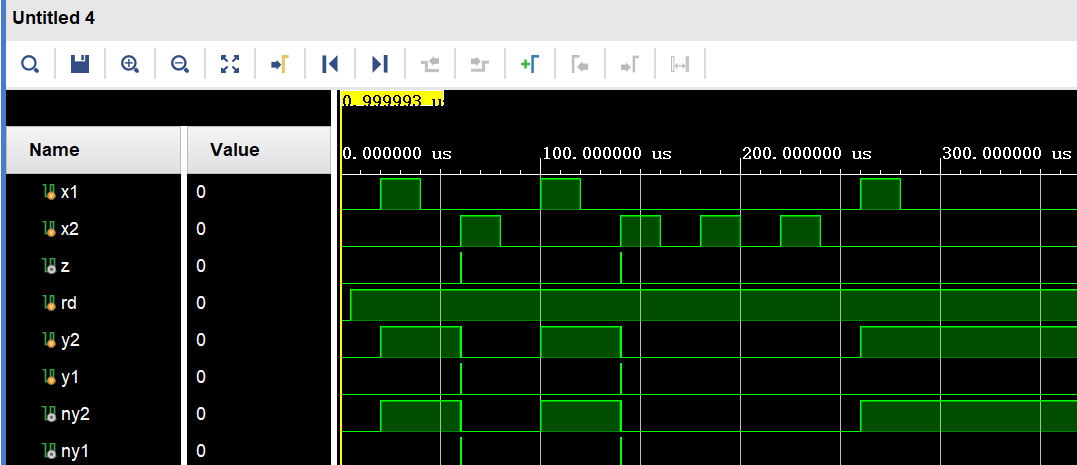








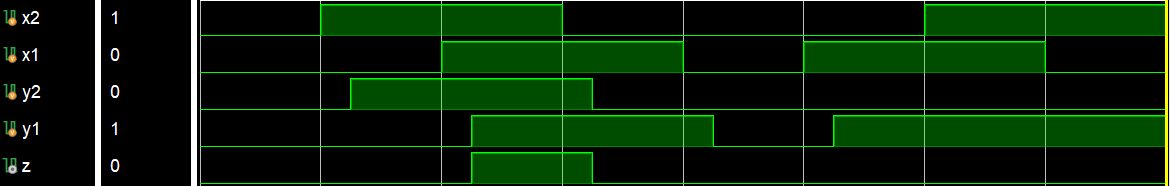




1. 例题6.5的实现

无法生成bit文件原因猜测：**未完全覆盖的逻辑情况**：对于序列检测器的功能实现，如果逻辑设计没有完整地考虑所有可能的输入 x1、x2 以及状态 y2、y1 的组合情况，在综合过程中，综合工具可能会认为逻辑不完整或者存在不确定行为，从而拒绝生成 bit 文件。比如在状态转移和输出逻辑中，对于某些边缘的输入状态组合，没有明确合理的输出及状态转换定义。

验证如下：



* 1. **课后完成部分（设计实验的内容）**

**（1）**习题6.1的实现

