

BÁO CÁO TÓM TẮT CÔNG VIỆC HOÀN THÀNH TRONG THỜI GIAN THỬ VIỆC

1. THÔNG TIN NGƯỜI THỬ VIỆC

Họ và tên: Đỗ Thanh Tân

Mã nhân viên: 285229

Ngày tháng năm sinh: 15/08/1991

Nam/Nữ: Nam

Điện thoại: 0977308313

Email: tandt12@viettel.com.vn

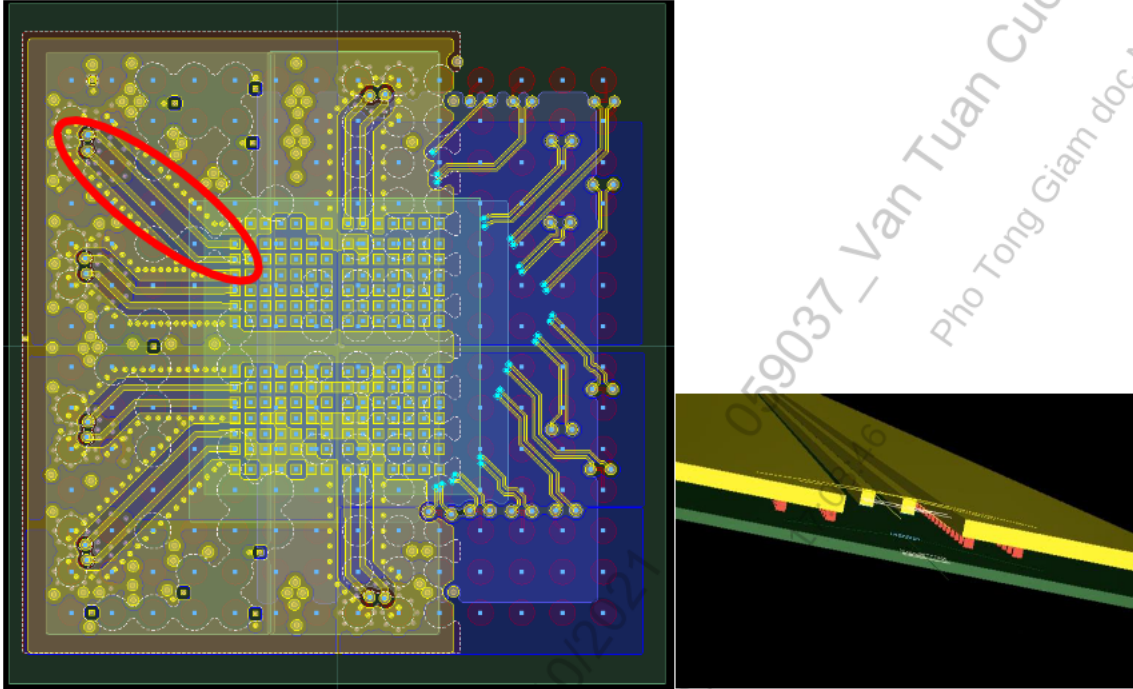
2. BÁO CÁO TÓM TẮT KẾT QUẢ

Nhiệm vụ 1 – Hỗ trợ dự án chip RFIC: Thực hiện giúp mô phỏng Trường Điện - Từ (EM-Sim) cho RFIC và Package RFIC. Tạo model S-Parameter hoặc Netlist. Cung cấp model đó để thực hiện phối hợp trở kháng (Impedance Matching).

Đã thực hiện:

- +) Mô phỏng đường truyền tín hiệu cao tần trên Package RFIC, cung cấp các thông số mô phỏng của S-Parameter (Return Loss, Insertion Loss, Isolation) và giá trị trở kháng vào/ra (Input/Output Impedance) để đánh giá khả năng truyền tín hiệu của những đường truyền cao tần này.
- +) Thực hiện tối ưu và đề xuất kích thước đường tín hiệu (bề rộng, chiều dài và khoảng cách giữa các đường tín hiệu) cho nhóm thiết kế Chip RFIC.
- +) Kết quả đạt được:

Dimension			Performance @(0.3 – 20 GHz)	
Width (um)	Length (um)	Gap (um)	Return Loss	Insertion Loss
110	2000	180	dB(S11)< -30dB, dB(S22)< -30dB	dB(S21)> -0.3dB



Hình 1: Hình ảnh mô phỏng nhìn từ trên xuống của RFIC package và ảnh minh họa 3D của một đường tín hiệu RF

Nhiệm vụ 2 - Hỗ trợ dự án chip RFFE: Thực hiện tìm hiểu, so sánh và báo cáo về đặc tính hoạt động của các công nghệ NP15, PP15, PE15 của WIN-Semiconductors và GH15, PH15, PPH15 của UMS. Đưa ra các tổng kết về công nghệ và đề xuất công nghệ thích hợp cho dự án chip RFFE.

Đã thực hiện:

+) Thực hiện khảo sát các thông số hoạt động: Transconductance (gm), fmax, Stable gain, mức công suất đầu ra bão hòa Psat, hiệu suất PAE (Power Added Efficiency) với mỗi kích thước transistor FET khác nhau của các công nghệ.

Hoàn thành xây dựng bảng dữ liệu khảo sát để làm cơ sở cho việc thiết kế sau này. (Do độ dài báo cáo có hạn nên bảng dữ liệu khảo sát các thông số hoạt động không được trình bày ở đây mà được gửi cho Kỹ sư trưởng công nghệ)

+) Nhận xét đánh giá và đưa ra kết luận lựa chọn công nghệ phù hợp nhất cho yêu cầu thiết kế chip RFFE.

Dựa vào những dữ liệu đã khảo sát, ta lập bảng đánh giá chức năng của các công nghệ theo các thang điểm (- 0 +):

	gm	fmax	Stable Gain	Psat	Độ tuyến tính	Dimension
WIN-NP1500	Trung bình (+)	Rất thấp, fmax rơi vào miền giới hạn trên của băng tần Ka (-)	Cao (+++)	Rất tốt, cho Psat vượt trội (+++)	IM3 cao do hoạt động ở điện áp 28V (++)	Nhỏ nhất trong các công nghệ để đạt được cùng mức công suất (+++)
WIN-PP1550	Trung bình (+)	Trung bình (+)	Trung bình (++)	Thấp (+)	Tốt (++)	Lớn (0)
WIN-PP1553	Trung bình (+)	Trung bình (+)	Trung bình (++)	Thấp (+)	Tốt (++)	Lớn (0)
UMS-GH15	Tốt, chỉ thấp hơn UMS-PH15 (++)	Thấp, chỉ tốt hơn NP1500 (0)	Cao (+++)	Rất tốt (+++)	Giống như NP-1500 (++)	Gần giống như NP-1500 (+++)
UMS-PH15	Rất tốt, gm cao và ổn định (+++)	Rất tốt, cực kì cao, lên tới 100 GHz (+++)	Thấp (+)	Rất thấp (0)	Rất tốt (+++)	Rất lớn (-)
UMS-PPH15	Trung bình (+)	Cao (++)	Trung bình (++)	Trung bình (+)	Tốt (++)	Trung bình (+)

Hình 2: Bảng đánh giá hoạt động của các công nghệ

Kết luận về ưu, nhược điểm của các công nghệ và đưa ra lựa chọn công nghệ phù hợp:

Technologies	Process	Ưu, nhược điểm	Kết luận
WIN-NP1500	GaN 0.15um	Công suất cao, độ tuyến tính tốt, kích thước chip nhỏ (***)	Sau khi khảo sát các công nghệ và so sánh với yêu cầu đặt ra cho chip RFEE về công suất, dimension, độ tuyến tính thì 2 công nghệ khả thi có thể lựa chọn là WIN-NP1500 và UMS-GH15
WIN-PP1550	InGaAs 0.15um	Công suất trung bình, độ tuyến tính tốt hơn GaN, kích thước chip lớn	
WIN-PP1553	InGaAs 0.15um	Công suất trung bình, độ tuyến tính tốt hơn GaN, kích thước chip lớn	
UMS-GH15	GaN 0.15um	Công suất cao, độ tuyến tính tốt, kích thước chip nhỏ	
UMS-PH15	GaAs 0.15um	Công suất trung bình, độ tuyến tính tốt hơn GaN, kích thước chip lớn	
UMS-PPH15	GaAs 0.25um	Công suất trung bình, độ tuyến tính tốt hơn GaN, kích thước chip lớn	

Hình 3: Bảng kết luận ưu nhược điểm của các công nghệ