Disciplina: Projeto com Circuitos Reconfiguráveis (período 2020.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br



# Folha de Dados Primeira Lista Exercícios Entrega via Aprender3 em formato PDF

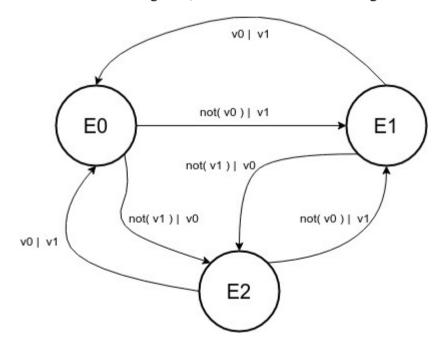
Nome: Henrique Gomes de Moura matrícula: 16/0058651

#### Exercício 1. FSM para controle de uma ferrovia

### 1) Diagrama de estados da FSM:

MOORE	V0	V1	ТО	T1	В	Estado
INF	0	1	1	0	0	E1
SUP	1	0	0	1	0	E2
ВОТН	0	0	1	0	0	E1
NONE	1	1	1	1	1	E0

INF: somente o trem da linha inferior trafegando; SUP: somente o trem da linha superior trafegando; BOTH: ambos os trens trafegando; NONE: nenhum trem trafegando



#### 2) Estimação consumo de recursos lógicos após a síntese lógica:

LUTs	FFs	Pinos de IOs	Blocos DSP	Blocos BRAM
Total:	Total:	Total:	Total:	Total:
20800 LOGIC (<0.01%)	0 (0.00 %)	5 Bonded IOB (4.72 %)	0 (0.00 %)	0 (0.00 %)

Disciplina: Projeto com Circuitos Reconfiguráveis (período 2020.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br

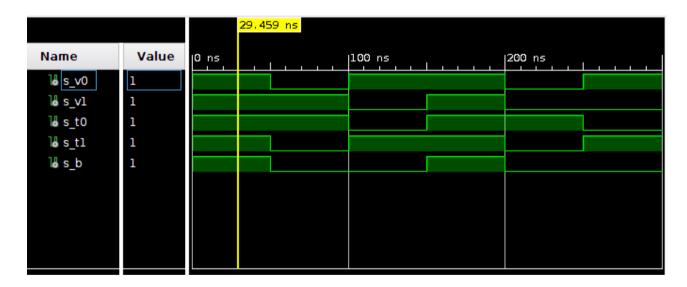


3) Gráfico(s) da(s) simulação comportamental mostrando os estados intermediários da FSM e sinais auxiliares. Se necessário acrescente mais quadros para demonstrar o funcionamento do circuito.

## Comportamento esperado:

Tempo >>	> 0 ns	> 50 ns	> 100 ns	> 150 ns	> 200 ns	> 250 ns
Sinais						
V0	1	0	1	1	0	1
V1	1	1	0	1	0	0
T0	1	1	0	1	1	0
T1	1	0	1	1	0	1
В	1	0	0	1	0	0

## Comportamento obtido:



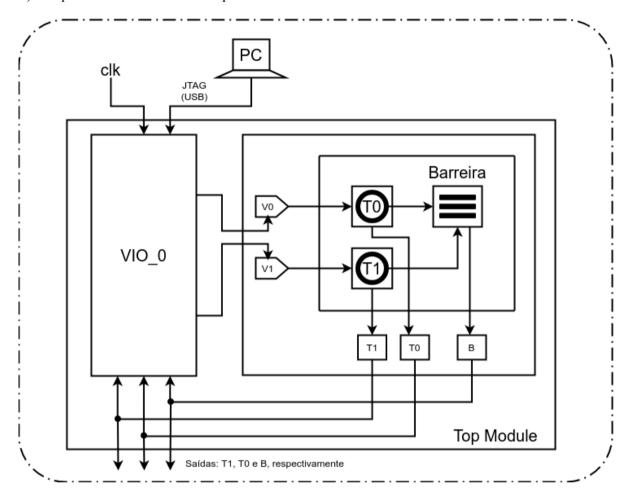
Disciplina: Projeto com Circuitos Reconfiguráveis (período 2020.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br



4) Esquemático da análise RTL após a inclusão do VIO core.



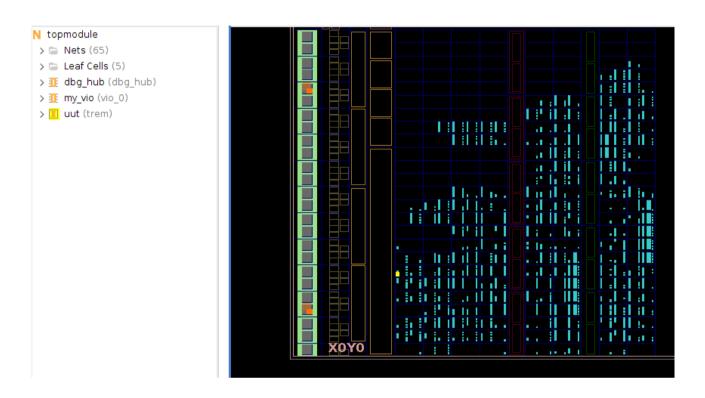
Disciplina: Projeto com Circuitos Reconfiguráveis (período 2020.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br



5) Layout do circuito após a implementação usando VIO core (após processo Place and Route – PAR):



6) Utilização do consumo de recursos lógicos após a implementação do circuito. Discrimine a utilização de recursos do topmodule e da unidade em teste, ou seja, da máquina de estados finitos.

Módulo	LUTs Total:	FFs Total:	Pinos de IOs Total:	Blocos DSP Total:	Blocos BRAM Total:
Topmodule	590 (2.84 %)	988 (2.38 %)	4 (3.77 %)	0 (0.00 %)	0 (0.00%)
Máquina de estados	1 (< 1 %)	1 (< 1 %)	0 (0.00 %)	0 (0.00 %)	0 (0.00 %)

7) Estimação do consumo de energia após a implementação do circuito:

Potência total: 0.777 (mW)
Potência estática: 0.072 (mW)
Potência dinâmica: 0.706 (mW)

Disciplina: Projeto com Circuitos Reconfiguráveis (período 2020.1).

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br



# Gráfico de consumo de energia:

