

## Primeira Lista de Exercícios

### Revisão de VHDL

Data de entrega (18 de setembro de 2020 às 23:50)

**Instruções:** A lista de exercícios é individual. Enviar pelo Aprender3 uma pasta zipada chamada 'nome\_sobrenome' contendo uma subpasta para cada exercício com os arquivos requeridos para cada um deles. Para cada exercício deve-se enviar uma folha de dados, disponível no aprender3 da disciplina.

#### Exercício 1. FSM para controle de ferrovia

Implemente no kit de desenvolvimento Basys3 uma máquina de estados finitos que controla o cruzamento de duas ferrovias da figura abaixo onde circulam trens em direções opostas. O trem que trafega pela ferrovia superior continua pela ferrovia superior e o trem que trafega pela ferrovia inferior continuará pela ferrovia inferior. Por segurança o sistema se projeta com saídas ativas em nível baixo. Cada ferrovia está dotada de um sensor V0 (ou V1) que detecta com suficiente antecipação se um trem se aproxima em direção ao cruzamento. Os sensores devolvem um valor '0' para indicar que tem um trem na ferrovia correspondente. Próximo ao cruzamento tem dois semáforos (indicador por T0 e T1). Adicionalmente, a ferrovia é atravessada por uma estrada cuja passagem utiliza barreiras a cada lado. As barreiras estão controladas por um sinal chamado B, de forma que se B='1' a barreira está levantada, e quando B='0' a barreira está abaixo impedindo a passagem. Quando se detecta um trem em qualquer uma das ferrovias, o semáforo da outra ferrovia deveria ativar-se (com valor '0') para advertir ao outro trem que deve frear e não acessar ao cruzamento. Simultaneamente, a barreira deve descer para impedir o tráfego pela estrada. Se ambos os sensores estiverem acionados ao mesmo tempo ( $V0=V1=0$ ), deve-se dar prioridade ao trem que vem pela ferrovia inferior.

Requisitos:

- Realize o diagrama de estados usando uma máquina de Moore. Use a nomenclatura  $V1$   $V0$  para a entrada da FSM e  $T1$   $T0$   $B$  para a saída.
- Obtenha a tabela de transição de estados.
- Implementar a FSM em VHDL, realizar um testbench contendo todas as situações possíveis e realizar uma simulação. Arrastre na área de simulação os sinais de estado atual e próximo estado.
- Implemente o circuito usando o VIO core, usando como saídas três leds da placa de desenvolvimento. Colete os dados de ocupação do circuito, layout do circuito e consumo de energia. Teste o funcionamento no laboratório remoto.
- Enviar pelo aprender 3 em uma subpasta chamada 'exercicio1' contendo:
  - A pasta .srcs que contém todos os arquivos fonte do projeto.
  - Os arquivos de configuração .bit e .ltx.
  - A folha em de dados preenchida em **formato PDF**.

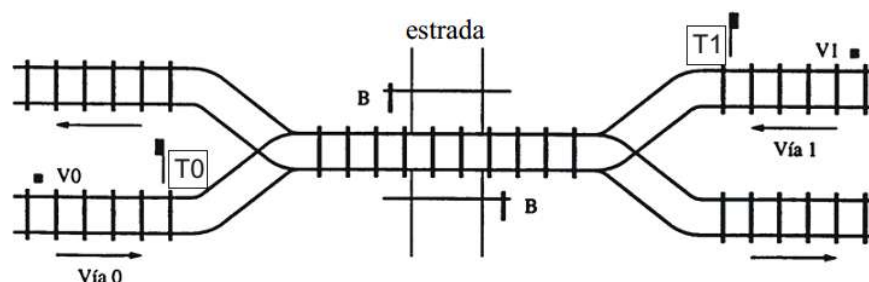


Figura 1. Ferrovia com cruzamento do exercício 1.

## Exercício 2. Circuito PWM

Utilizando as diretivas GENERIC e FOR GENERATE descreva em VHDL um circuito sequencial que instancie circuitos de modulação por largura de pulso (PWM) em paralelo.

Requisitos:

a) O número de instâncias em paralelo e a frequência do PWM depende do último dígito da sua matrícula. A frequência deve ser uma entrada genérica para cada circuito PWM.

Digito:        | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 |  
Instancias:   | 5 | 6 | 7 | 8 | 9 | 11 | 12 | 13 | 14 | 15 |  
Frequência:   | 50 | 60 | 70 | 80 | 90 | 100 | 110 | 120 | 130 | 140 | Hz

b) Use três chaves para configurar oito possíveis valores de duty cycle dos PWMs.

c) Obtenha um diagrama esquemático do sistema, verifique se o número de instâncias foi adequadamente instanciado.

d) Conecte a saída de cada PWM a um led da placa de desenvolvimento Basys3. Implemente o circuito e obtenha o reporte de consumo de recursos, layout do circuito e da estimativa do consumo de energia. Teste o circuito no laboratório remoto e demonstre o funcionamento através de um vídeo com duração máxima de 1 minuto. Para criar o vídeo use uma ferramenta para gravar a tela do PC.

e) Enviar pelo aprender 3 em uma subpasta chamada ‘exercicio2’ contendo:

- A pasta .srcs que contém todos os arquivos fonte do projeto.
- Os arquivos de configuração .bit e .ltx.
- A folha em de dados preenchida em **formato PDF**.
- O vídeo em formato .mp4

## Exercício 3: Projeto RTL para cálculo aproximado da hipotenusa

Use o método de projeto RTL para realizar o cálculo aproximado da hipotenusa.

$$(a^2 + b^2)^{1/2} \approx \max(0.875x + 0.5y, x)$$

onde,  $x = \max(|a|, |b|)$

$y = \min(|a|, |b|)$

Requisitos:

a) A partir do seguinte código C, obtenha uma máquina de estados de alto nível.

```
int hipo(int a, int b) {  
    t1 = abs(a);  
    t2 = abs(b);  
    x = max(t1, t2);  
    y = min(t1, t2);  
    t3 = x >> 3;  
    t4 = y >> 1;  
    t5 = x - t3;  
    t6 = t4 + t5;  
    t7 = max(t6, x);  
    return t7;  
}
```

b) Projete o bloco operacional detalhando as entradas e saídas de dados, número de registradores, operadores, entradas e saídas de controle, tamanho em bits de cada entrada, variável e saída.

c) Elabore uma máquina de estados clássica que permita conectar o bloco de controle com o bloco operacional. O cálculo deve começar quando uma entrada *start* = '1' e a saída *ready* = '1' deve indicar quando uma saída está disponível. *Start* e *ready* devem modelados como um pulso com duração de um ciclo de relógio.

d) Descreva o circuito em VHDL, elabore um testbench e verifique o funcionamento através de uma simulação comportamental considerando os seguintes condições para criar os vetores de teste.

- As entradas *a* e *b* estão representadas em ponto fixo sem sinal com 8 bits de parte inteira e 4 bits de parte fracionária.
- Utilize dez valores diferentes para *a* e *b*, todos com parte fracionária.

e) Implemente o circuito usando o VIO core. Use uma entrada auxiliar de um bit para indicar se o valor de entrada de 12 bits corresponde à entrada *a* ou à entrada *b*. Mapeie as saídas do circuito em leds da placa de desenvolvimento Basys3. Obtenha o diagrama esquemático, o reporte de consumo de recursos, layout do circuito e reporte do consumo de energia. Teste o circuito no laboratório remoto e demonstre o funcionamento através de um vídeo com duração máxima de 1 minuto. Para criar o vídeo use uma ferramenta para gravar a tela do PC.

f) Enviar pelo aprender 3 em uma subpasta chamada 'exercicio2' contendo:

- A pasta .srcs que contém todos os arquivos fonte do projeto.
- Os arquivos de configuração .bit e .ltx.
- A folha em de dados preenchida em **formato PDF**.
- O vídeo em formato .mp4

Bom trabalho !