

# 数字逻辑设计实验

## 实验11、同步时序电路设计

2023年12月

---



# 提 纲

---

- 实验目的
- 实验设备与材料
- 实验任务
- 实验原理
- 实验内容与步骤



# 实验目的

- 掌握典型同步时序电路的工作原理和设计方法
- 掌握时序电路的激励函数、状态图、状态方程的运用
- 掌握用Verilog进行有限状态机的设计、调试、仿真
- 掌握用FPGA实现时序电路功能



# 实验设备与材料

## □ 实验设备

■ 装有Xilinx ISE 14.7的计算机 1台

■ SWORD开发板 1套

## □ 实验材料

■ 无



# 实验任务

---

- 任务1：设计4位同步二进制计数器
- 任务2：以Verilog行为描述方式设计16位可逆二进制同步计数器



# 实验原理

---

- 4位二进制同步计数器
- 4位可逆二进制同步计数器
- 分频器



# 4位二进制同步计数器 (1)

	$Q_A$	$Q_B$	$Q_C$	$Q_D$	$D_A$	$D_B$	$D_C$	$D_D$
0	0	0	0	0	1	0	0	0
1	1	0	0	0	0	1	0	0
2	0	1	0	0	1	1	0	0
3	1	1	0	0	0	0	1	0
4	0	0	1	0	1	0	1	0
5	1	0	1	0	0	1	1	0
6	0	1	1	0	1	1	1	0
7	1	1	1	0	0	0	0	1
8	0	0	0	1	1	0	0	1
9	1	0	0	1	0	1	0	1
10	0	1	0	1	1	1	0	1
11	1	1	0	1	0	0	1	1
12	0	0	1	1	1	0	1	1
13	1	0	1	1	0	1	1	1
14	0	1	1	1	1	1	1	1
15	1	1	1	1	0	0	0	0

根据D触发器原理，在clk作用下 $Q = D$ ，4位计数器的 $Q$ 和 $D$ 关系如左表

$D_A$	$Q_A Q_B$			
$Q_C Q_D$	00	01	11	10
00	1	1	0	0
01	1	1	0	0
11	1	1	0	0
10	1	1	0	0

$$D_A = \overline{Q_A}$$



# 4位二进制同步计数器 (2)

	$Q_A$	$Q_B$	$Q_C$	$Q_D$	$D_A$	$D_B$	$D_C$	$D_D$
0	0	0	0	0	1	0	0	0
1	1	0	0	0	0	1	0	0
2	0	1	0	0	1	1	0	0
3	1	1	0	0	0	0	1	0
4	0	0	1	0	1	0	1	0
5	1	0	1	0	0	1	1	0
6	0	1	1	0	1	1	1	0
7	1	1	1	0	0	0	0	1
8	0	0	0	1	1	0	0	1
9	1	0	0	1	0	1	0	1
10	0	1	0	1	1	1	0	1
11	1	1	0	1	0	0	1	1
12	0	0	1	1	1	0	1	1
13	1	0	1	1	0	1	1	1
14	0	1	1	1	1	1	1	1
15	1	1	1	1	0	0	0	0

$D_B$	$Q_A Q_B$			
	00	01	11	10
00		1		1
01		1		1
11		1		1
10		1		1

$$\begin{aligned} D_B &= \overline{Q_A} Q_B + Q_A \overline{Q_B} \\ &= \overline{Q_A} \oplus \overline{Q_B} \end{aligned}$$





# 4位二进制同步计数器 (3)

	$Q_A$	$Q_B$	$Q_C$	$Q_D$	$D_A$	$D_B$	$D_C$	$D_D$
0	0	0	0	0	1	0	0	0
1	1	0	0	0	0	1	0	0
2	0	1	0	0	1	1	0	0
3	1	1	0	0	0	0	1	0
4	0	0	1	0	1	0	1	0
5	1	0	1	0	0	1	1	0
6	0	1	1	0	1	1	1	0
7	1	1	1	0	0	0	0	1
8	0	0	0	1	1	0	0	1
9	1	0	0	1	0	1	0	1
10	0	1	0	1	1	1	0	1
11	1	1	0	1	0	0	1	1
12	0	0	1	1	1	0	1	1
13	1	0	1	1	0	1	1	1
14	0	1	1	1	1	1	1	1
15	1	1	1	1	0	0	0	0

$D_C$		$Q_A Q_B$			
		$Q_C Q_D$			
		00	01	11	10
00				1	
01				1	
11	1	1			1
10	1	1			1

$$\begin{aligned} D_C &= \overline{Q_A} Q_C + \overline{Q_B} Q_C + Q_A Q_B \overline{Q_C} \\ &= \overline{(Q_A + Q_B)} \oplus \overline{Q_C} \end{aligned}$$



# 4位二进制同步计数器 (4)

	$Q_A$	$Q_B$	$Q_C$	$Q_D$	$D_A$	$D_B$	$D_C$	$D_D$
0	0	0	0	0	1	0	0	0
1	1	0	0	0	0	1	0	0
2	0	1	0	0	1	1	0	0
3	1	1	0	0	0	0	1	0
4	0	0	1	0	1	0	1	0
5	1	0	1	0	0	1	1	0
6	0	1	1	0	1	1	1	0
7	1	1	1	0	0	0	0	1
8	0	0	0	1	1	0	0	1
9	1	0	0	1	0	1	0	1
10	0	1	0	1	1	1	0	1
11	1	1	0	1	0	0	1	1
12	0	0	1	1	1	0	1	1
13	1	0	1	1	0	1	1	1
14	0	1	1	1	1	1	1	1
15	1	1	1	1	0	0	0	0

$D_D$   $Q_A Q_B$

$Q_C Q_D$

	00	01	11	10
00				
01	1	1	1	1
11	1	1		1
10			1	

$$\begin{aligned} D_D &= \overline{Q_A} Q_D + \overline{Q_B} Q_D + \overline{Q_C} Q_D + Q_A Q_B Q_C \overline{Q_D} \\ &= \overline{(\overline{Q_A} + \overline{Q_B} + \overline{Q_C})} \oplus \overline{Q_D} \end{aligned}$$



# 4位二进制同步计数器 (5)

	$Q_A$	$Q_B$	$Q_C$	$Q_D$	$D_A$	$D_B$	$D_C$	$D_D$
0	0	0	0	0	1	0	0	0
1	1	0	0	0	0	1	0	0
2	0	1	0	0	1	1	0	0
3	1	1	0	0	0	0	1	0
4	0	0	1	0	1	0	1	0
5	1	0	1	0	0	1	1	0
6	0	1	1	0	1	1	1	0
7	1	1	1	0	0	0	0	1
8	0	0	0	1	1	0	0	1
9	1	0	0	1	0	1	0	1
10	0	1	0	1	1	1	0	1
11	1	1	0	1	0	0	1	1
12	0	0	1	1	1	0	1	1
13	1	0	1	1	0	1	1	1
14	0	1	1	1	1	1	1	1
15	1	1	1	1	0	0	0	0

## □ 激励函数

$$D_A = \overline{Q_A}$$

$$D_B = \overline{Q_A}Q_B + Q_A\overline{Q_B} = \overline{Q_A} \oplus \overline{Q_B}$$

$$D_C = \overline{Q_A}Q_C + \overline{Q_B}Q_C + Q_AQ_B\overline{Q_C}$$

$$= \overline{(\overline{Q_A} + \overline{Q_B})} \oplus \overline{Q_C}$$

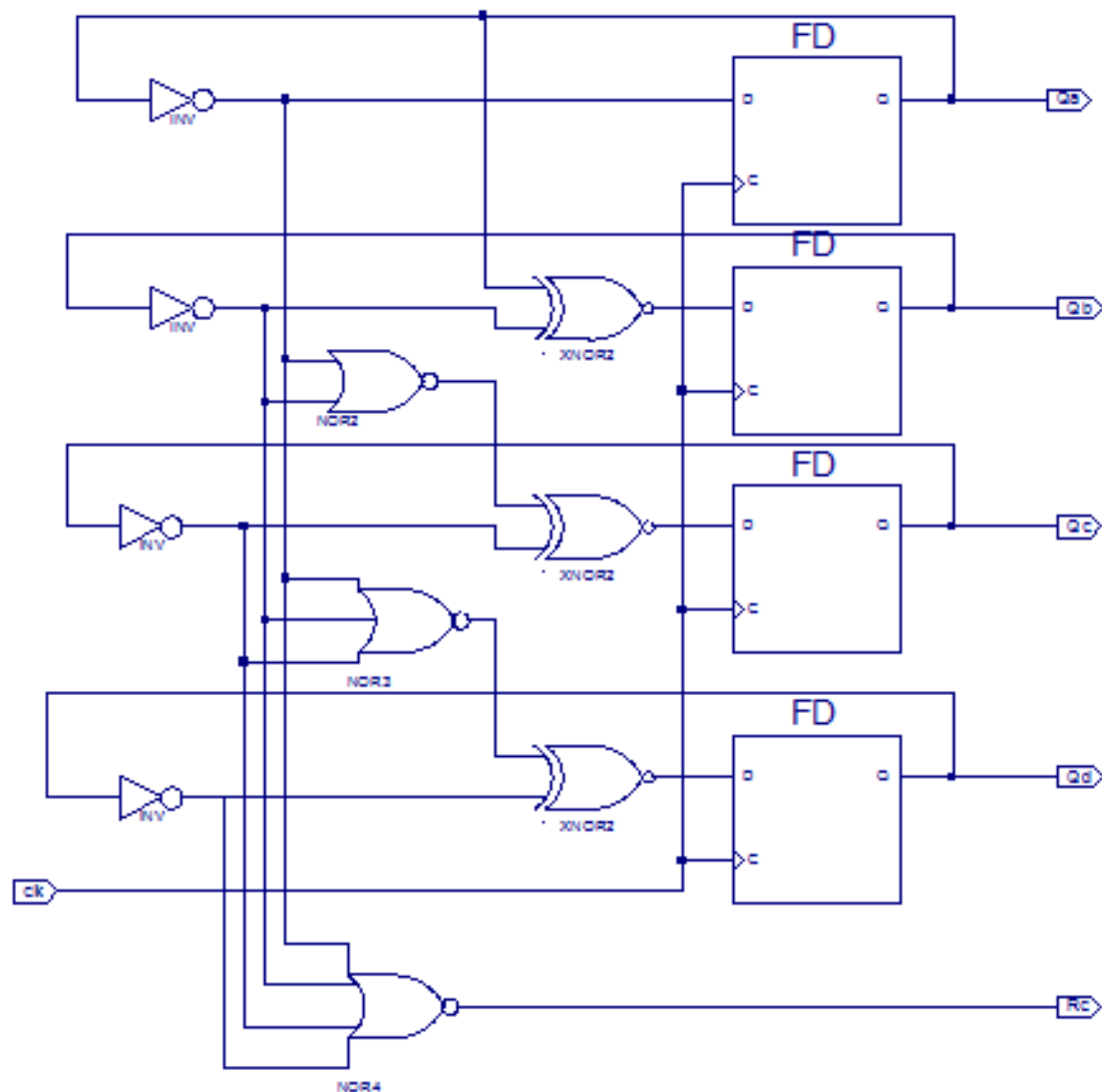
$$D_D = \overline{Q_A}Q_D + \overline{Q_B}Q_D + \overline{Q_C}Q_D + Q_AQ_BQ_C\overline{Q_D}$$

$$= \overline{(\overline{Q_A} + \overline{Q_B} + \overline{Q_C})} \oplus \overline{Q_D}$$

## □ 进位RC的输出函数

$$R_C = \overline{Q_A} + \overline{Q_B} + \overline{Q_C} + \overline{Q_D}$$

# 4位二进制同步计数器 (6)





# 4位二进制同步计数器仿真

```
initial forever begin
    clk = 1'b0; #100;
    clk = 1'b1; #100;
end
```





# 可逆二进制同步计数器 (1)

□ 可逆二进制同步计数器通过控制端S选择正向或者反向计数

■ S = 1时, 正向计数, 各触发器逻辑表达式同前面

■ S = 0时, 反向计数, 各触发器逻辑表达式如下式

$$D_A = \overline{Q_A}$$

$$D_B = \overline{S}(\overline{Q_A} \oplus \overline{Q_B}) + S(\overline{Q_A} \oplus \overline{Q_B}) = \overline{S} \oplus \overline{Q_A} \oplus \overline{Q_B}$$

$$\begin{aligned} D_C &= \overline{S}[(\overline{Q_A} \overline{Q_B}) \oplus \overline{Q_C}] + S[(\overline{Q_A} + \overline{Q_B}) \oplus \overline{Q_C}] = [\overline{S} \overline{Q_A} \overline{Q_B} + S(\overline{Q_A} + \overline{Q_B})] \oplus \overline{Q_C} \\ &= [\overline{S}(\overline{Q_A} + \overline{Q_B}) + S(\overline{Q_A} + \overline{Q_B})] \oplus \overline{Q_C} \end{aligned}$$

$$\begin{aligned} D_D &= \overline{S}[(\overline{Q_A} \overline{Q_B} \overline{Q_C}) \oplus \overline{Q_D}] + S[(\overline{Q_A} + \overline{Q_B} + \overline{Q_C}) \oplus \overline{Q_D}] = [\overline{S} \overline{Q_A} \overline{Q_B} \overline{Q_C} + S(\overline{Q_A} + \overline{Q_B} + \overline{Q_C})] \oplus \overline{Q_D} \\ &= [\overline{S}(\overline{Q_A} + \overline{Q_B} + \overline{Q_C}) + S(\overline{Q_A} + \overline{Q_B} + \overline{Q_C})] \oplus \overline{Q_D} \end{aligned}$$



# 可逆二进制同步计数器 (2)

## □ 可逆二进制16位同步计数器的行为描述

```
module RevCounter(  
    input wire clk,  
    input wire s,  
    output reg [15:0] cnt,  
    output wire Rc  
);  
  
    wire clk_1s;  
    clk_1s clk_count(.clk(clk), .clk_1s(clk_1s));  
    assign Rc = (~s&(~|cnt)) | (s & (&cnt));  
    initial begin  
        cnt = 0;  
    end  
    // need to fill  
endmodule
```



# 分频器设计

- 50MHz信号通过25,000,000次分频后，得到1Hz的脉冲方波，作为计数器的脉冲输入

```
module counter_1s(clk, clk_1s);  
    input wire clk;  
    output reg clk_1s;  
    reg [31:0] cnt;  
    always @ (posedge clk) begin  
        if (...) begin // need to fill  
            // need to fill  
        end else begin  
            // need to fill  
        end  
    end  
end  
endmodule
```





# 实验内容与步骤

---

- 任务1：原理图方式设计4位同步二进制计数器
- 任务2：以Verilog行为描述方式设计16位可逆二进制同步计数器



# 设计4位同步二进制计数器 (1)

## □ 新建工程

- 工程名称用Counter4b。
- Top Level Source Type用HDL

## □ 新建源文件

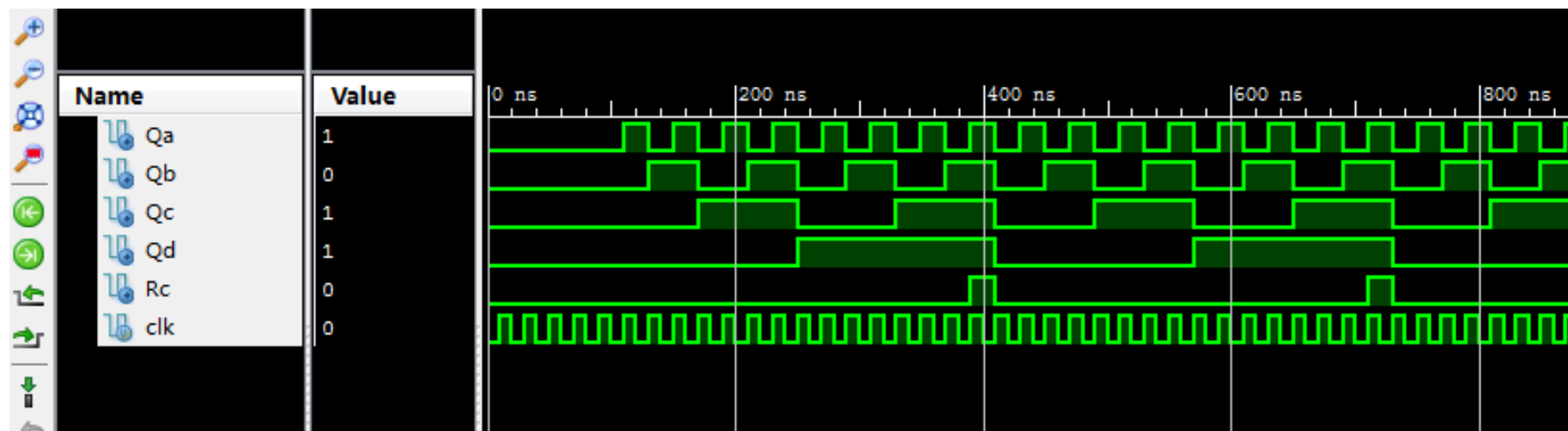
- 类型是Schematic
- 文件名称用Counter4b。

## □ 原理图方式进行设计

## □ 进行波形仿真



# 仿真波形图



# 设计16位可逆同步二进制计数器（1）



## □ 打开所给工程

- 工程名称用MyCounter。

## □ 补全工程

- 补全文件RevCounter、clk\_1s
- 添加之前的器件DispNum。

## □ 波形仿真（包含正向计数和反向计数）

- 思考在仿真时为什么clk\_1s时钟始终不动，应该如何修改以便于仿真模拟

## □ 生成bitstream上板验证



# 验收

## □ 4位二进制计数器

- 检查所作图。
- 仿真波形图。

## □ 16位可逆二进制计数器

- 检查Verilog实现代码
- 上板结果（可以正常正向计数或逆向计数）。



---

# Thank You !