

# 数字逻辑设计实验

## 实验9、加减法器和ALU基本原理与设计

2023年11月23日

---



# 提 纲

---

- 实验目的
- 实验设备与材料
- 实验任务
- 实验原理
- 实验内容与步骤



# 实验目的

---

- 掌握减法器的实现原理
- 掌握加减法器的设计方法
- 掌握ALU基本原理及在CPU中的作用
- 掌握ALU的设计方法
- 掌握UCF文件



# 实验设备与材料

---

## □ 实验设备

- 装有Xilinx ISE 14.7的计算机 1台
- SWORD开发板 1套

## □ 实验材料

- 无



# 实验任务

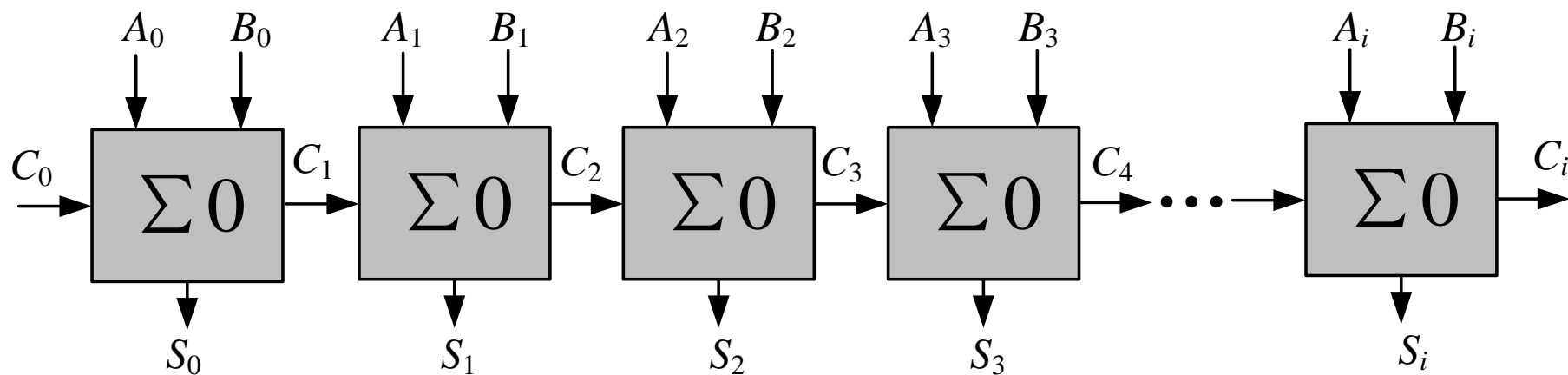
---

- 任务1：设计4位加减法器
- 任务2：实现4位ALU及应用设计

# 实验原理

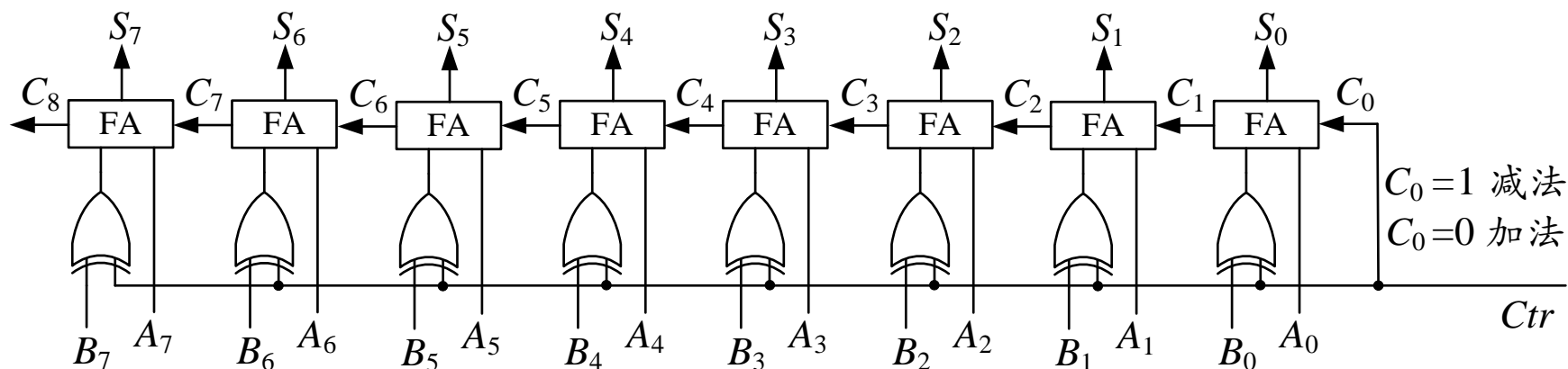
## □ 多位串行进位加法器

- 由一位全加器将进位串接构成
- 低位进位 $C_0$ 为0,  $C_i$ 为高位进位输出



# 多位串行进位全减器

- 用负数补码加法实现，减数当作负数求补码
- 共用加法器
- 用“异或”门控制求反，低位进位 $C_0$ 为1



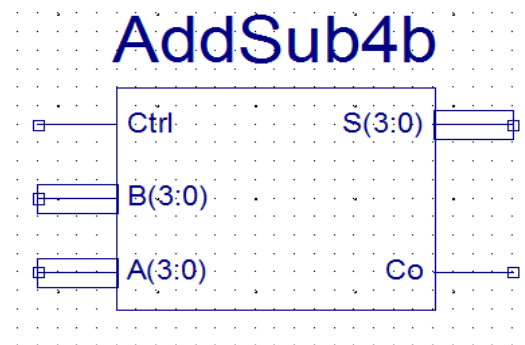
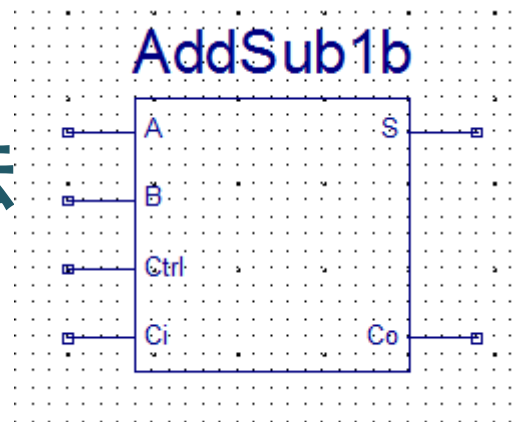
$Ctr$ 为0时,  $S[7:0] = A[7:0] + B[7:0]$

$Ctr$ 为1时,  $S[7:0] = A[7:0] - B[7:0]$

$$= A[7:0] + \overline{B[7:0]} + 1$$

# 加减法器设计

- 利用实验8中的加法器和上一页中的减法器原理完成加减法器的设计，接口定义如右图。
- 其中，A和B为两个操作数，Ctrl控制加减法器进行何种运算的控制信号，S为计算结果，Ci和Co为进位输入和输出。
- 也可用Verilog行为描述设计

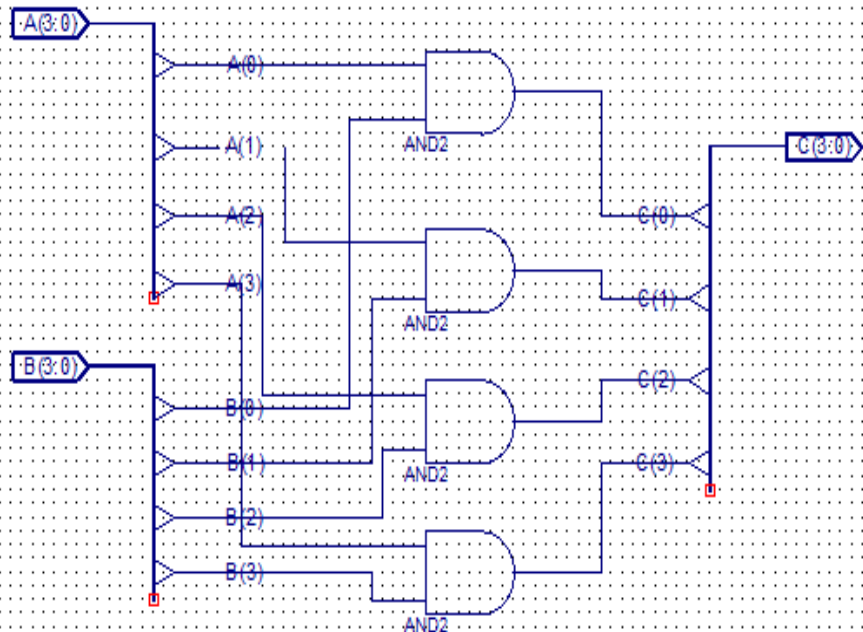




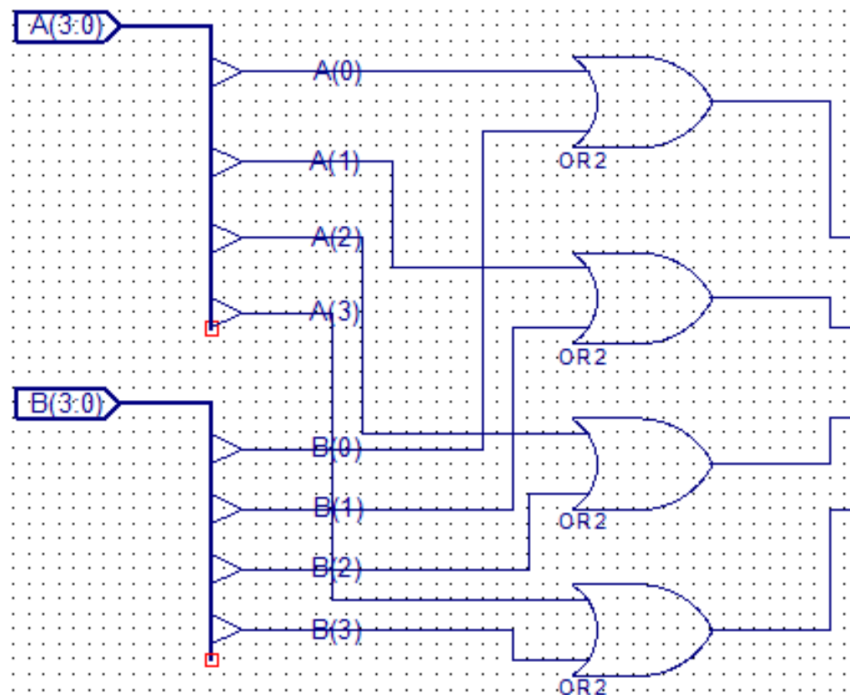
# 按位与、或运算器示意图

□ 也可用行为描述设计

myAnd2b4.sch



4位与门



4位或门



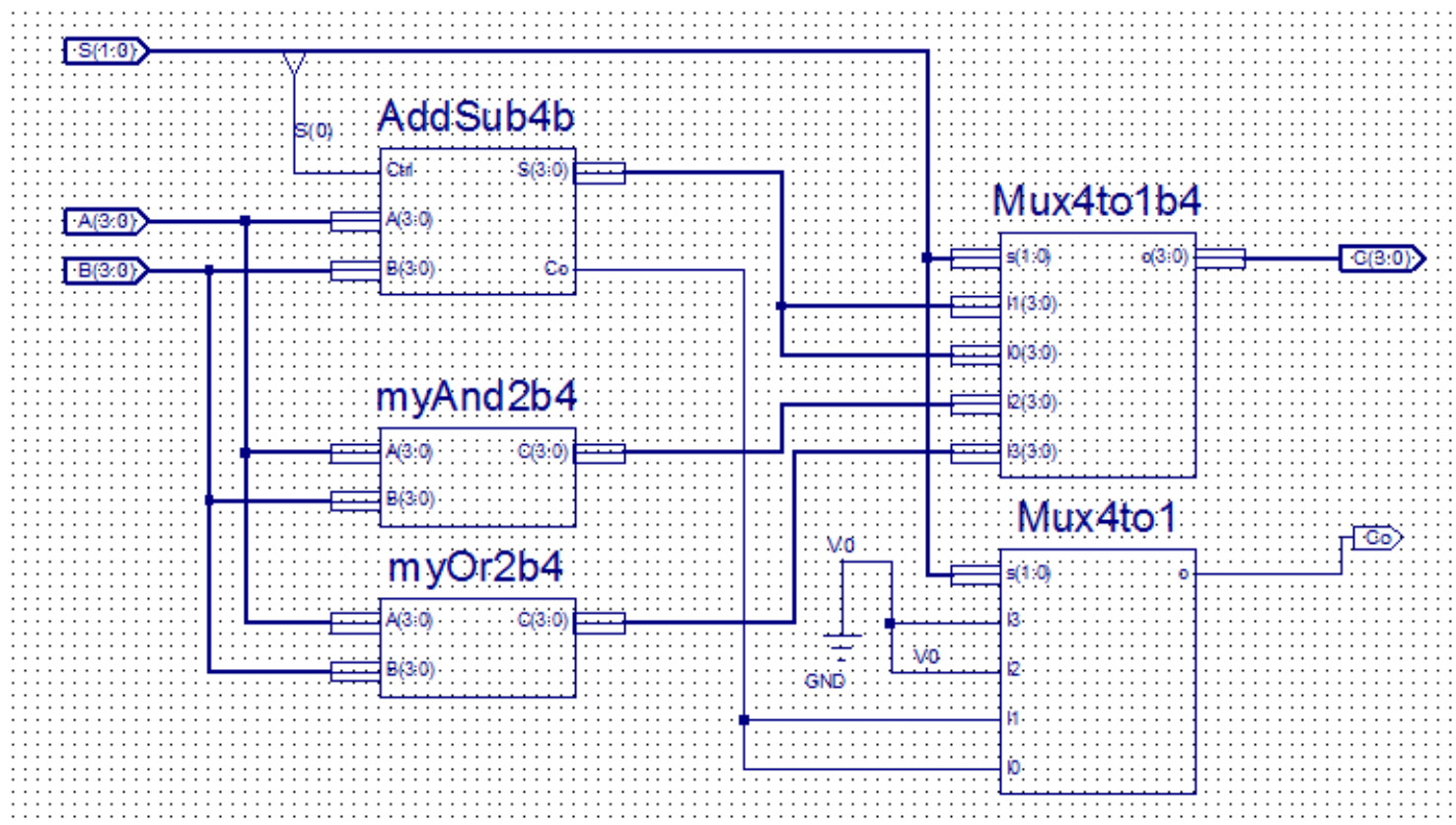
# ALU设计

## □ 业务逻辑要求

- 两个4位操作数A, B
- 可用两个按钮分别使两个操作数自增或自减
- 用一个开关控制操作数自增或自减
- 可用两个开关切换ALU进行的运算
- 得到结果C和进位Co
- 把A、B、C和Co动态显示

# 4位ALU示意图

□ 也可用行为描述设计





# ALU应用设计

- 在实验8工程的基础上调用设计的ALU模块
  - 将CreateNumber模块中对加法器的调用改为对加减法器ALU模块的调用，同时在模块接口定义中增加对ALU的控制信号以及控制操作数自增、自减的控制信号
  - 在top模块中修改对CreateNumber模块的调用，并且添加控制信号对应的开关。



# 验收要求

---

## □ 验收要求

- 加减法器设计源文件
- 上板验证结果



---

# Thank You !