



## 描述

AT8325是一款包含三路半桥且可独立控制的驱动芯片，用于驱动一个三相直流无刷电机，或驱动螺线管等其它负载。每路半桥高、低边均配置N通道功率MOSFET，可输出5.5A峰值电流。低边MOSFET的源端，即芯片的功率地可选择接检流电阻到地，以检测输出电流。

内部保护功能包含过流保护，短路保护和过温保护，并提供一个故障检测输出管脚。

AT8325提供一种4mm×4mm的QFN24封装，并带有裸露散热焊盘，能有效改善散热性能，且为无铅封装，符合环保标准。

## 应用

- 手持云台
- 消费类产品
- 办公自动化设备
- 工厂自动化

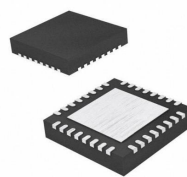
## 型号选择

订货型号	封装	包装信息
AT8325QNL	QFN4*4-24	编带，5000颗/盘

## 特点

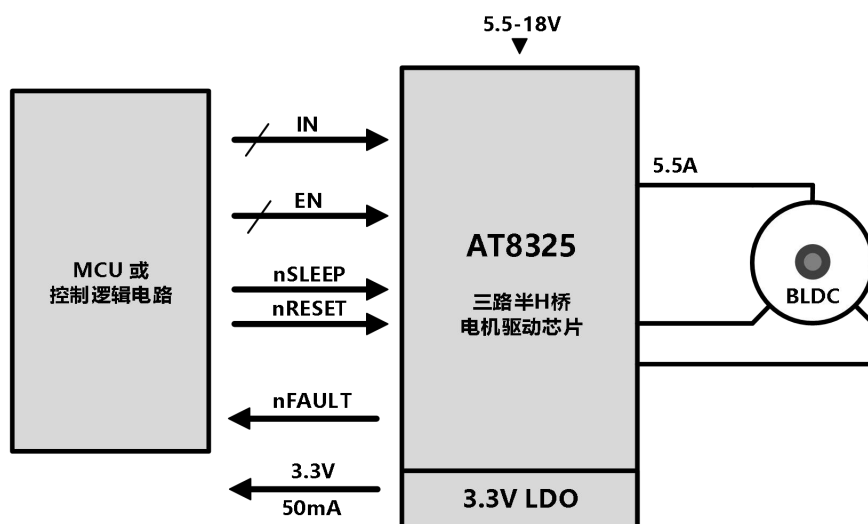
- 三路独立半桥电机驱动器
- 驱动三相直流无刷电机（BLDC）
- 三个独立用于电流检测的接地引脚
- 低 $R_{DS(ON)}$ 电阻，HS+LS=130mΩ
- ±5.5A峰值输出电流
- 宽电压供电，5.5V-18V
- 过温保护
- 短路保护
- 欠压锁定保护

## 封装形式



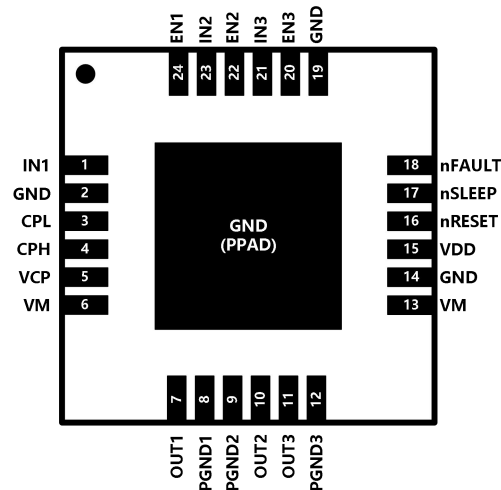
QFN24

## 典型应用原理图





## 管脚定义

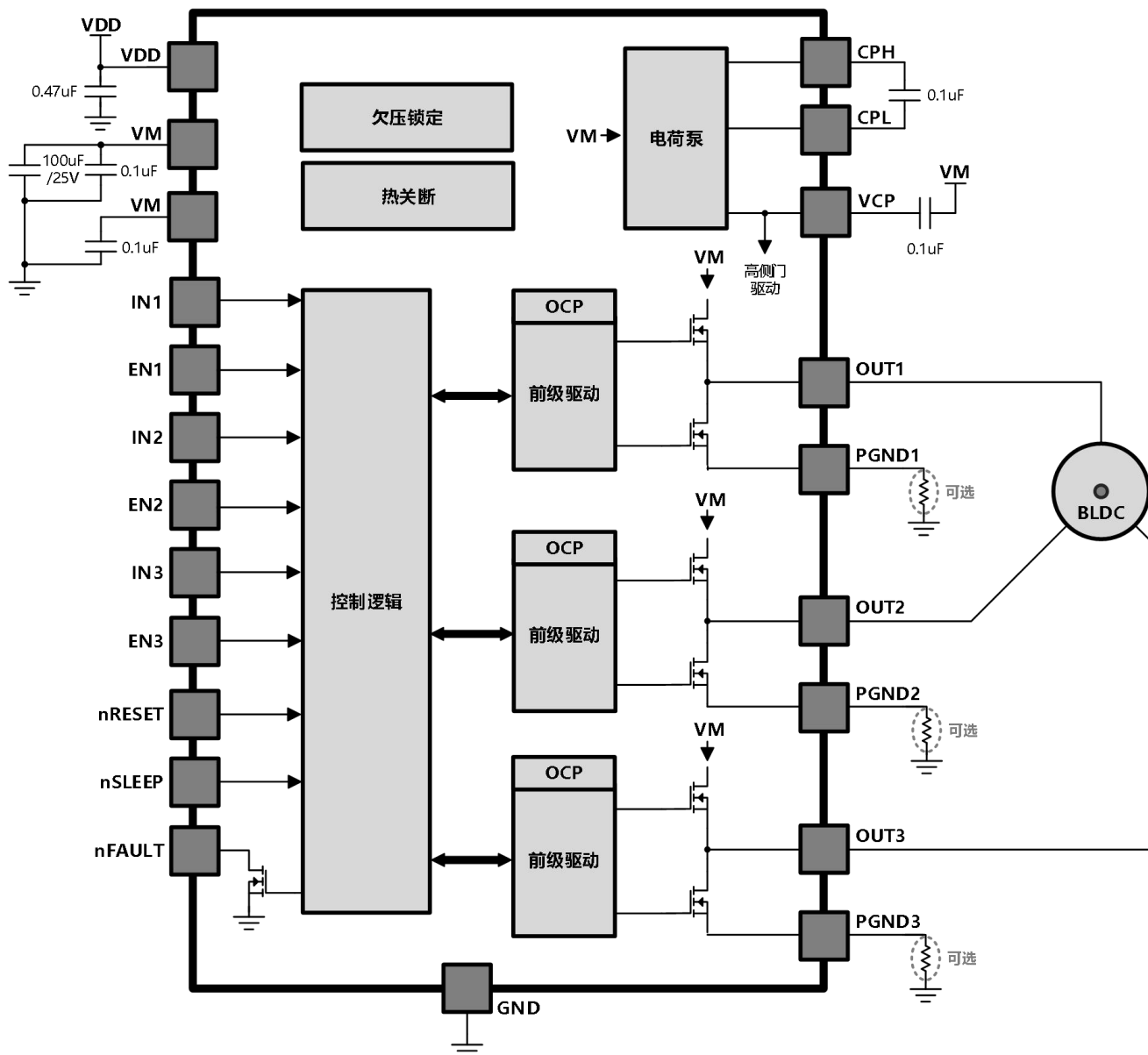


## 管脚列表

管脚名	管脚序号	管脚定义	说明
	QFN24		
电源与地			
GND	2,14,19	器件地	所有GND管脚和芯片裸焊盘需接到电源地
PPAD	-		
VM	6,13	功率电源	电机电源，所有VM管脚需接在一起，且做好电源滤波
CPL	3	电荷泵电容	两管脚间加0.1uF电容
CPH	4		
VCP	5	电荷泵电压	接0.1uF电容到VM
VDD	15	电源输出	3.3V参考电平输出
控制输入			
EN1	24	使能控制输入	逻辑高电平，半H桥使能输出；逻辑低电平，半H桥输出关闭。内置下拉电阻
EN2	22		
EN3	20		
IN1	1	通道控制输入	逻辑高电平，半H桥输出高；逻辑低电平，半H桥输出低。内置下拉电阻
IN2	23		
IN3	21		
nSLEEP	17	休眠模式输入	逻辑高电平，芯片正常工作；逻辑低电平，芯片进入休眠模式。内置下拉电阻
nRESET	16	复位输入	高电平，芯片正常工作；低电平，芯片进入复位状态。内置下拉电阻
状态信息			
nFAULT	18	故障指示输出	开漏输出，若使用需外接上拉电阻。当出现过温或过流时，输出低电平
输出			
PGND1	8	半桥地	半桥NMOS源端；直接接地或者接检流电阻到地
PGND2	9		
PGND3	12		
OUT1	7	半桥输出	接负载
OUT2	10		
OUT3	11		



## 功能模块框图



电路工作极限 at  $T_A = 25^{\circ}\text{C}$ 

参数	符号	条件	范围	单位
功率电源	VM		-0.3 ~ 20	V
连续输出电流	$I_{OUT}$		$\pm 3.5$	A
输出峰值电流	$I_{PEAK}$		> 5.5	A
逻辑输入电压	$V_{IN}$		-0.7 to 6	V
半桥地端电压	PGNDx		$\pm 0.6$	V
工作温度	$T_A$	Range S	-40 to 85	$^{\circ}\text{C}$
最大结温	$T_J(\text{max})$		150	$^{\circ}\text{C}$
储藏温度	$T_{stg}$		-55 to 150	$^{\circ}\text{C}$

热阻特性 at  $T_A = 25^{\circ}\text{C}$ 

热计量	QFN 24PINS	单位
$\theta_{JA}$ - 硅核到环境的热阻系数(*)	38	$^{\circ}\text{C/W}$

(\*)自然对流条件下硅核到环境的热阻系数是通过在 JESD51-7 中所指定的 JEDEC 标准高 K 值电路板上进行仿真模拟获得，环境条件如 JESD51-2a 中所述。

推荐工作条件 at  $T_A = 25^{\circ}\text{C}$ 

参数	符号	最小	典型	最大	单位
功率电源	VM	5.5	-	18	V
逻辑输入电压	$V_{IN}$	0	-	5.25	V
输出电流	$I_{PEAK}$	0	-	5.0	A
ENx、INx PWM 信号	fPWM	0	-	500	kHz
PGNDx 管脚电压	VPGND	-500	-	500	mV
VDD 负载电流	IV3P3	0	-	10	mA

(1) 所有VM管脚必须连接到同一个供电电源。

(2) 芯片大电流工作时，做好芯片散热。

电气特性 at  $T_A = 25^{\circ}\text{C}$ ,  $V_M = 12\text{ V}$ 

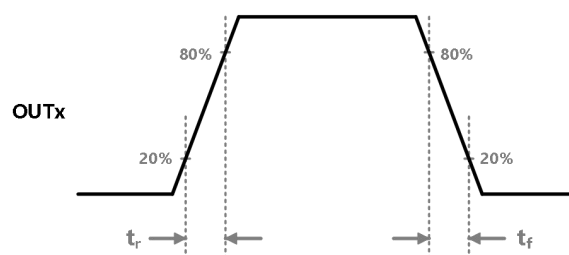
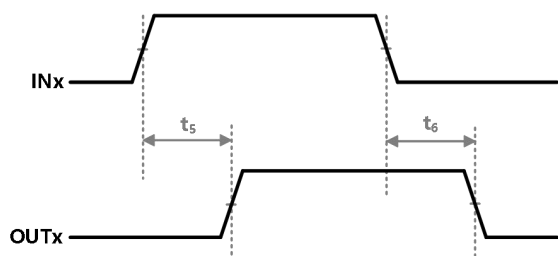
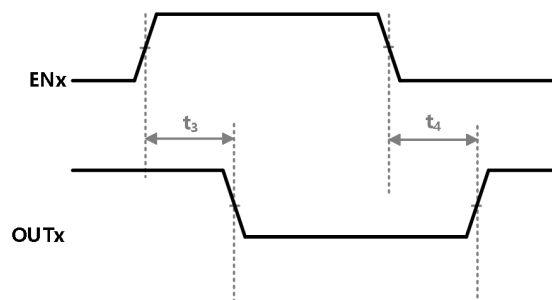
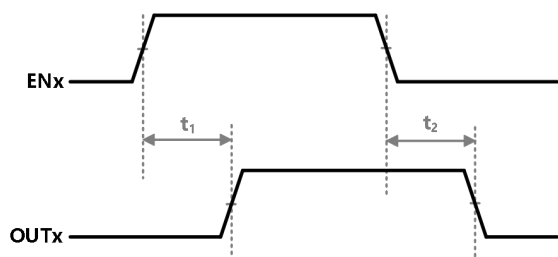
参数		测试条件	最小	典型	最大	单位
电源供电						
I <sub>VM</sub>	VM 静态工作电流	f <sub>PWM</sub> < 50 kHz	-	4	10	mA
I <sub>VMQ</sub>	VM 休眠电流	nSLEEP = 0	-	1.5	2	mA
内置整流(V3P3)						
VDD	3.3V 整流	I <sub>OUT</sub> = 0 to 10 mA	3.1	3.3	3.5	V
逻辑输入						
V <sub>IL</sub>	逻辑输入低电压		-	0.6	0.7	V
V <sub>IH</sub>	逻辑输入高电压		2	-	5.25	V
V <sub>HYS</sub>	逻辑输入迟滞		-	0.25	-	V
I <sub>IL</sub>	逻辑输入电流_低电平	V <sub>IN</sub> = 0	-2	-	2	uA
I <sub>IH</sub>	逻辑输入电流_高电平	V <sub>IN</sub> = 3.3 V	-	33	100	uA
Rpd	输入内部下拉电阻		-	100	-	kΩ
nFAULT 输出(开漏输出)						
V <sub>OL</sub>	输出低电平	I <sub>O</sub> = 5 mA	-	-	0.5	V
I <sub>OH</sub>	输出高电平漏电流	V <sub>O</sub> = 3.3 V	-	-	1	uA
H 桥 FETS						
R <sub>DS(ON)</sub>	高侧+低侧 FET 导通电阻	I <sub>O</sub> = 1A, T <sub>J</sub> = 25°C	-	130	-	mΩ
I <sub>OFF</sub>	输出关断漏电流		-2	-	2	uA
保护电路						
I <sub>OCP</sub>	过流峰值		5.5	6.5	-	A
t <sub>DEG</sub>	OCP 防抖动延时		-	5	-	us
t <sub>TSD</sub>	过温阈值	结温	150	160	180	°C
t <sub>HYS</sub>	过温迟滞	结温	-	35	-	°C
休眠模式						
t <sub>WAKE</sub>	休眠唤醒时间	退出休眠模式到半 H 桥开启	-	2.5	3	ms



## 动态时序

 $T_A = 25^\circ\text{C}$ ,  $V_M = 12\text{ V}$ ,  $R_L = 12\Omega$ 

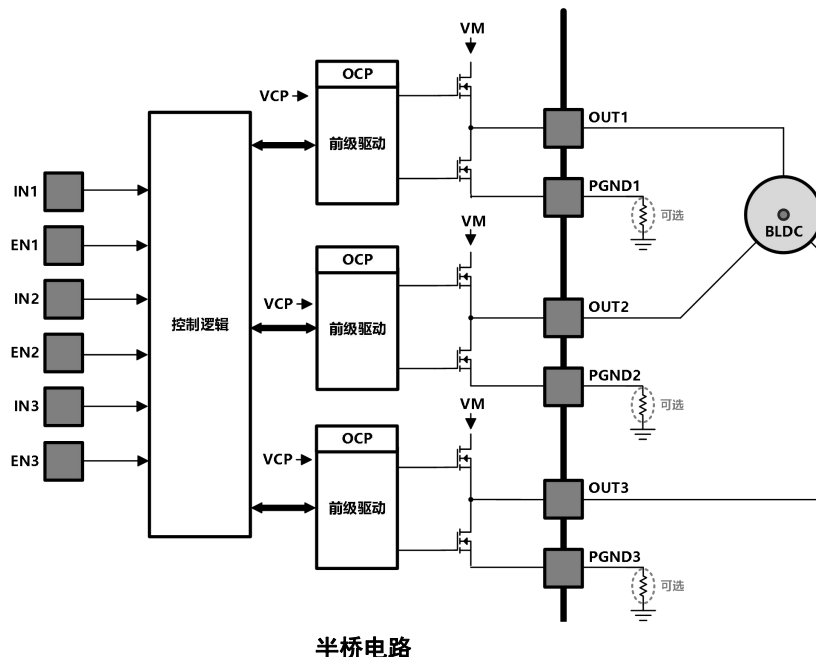
参数	测试条件	最小	典型	最大	单位
延时 $t_1$ —— $EN_x$ 高到 $OUT_x$ 高	$IN_x = 1$	-	20	100	ns
延时 $t_2$ —— $EN_x$ 低到 $OUT_x$ 低	$IN_x = 1$	-	120	300	ns
延时 $t_3$ —— $EN_x$ 高到 $OUT_x$ 低	$IN_x = 0$	-	30	100	ns
延时 $t_4$ —— $EN_x$ 低到 $OUT_x$ 高	$IN_x = 0$	-	60	200	ns
延时 $t_5$ —— $IN_x$ 高到 $OUT_x$ 高	$EN_x = 1$	-	30	100	ns
延时 $t_6$ —— $IN_x$ 低到 $OUT_x$ 低	$EN_x = 1$	-	120	300	ns
输出上升时间 $t_r$ —— 接阻性负载到地		-	10	20	ns
输出下降时间 $t_f$ —— 接阻性负载到地		-	10	20	ns
死区时间 $t_{DEAD}$		-	50	100	ns





## 模块功能描述

AT8325 集成三路独立半桥，每路可输出 5.5A 峰值电流，5.5V 到 18V 单电源供电。



### 输出级

AT8325 包含三路半桥驱动器，半桥的低边 FET 的源端为各自独立管脚（PGND1、PGND2、PGND3），可根据需要选择在此管脚接独立的检流电阻；或将此 3 管脚连一起，通过一个检流电阻到地；或者此 3 个管脚直接接地。

如果使用检流电阻，请保证此 3 管脚（PGND1、PGND2、PGND3）的电压不超过 $\pm 500\text{mV}$ 。

### 半桥控制逻辑

输入管脚 IN1、IN2、IN3 直接控制着半桥的输出状态 OUT1、OUT2 和 OUT3，EN1、EN2、EN3 控制半桥的使能。下表列出了其逻辑关系。

nSLEEP	IN <sub>x</sub>	EN <sub>x</sub>	OUT <sub>x</sub>
1	X	0	Z
1	0	1	L
1	1	1	H
0	X	X	Z

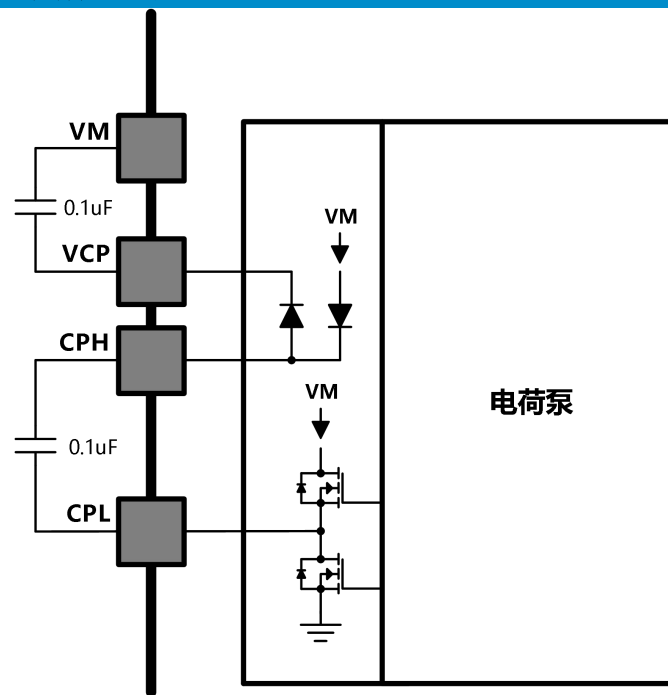
半桥控制逻辑

### 电荷泵

AT8325 内置了电荷泵，产生一个高于电源电压的驱动电压，用于驱动高边 NMOSFET 的栅，以得到更小的导通电阻。

电荷泵电路需要两颗外置电容来实现功能。详见下原理图。

当 nSLEEP 管脚输入低电平，电荷泵电路不工作。

**电荷泵电路**

### 休眠、复位操作

nRESET 管脚输入低电平时，芯片复位内部逻辑，同时全部半桥被关断，逻辑输入被忽略。

nSLEEP 管脚输入低电平时，器件将进入休眠模式。进入休眠模式后，器件的全部半桥被关断，电荷泵停止工作，逻辑输入被忽略。当 nSLEEP 输入翻转为高电平时，系统恢复到正常的操作状态。为使电荷泵输出电压达到稳定，在 nSLEEP 恢复高电平并延时 3ms 后再进行正常操作。

### 保护电路

AT8325 有过流保护、短路保护、过温保护和欠压保护。

#### 过流保护 (OCP)

在每一个输出 MOSFET 上有一个电流检测电路，此电路检测流过 MOSFET 的电流，当电流过大，且维持时间超过 OCP 屏蔽时间，将关断相应半桥的 MOSFET，nFAULT 管脚输出低电平。若要恢复正常工作，需 nRESET 或者 nSLEEP 信号维持 5us 低电平脉冲后变为高电平或者 VM 重新上电。

H 桥高边和低边的过流是被独立检测的。对地短路，对 VM 短路，和输出之间短路，都会造成过流关断。

#### 过温保护 (TSD)

如果结温超过安全限制阈值，全部半桥被关断，nFAULT 管脚输出低电平。一旦结温降到一个安全水平，所有操作会自动恢复正常。

#### 欠压锁定保护(UVLO)

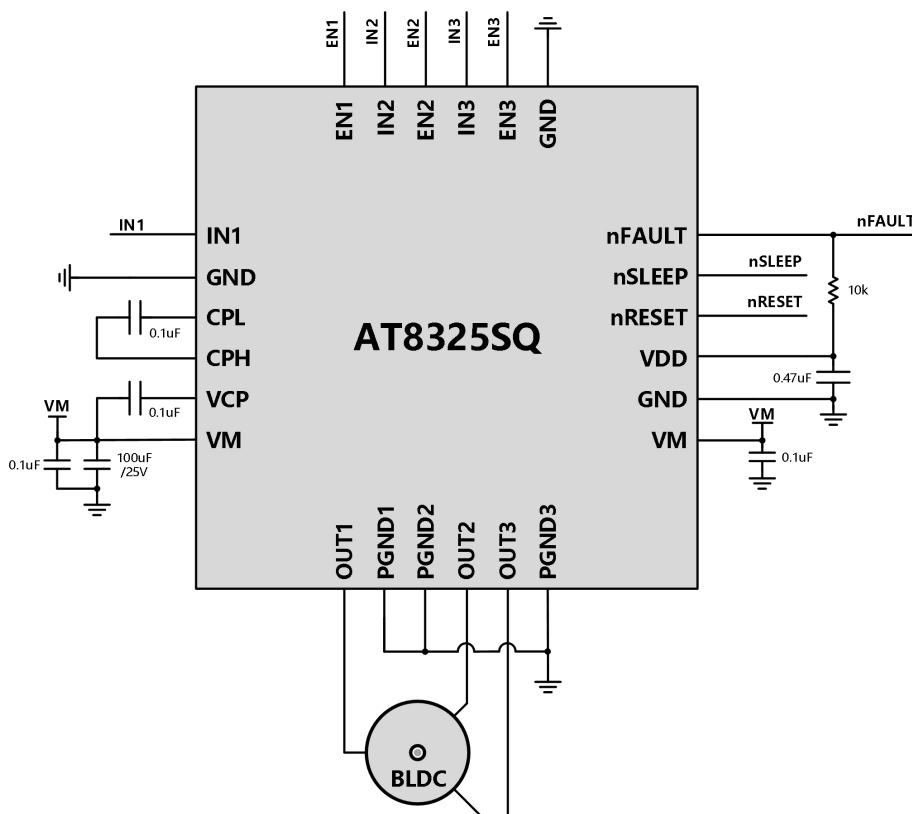
在任何时候，如果 VCP 管脚上的电压降低低于欠压锁定阈值，内部所有电路会被禁止，内部被复位。当 VCP 电压上升到阈值电压以上，所有功能自动恢复。



## 电路应用信息

AT8325 可以驱动无刷直流电机 (BLDC)，或螺线管等其它负载。

## 直流无刷电机控制



直流无刷电机一般工作在一个确定的电压，例如 12V 或者 16V。对于获得相同的功率来说，工作电压越高，所需要的电流就相对越小。更高的工作电压也容易获得更高的转速。AT8325 允许工作的最高电压为 18V。

一般来说，工作在相对低的电压，容易获得更精准的电流控制。AT8325 最低支持 5.5V 工作。

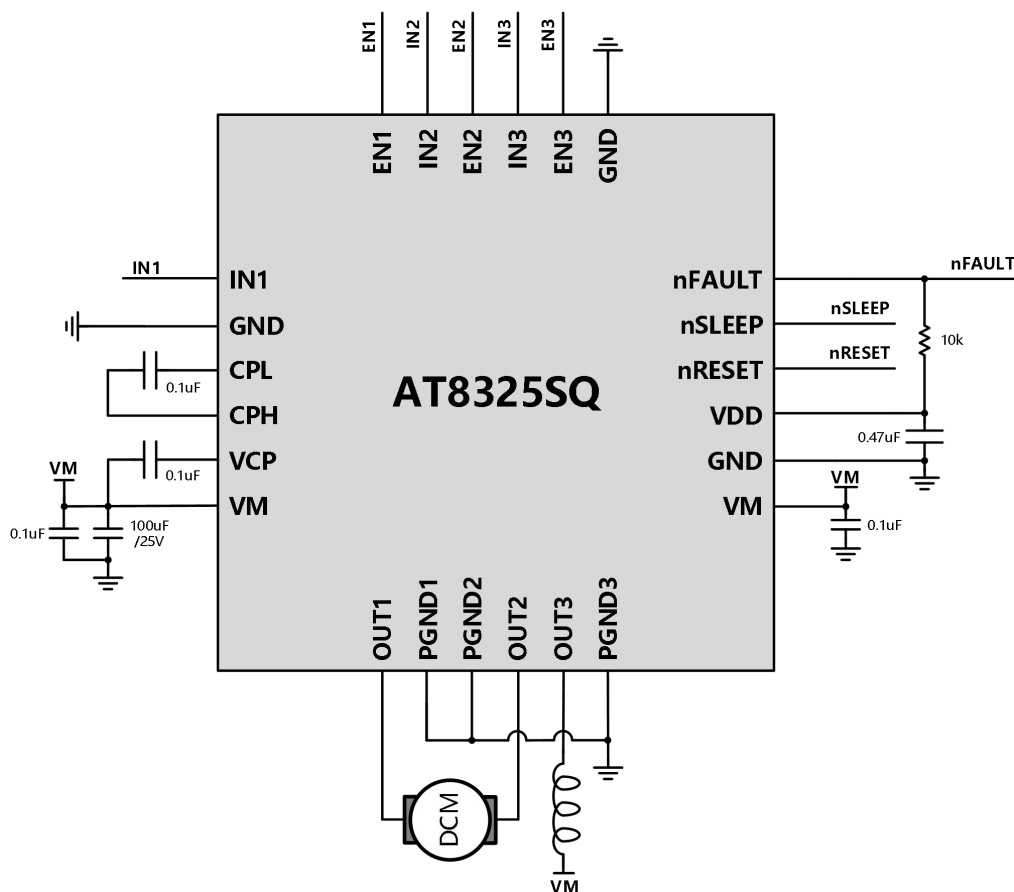
通过控制独立的 3 个半桥，AT8325 可以实现梯形（120°）输出。同时，AT8325 既可在 IN<sub>x</sub> 端口做 PWM 控制，也可在 EN<sub>x</sub> 端口做 PWM 控制。

状态	OUT1 (U 相)			OUT2 (V 相)			OUT3 (W 相)		
	IN1	EN1	OUT1	IN2	EN2	OUT2	IN3	EN3	OUT3
1	X	0	Z	1	1	H	0	1	L
2	1	1	H	X	0	Z	0	1	L
3	1	1	H	0	1	L	X	0	Z
4	X	0	Z	0	1	L	1	1	H
5	0	1	L	X	0	Z	1	1	H
6	0	1	L	1	1	H	X	0	Z
制动	0	1	L	0	1	L	0	1	L
空转	X	0	Z	X	0	Z	X	0	Z

### 梯形控制时序



## 有刷电机和螺线管负载控制



EN1	IN1	OUT1	EN2	IN2	OUT2	电机状态
1	0	L	1	1	H	反向
1	0	L	1	0	L	制动(低侧管慢衰减)
1	1	H	1	1	H	制动(高侧管慢衰减)
0	X	Z	0	X	Z	滑行

有刷电机控制真值表



## 版图注意事项

PCB 板上应覆设大块的散热片，地线的连接应有很宽的地线覆线。为了优化电路的电特性和热参数性能，芯片应该直接紧贴在散热片上。

对电源 VM，应该连接不小于 47 $\mu$ F 的电容对地耦合，电容应尽可能的靠近器件摆放。

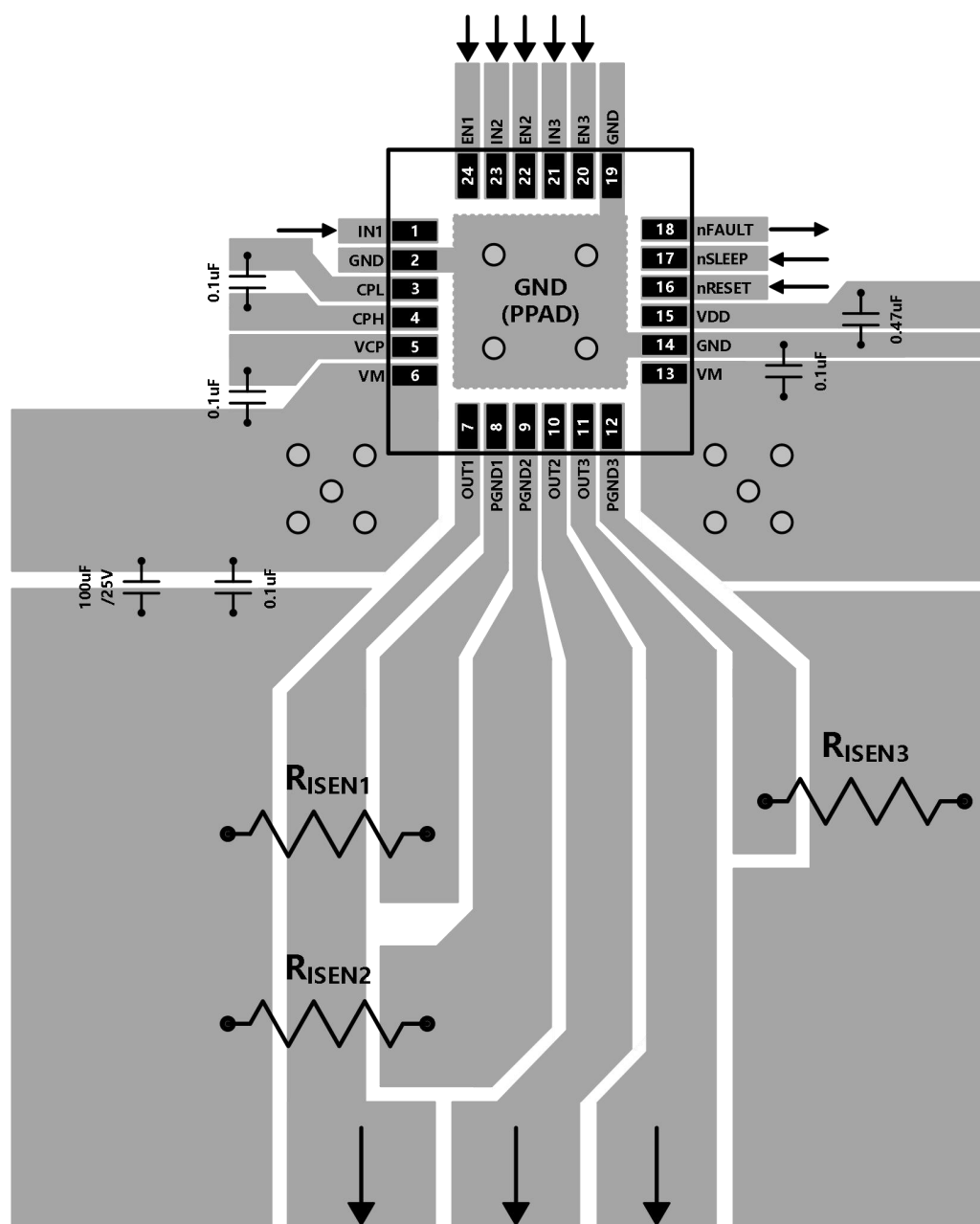
为了避免因高速 dV/dt 变换引起的电容耦合问题，驱动电路输出端电路覆线应远离逻辑控制输入端的覆线。逻辑控制端的引线应采用低阻抗的走线以降低热阻引起的噪声。

### 地线设置

芯片所有的地线都应连接在一起，且连线还应尽可能的短。一个位于器件下的星状发散的地线覆设，将是一个较优设计。

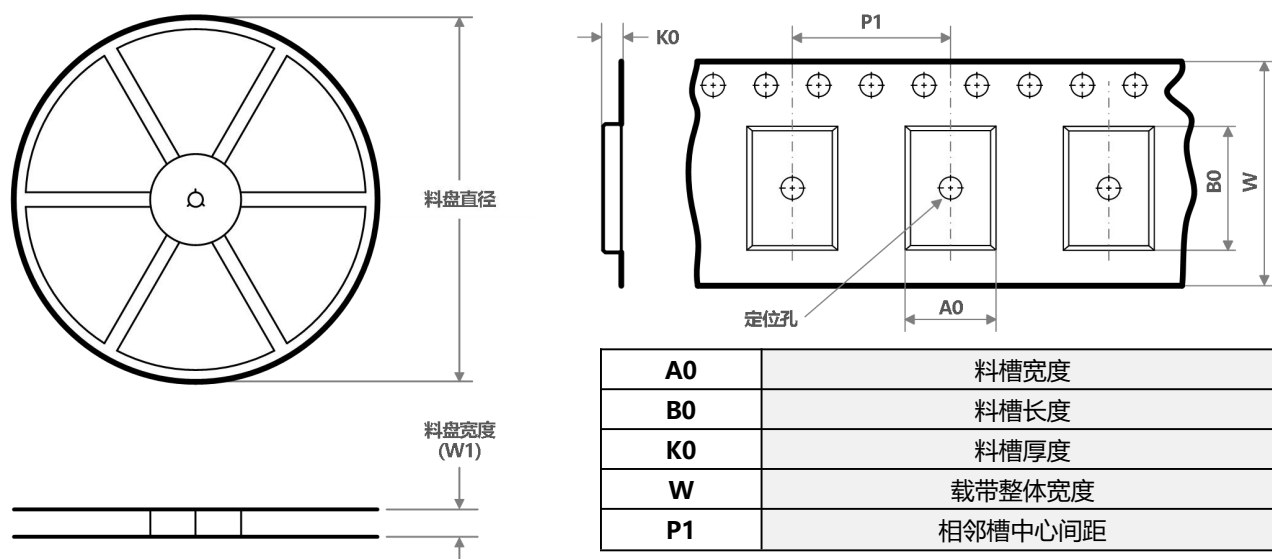
在覆设的地线下方增加一个铜散热片会更好优化电路性能。

### PCB 版图示例

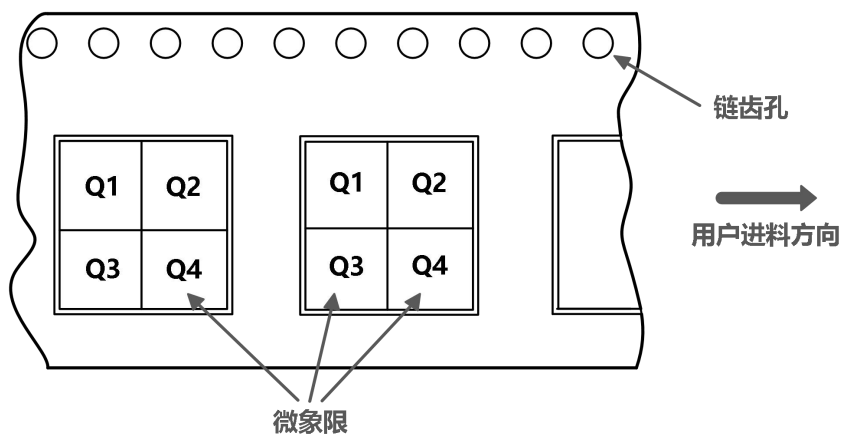




## 编带料盘信息



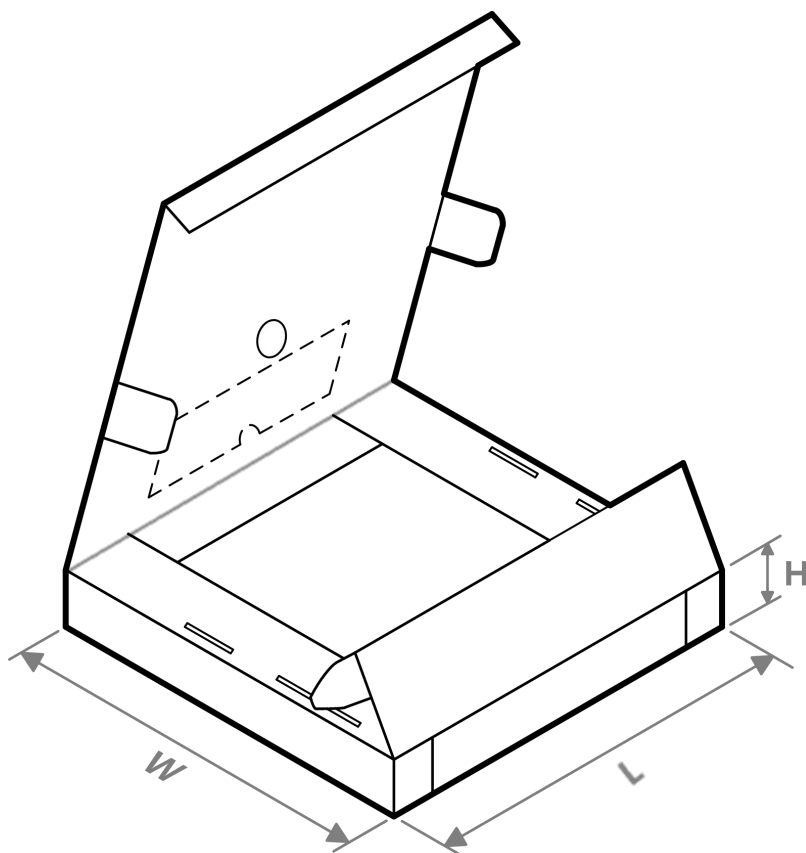
## 编带 PIN1 方位象限分配



器件	封装类型	封装标识	管脚数	SPQ	料盘直径 (mm)	料盘宽度 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 象限
AT8325QNL	QFN	QNL	24	5000	330	12	4.45	4.45	1.2	8	12	Q2



## 编带料盘包装尺寸

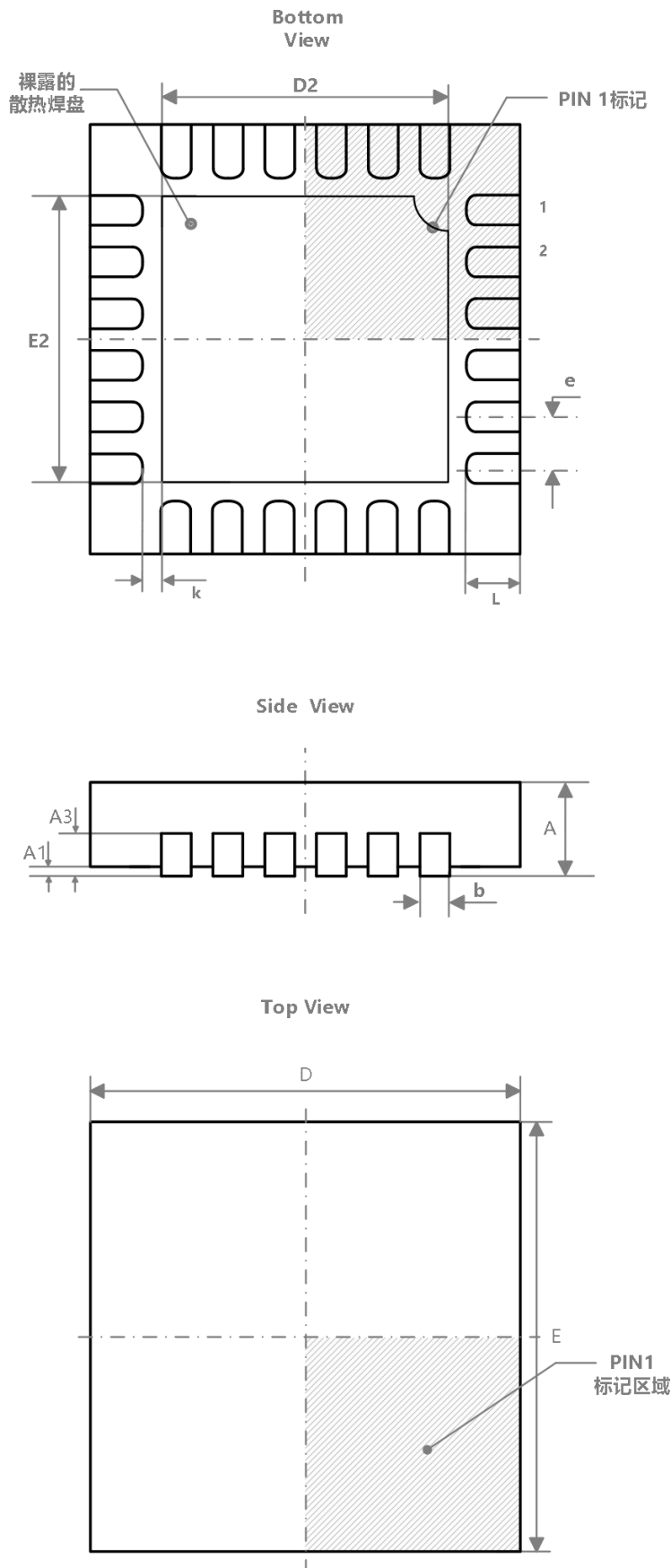


器件	封装类型	封装标识	管脚数	SPQ	长度(mm)	宽度(mm)	高度(mm)
AT8325QNL	QFN	QNL	24	5000	365	365	70



## 封装信息

## QFN24



符号	毫米 (mm)	
	MIN	MAX
A	0.700	0.800
A1	0.000	0.050
A3	0.20(REF)	
D	3.95	4.05
E	3.95	4.05
D2	2.55	2.80
E2	2.55	2.80
k	0.15(MIN)	
b	0.18	0.30
e	0.50(REF)	
L	0.30	0.50