

# Homework #14

20221059 정상목

## 1. Mesh

이번 과제에서 사용할 mesh는 다음과 같습니다.

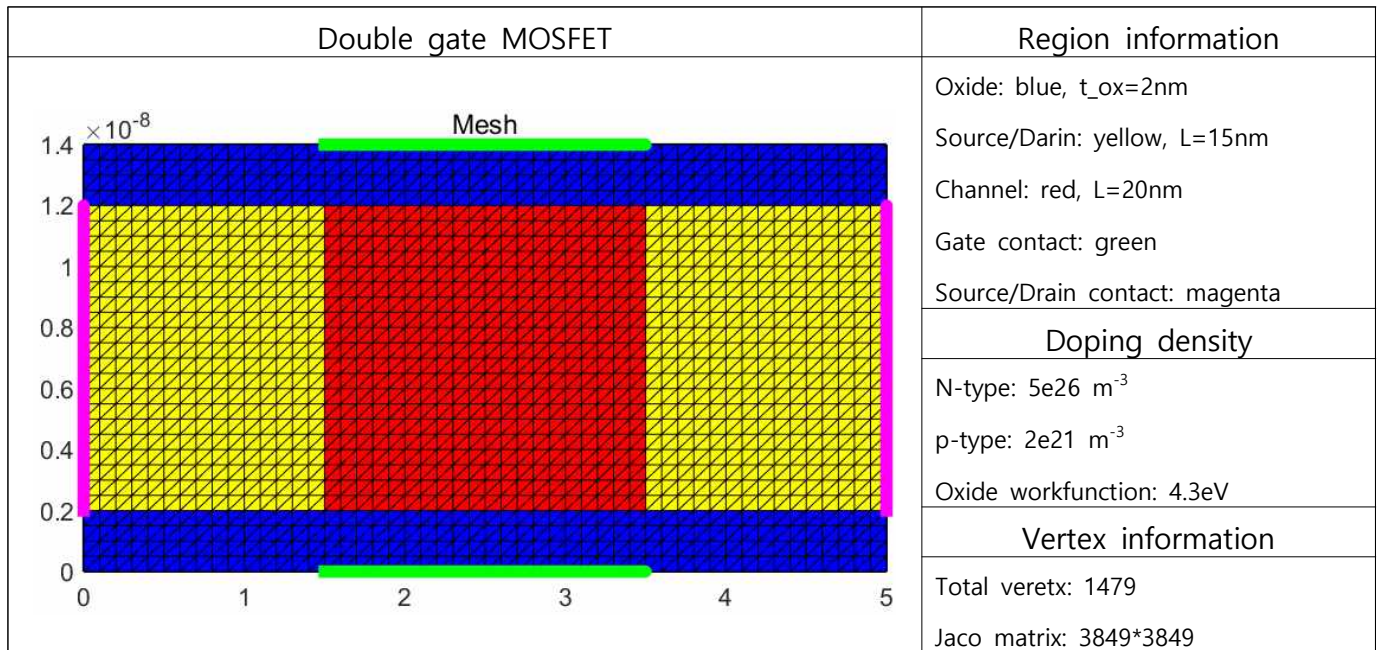


Fig 1. Mesh

Homework #13과 mesh 형태가 달라졌습니다. 먼저 전체적인 device의 크기는 50nm\*14nm로 설정했습니다. ox의 두께는 각각 2nm이고, channel의 길이는 20nm, source와 drain의 길이는 각각 15nm로 설정했습니다. 초기에는  $dx=1nm$ ,  $dy=1nm$  간격으로 작성했으나, simulation time이 너무 증가하여,  $dx=1nm$ ,  $dy=0.5nm$ 로 설정했습니다.  $dy$ 를 줄여준 이유는 ox region에서 너무 적은 vertex를 갖지 않도록 조절했습니다.

## 2. Transient simulation

완전한 transient simulation을 하기 전에 dc에 근사한 시뮬레이션을 진행했다. 이때 사용한  $V_g$  vs time 그래프는 다음과 같다.

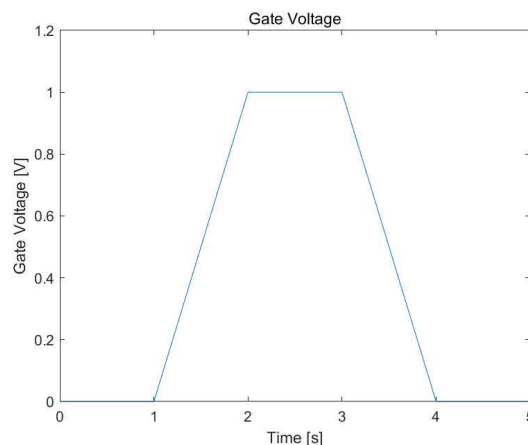


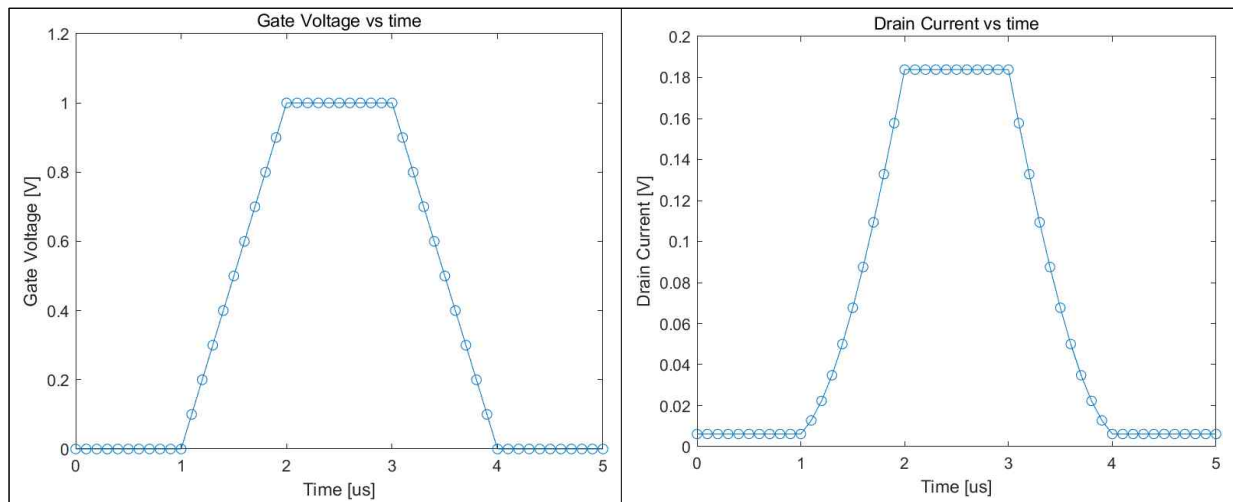
fig 2. Gate voltage

Gate voltage는 임의적으로 시간을 나누어 결정했습니다. Gate voltage는  $1\mu s$ 까지는  $0V$ 를 유지하다가,  $1\mu s$ 에서  $2\mu s$ 까지는  $1V/\mu s$ 의 기울기를 가지고 증가합니다.  $3\mu s$ 부터  $4\mu s$ 까지는  $1V$ 를 유지했습니다.  $4\mu s$ 부터  $-1V/\mu s$ 의 기울기를 가지고 감소했으며, 최종적으로  $5\mu s$ 이후에는  $0V$ 를 유지합니다.

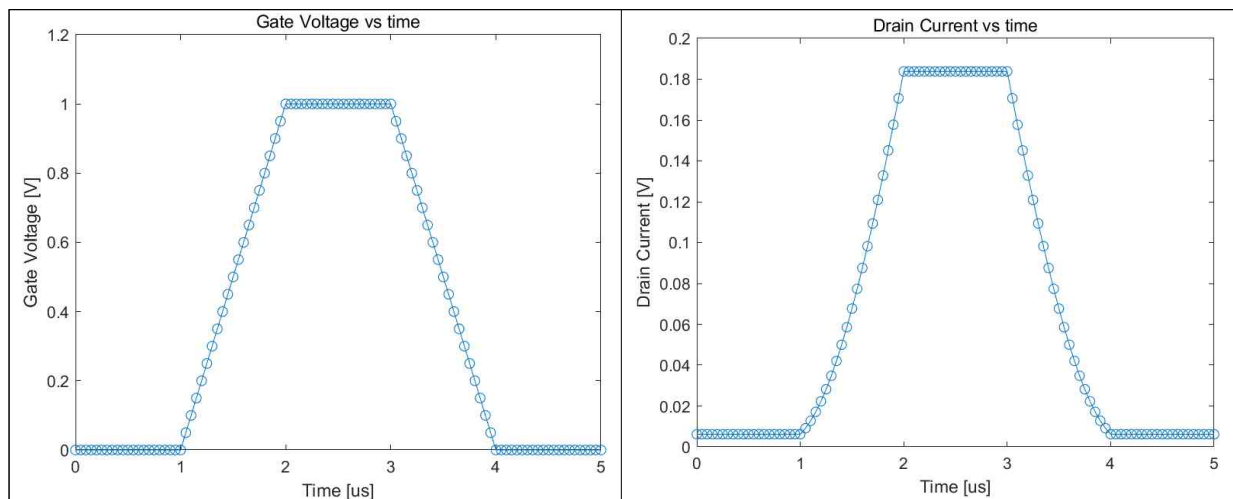
### 3. Result

실험은 time step= $0.1\mu s$ ,  $0.05\mu s$ ,  $0.01\mu s$  총 3가지의 경우로 나누어 진행했습니다. 결과는 다음과 같습니다.

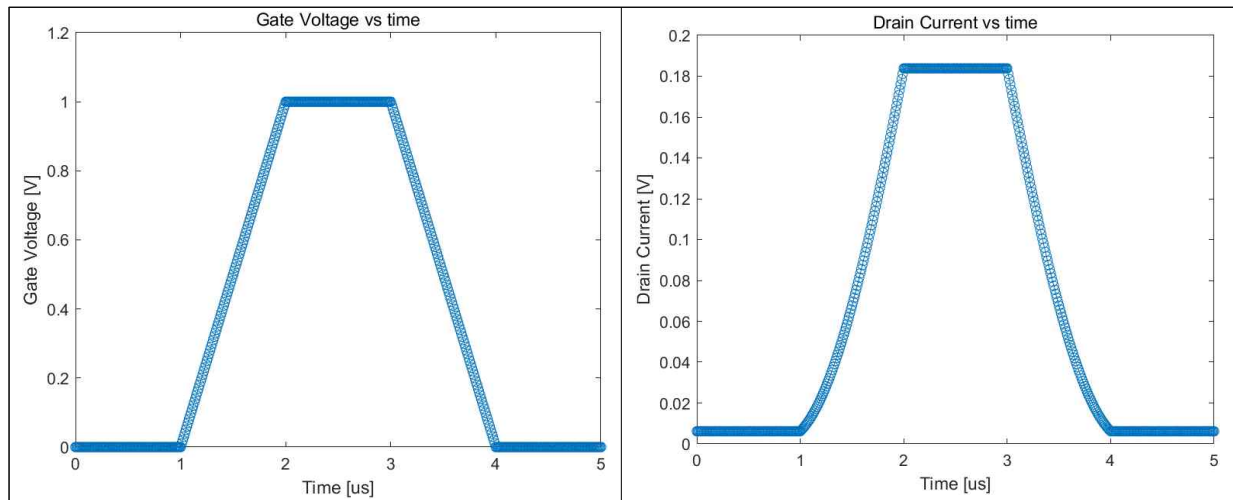
1) Time step:  $0.1\mu s$



2) Time step:  $0.05\mu s$



3) Time step:  $0.01\mu s$



수업에서 배운 결과와 같게 나옴을 확인할 수 있다.

3가지 time step을 모두 확인하면, 3가지의 결과가 거의 일치함을 확인할 수 있다.

