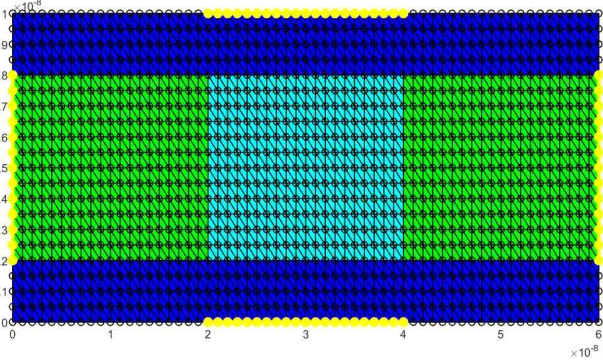


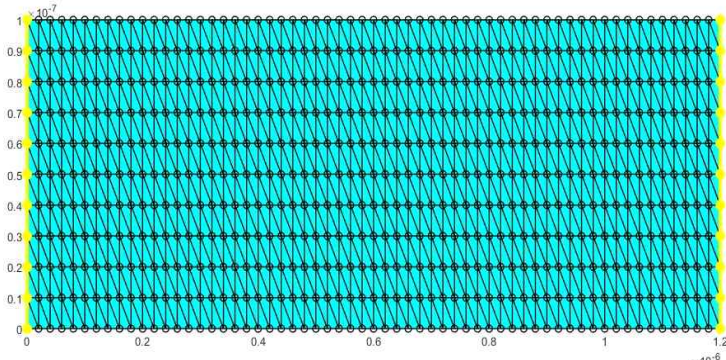
HW16

20221060 한성민

structure(1)

Double gate MOSFET	region & contact
	상단 blue : gate oxide1 하단 blue : gate oxide2 좌측 green : source region 우측 green : drain region 중앙 cyan : silicon region 상단 yellow line : gate contact1 하단 yellow line : gate contact2 좌측 yellow line : source contact 우측 yellow line : drain contact
gate oxide thickness : 2nm silicon thickness : 6nm source / drain / channel length : 20nm total x length : 60nm total y length : 10nm device width : $1\mu m$	N-type doping : $5E26(/m^3)$ P-type doping : $2E21(/m^3)$ gate workfunction : 4.3eV

structure(2)

homogeneous sample	profile
	전체 cyan : silicon 좌측 yellow line : source contact 우측 yellow line : drain contact x length : 1200nm y length : 100nm device width : $1\mu m$ N-type doping : $2E23(/m^3)$ $V_{cathode} = 0V$ $V_{anode} = V_{bias} + V_{amp}\sin(2\pi ft)$ $V_{amp} = 1mV$

(변동사항)

homogeneous sample에서 admittance 계산을 위해 Homogeneous 구조를 추가적으로 제작했습니다. 논문에 기재 되어있는 수치를 사용하여 $N_{dop} = 2 \times 10^{23}m^{-3}$, $\mu n = 518 \times 10^{-4}m^2V^{-1}sec^{-1}$ 로 설정하였습니다.

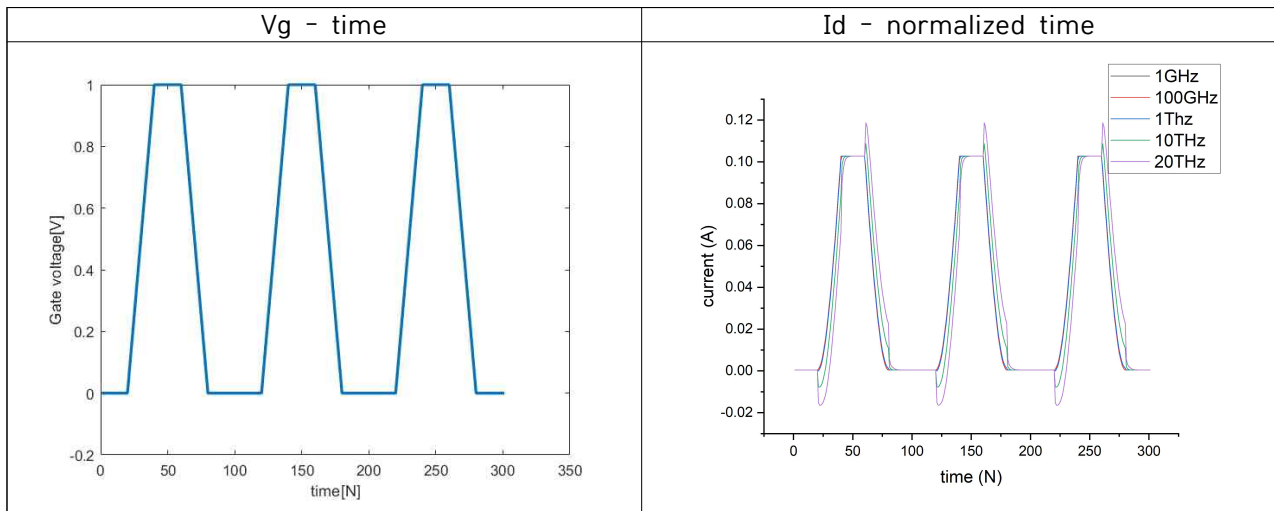
(과제 설명)

이번 과제는 double-gate MOSFET 구조에서 frequency를 바꾸었을 때, 전류의 결과가 delay가 존재하는지 확인해보는 것이었습니다. 또한, homogeneous sample에서 frequency를 바꾸었을 때, delay를 확인하고 admittance를 계산해보는 것입니다. 마지막으로 analytic 하게 계산한 admittance와 numerical 하게 계산한 admittance를 비교분석을 해보는 것입니다.

Result

- Double gate MOSFET structure

1) $V_d=1V$, V_g ramping to 1V



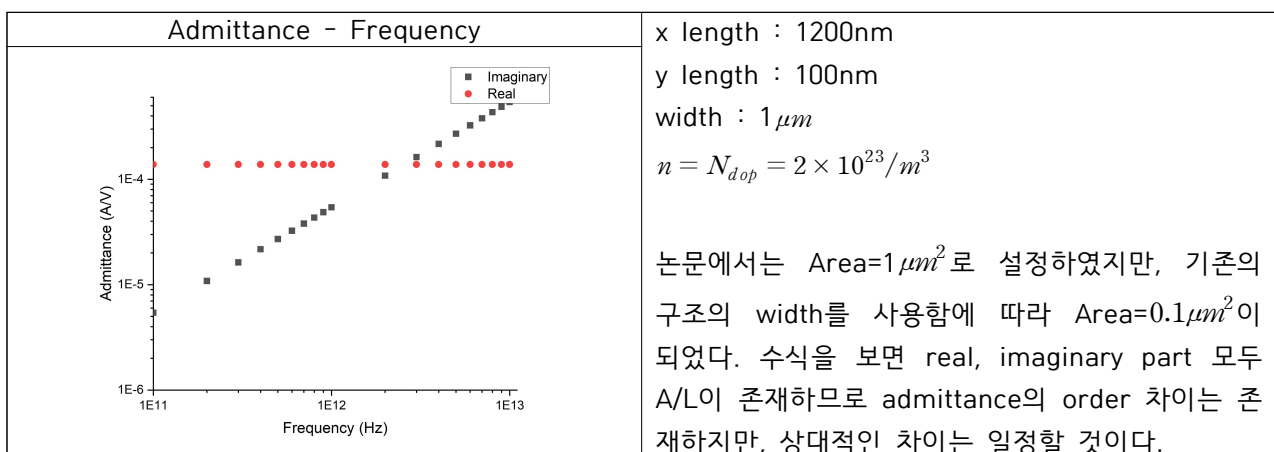
drain에 pulse 형태로 전압을 인가하였을 때, delay가 존재하는 것을 확인할 수 있었습니다. pulse가 시작 되고 끝나는 부분에서 steep 하게 변화하는 부분을 관측할 수 있었습니다. frequency가 증가할수록 크게 변화하였으며 100THz에서는 그래프의 개형이 달라질 정도로 큰 변화가 관측되었습니다.

- Homogeneous sample structure

* analytic admittance calculation

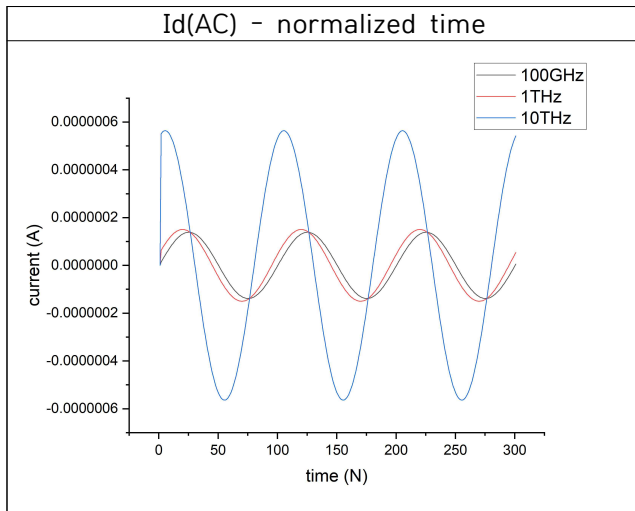
Admittance	$Y(w) = \lim_{\delta V \rightarrow 0} \frac{\delta I}{\delta V} = q\mu_n n \frac{A}{L} + jw\epsilon \frac{A}{L}$
real	$q\mu_n n \frac{A}{L}$
imaginary	$jw\epsilon \frac{A}{L}$

Frequency	real part	imaginary part
1 GHz	1.38E-04	5.42E-08
100 GHz	1.38E-04	5.42E-06
1 THz	1.38E-04	5.42E-05
10 THz	1.38E-04	5.42E-04

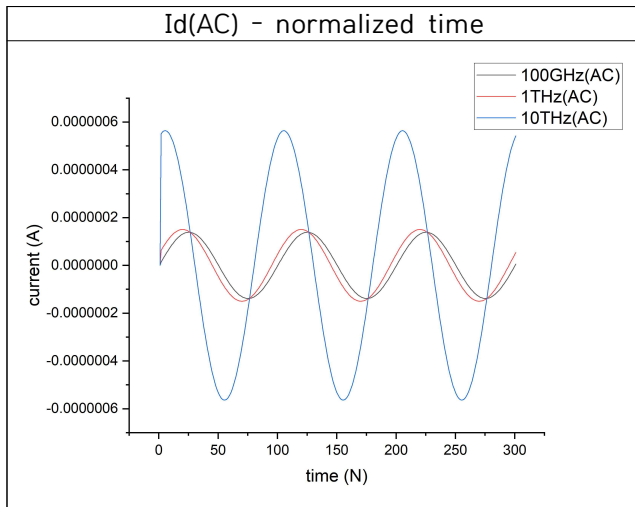


* analytic admittance calculation

1) Anode non-biased, $V_{anode} = V_{in} = 0.001\sin(2\pi ft)$



2) Anode 0.5V biased, $V_{anode} = V_{in} = 0.5 + 0.001\sin(2\pi ft)$, neglect DC current



homogeneous 한 sample에 대해 frequency를 변화시켰을 때 small signal에 대해 amplitude의 증폭 현상과 delay가 존재하는 것을 확인할 수 있었습니다. double-gate MOSFET에서와는 다르게 frequency를 증가시켰을 때, 저주파일 때보다 빠르게 graph가 plot 되는 것을 확인할 수 있었습니다.

논문에서 [Fourier coefficients of the current, the admittance is calculated] 부분을 통해 결과 graph에서 Fourier coefficients를 구해 admittance를 계산해야 한다고 생각합니다.

하지만, 구한 graph를 통해 Fourier coefficients를 구하고 이를 통해 numerical 한 solution을 계산하여 비교분석하는 방법은 정확히 파악하지 못하였습니다. LC-17 시간에 질의응답을 통해 부족한 부분을 보완할 예정입니다.