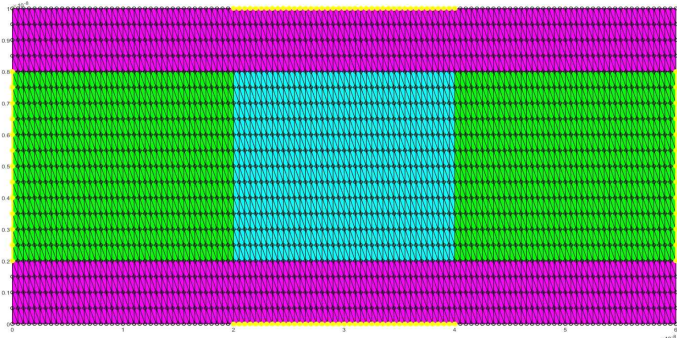


HW25

20221060 한성민

structure

Double gate MOSFET	region & contact
	상단 magenta : gate oxide1 하단 magenta : gate oxide2 좌측 green : source region 우측 green : drain region 중앙 blue : silicon region 상단 yellow line : gate contact1 하단 yellow line : gate contact2 좌측 yellow line : source contact 우측 yellow line : drain contact
gate oxide thickness : 2nm silicon thickness : 6nm source / drain length : 20nm channel length : 20nm total x length : 60nm total y length : 10nm device width : $1\mu m$	N-type doping : $5E26(/m^3)$ P-type doping : $2E21(/m^3)$ gate workfunction : 4.3eV e mobility : 1417E-4 p mobility : 580E-4

과제 설명

이번 과제는 기존의 DD-simulation에서 node 간의 상관관계를 파악해 fully-coupled 한 multi-mode simulation을 제작하는 것이다. 그렇기에 기존의 DD-simulation에서 variable을 추가하여 jacobian을 재구성했다. 총 변수는 13개로 지정했다.

variable	expression	relationship
V_{tg}	top gate voltage	$V_{tg} = V_g$
V_{bg}	bottom gate voltage	$V_{bg} = V_g$
V_s	source voltage	$V_s = 0$
V_d	drain voltage	$V_d = V_{out}$
I_{tg}	top gate current	$I_{tg} = 0$
I_{bg}	bottom gate current	$I_{bg} = 0$
I_s	source current	$I_s + I_d = 0$
I_d	drain current	$I_d - \int J_n - \int J_p = 0$
I_1	Vout node current 1	$I_1 + I_2 = 0$
I_2	Vout node current 2	$I_2 = (V_2 - V_1) / R$
V_1	Vout node voltage 1	$V_1 = V_{out}$
V_2	Vout node voltage 2	$V_2 = V_{dd}$
V_{out}	for [KCL]	$V_{out} = I_1 + I_d = 0$

V_{out} 의 경우, KCL을 표현하기 위한 행으로 사용했다. KCL을 이용하여 1 transistor와 1 resistor가 존재할 때, 각 node에서의 전류와 전압 관계를 Jacobian의 variable로 추가해주었다. I_d 를 제외한 다른 variable의 관계는 지정값(Dirichlet-BC)혹은 연속의 관계를 가지므로 이를 고려하여 Jacobian과 residue를 구성했다. I_d 행의 각 열 성분의 경우 기존 DD-simulation을 구성할 때 사용했던 미분항을 참고하여 사용했다. fully-coupled 이기에 기존의 DD 부분의 Dirichlet-BC에도 V_{tg}, V_{bg}, V_d, V_s 를 고려하여 jacobian을 구성했다.

과제 결과

$R = 1000\Omega, V_g = 0.6V, V_{dd} = 1V$		$R = 100\Omega, V_g = 0.6V, V_{dd} = 1V$	
V_{tg}	0.6	V_{tg}	0.6
V_{bg}	0.6	V_{bg}	0.6
V_s	0	V_s	0
V_d	-9.95E-09	V_d	-9.95E-08
I_{tg}	0	I_{tg}	0
I_{bg}	0	I_{bg}	0
I_s	-0.0010	I_s	-0.010
I_d	0.0010	I_d	0.010
I_1	-0.0010	I_1	-0.010
I_2	0.0010	I_2	0.010
V_1	-9.95E-09	V_1	-9.95E-08
V_2	1.0	V_2	1.0

$R = 1000\Omega, V_g = 0.6V, V_{dd} = 1V$ 일때의 결과는 다음과 같다.

결과는 도출되었지만, I_d 부분의 계산값이 이전에 DD를 통해 구한 I_d 값과 order 차이가 존재하기에 추가적인 코드 디버깅이 필요하다고 생각한다.