

Homework #25

20221059 정상목

1. 과제 목표

Circuit 성분 중 하나인 R을 기존의 DD식과 coupled 시킨 mix-mode simulation을 한다.

2. Mesh

이번 과제에서 사용할 mesh는 다음과 같습니다.

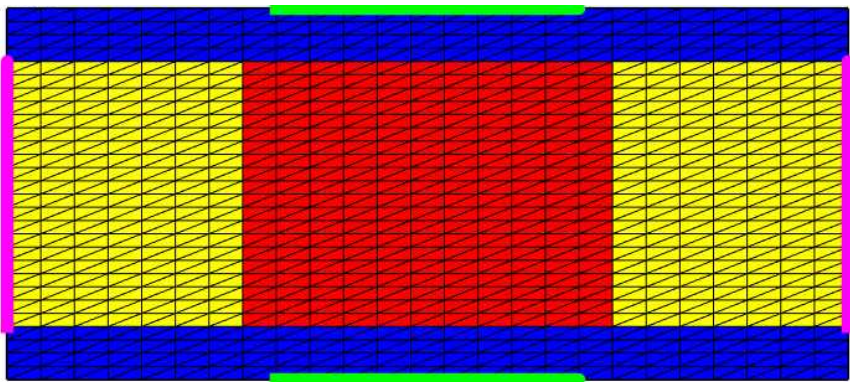
Double gate MOSFET	Region information
	Oxide: blue, $t_{ox}=2nm$
	Source/Darin: yellow, $L=15nm$
	Channel: red, $L=20nm$
	Gate contact: green
	Source/Drain contact: magenta
	Doping density
	N-type: $5e26 m^{-3}$
	p-type: $2e21 m^{-3}$
	Oxide workfunction: 4.3eV
	Vertex information
	Total veretx: 754
	Jaco matrix: 2024*2024

Fig 1. Double_gate_MOSFET

사용된 Doublegate MOSFET과 R이 포함된 회로도 는 다음과 같습니다.

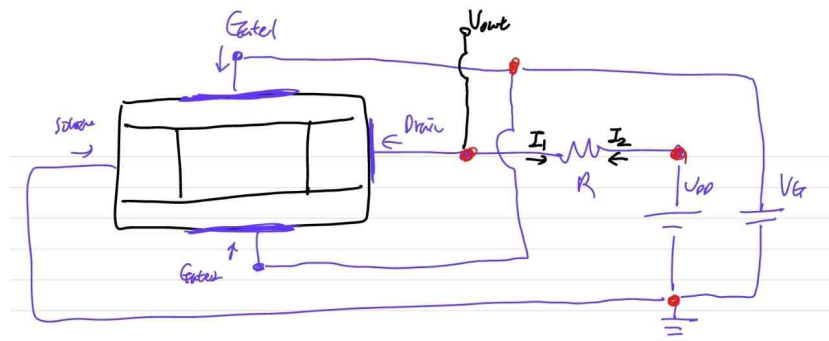


Fig 2. 회로도

3. Implementation

먼저 기존의 DD를 풀었던 Solution Vector에서 어떠한 Unknown variable을 추가해야하는지 확인해 보았다. 회로의 element는 전압원을 제외한 Doublegate MOSFET과 Register로 보았고, 각 terminal마다 Voltage와 Current를 계산했다. 이때 Gate Voltage와 Current는 Doublegate 구조이지만 1개로 합쳐서 계산하였다.

추가된 Unknown variable과 이에 사용할 Residue Vector는 다음과 같다.

Variable	Res	비고
I_D	$I_D - \int_{\Omega} J_d \cdot da$	연속방정식
I_S	$I_D + I_S + I_G$	MOSFET에 흐르는 Current 합은 0
I_G	0	DC이므로 displacement current는 없다
I_1	$I_1 + I_2$	저항 양 terminal에 흐르는 current는 같다
I_2	$I_2 - \left(\frac{V_2 - V_1}{R} \right)$	옴의 법칙 사용
V_D	$V_D - V_{out}$	V_D 와 V_{out} 의 전압은 같다
V_S	0	V_S 는 ground에 연결되어 있다
V_G	V_{in}	
V_1	$V_1 - V_{out}$	V_1 와 V_{out} 의 전압은 같다
V_2	V_{DD}	
V_{out}	$I_D - I_1$	KCL을 활용했다

구현 중 신경써야할 부분은 I_D 의 부분이었다. Jacobian 부분은 I_D 외에도 각 노드별로 ϕ, n, p 로 미분한 값을 넣어 주어야 했다. 이 부분을 구현하기 위해 따로 코드를 작성하지 않고, Drain boundary condition을 설정하기 위해 작성했던 code부분을 수정하여 Drain contact node에 있는 Jacobian과 res를 이용했다.

또한 I 를 구하기 위한 width는 $1e^{-6}m$ 로 설정하여 계산했다.

4. Result

4.1. Equilibrium condition

먼저 Equilibrium condition에서 구현한 code의 결과를 확인했다. Equilibrium 이기 때문에 모든 값이 0이거나 0에 근사할 것으로 예상할 수 있다. 결과는 다음과 같다.

Variable	I_D	I_S	I_G	I_1	I_2	V_D	V_S	V_G	V_1	V_2	V_{out}
	1.23E-20	1.23E-20	-1.23E-20	0	-1.23E-20	-1.23E-18	0	0	-1.23E-18	0	-1.23E-18

0이거나 0에 가까운 작은 숫자가 나왔다. 원하는 결과가 나왔음을 확인 할 수 있다. 이때 생기는 I_D 는 Doping에 의해 생긴 potential에서 비롯된 current로 생각했다.

4.2. Vd ramping

mix-mode simulation 결과와 기존 DD식을 활용한 결과와 비교해 보았다.

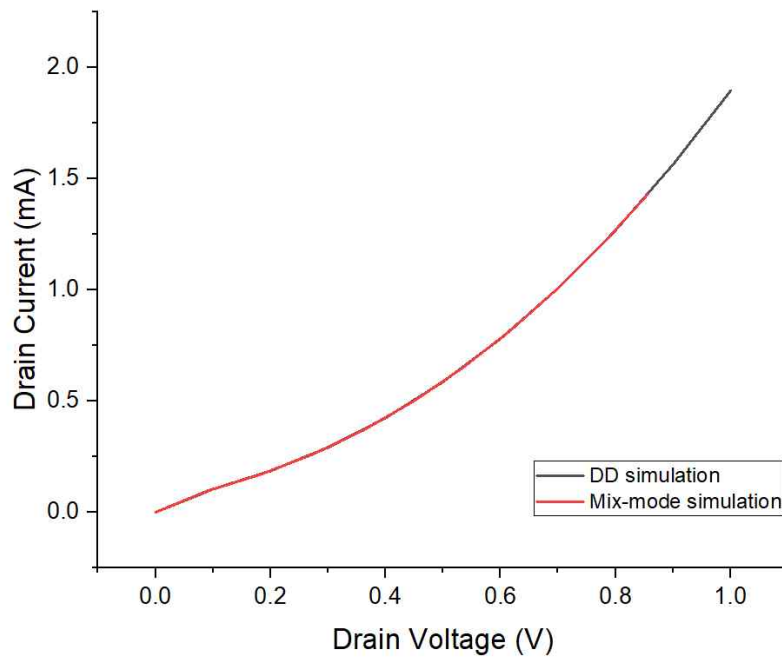


fig 3. Id vs Vd

두 결과가 일치함을 확인할 수 있다.

4.3. Vg ramping

Vg ramping에서는 기존 DD식과 비교하지 못했다. Vg ramping 시킴에 따라 Vd가 감소(변화)하여 기존에 DD식과 비교가 불가능했기 때문이다. 그 이유를 생각해보면 V_G 가 증가함에 따라 I_D 가 증가하게 될 것이고, 이에 따라 옴의 법칙에 의해 $V_D = V_1 = V_2 - I_2 R$ 일 것이고, $I_1 = I_2 = I_D$ 이므로 I_D 가 증가함에 따라 V_D 가 감소했을 것으로 예상했다. 따라서 Id vs Vg curve만 관찰했다.

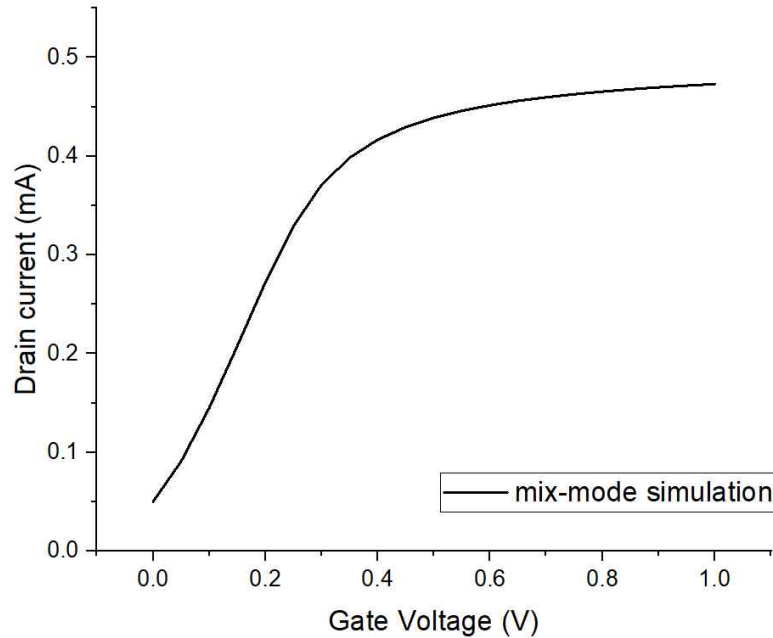


fig 4. Id vs Vg

예상한 그래프 개형으로 나옴을 확인했다.

추가로 다른 Terminal 또는 node의 Current와 Voltage가 계산되었고, KCL과 옴의 법칙 등 사용한 방정식을 만족함을 확인했다.

	1	2	3	4	5	6	7	8	9	10	11	12
1 Id	5.0138e-04	9.0747e-04	0.0014	0.0021	0.0027	0.0033	0.0037	0.0040	0.0042	0.0043	0.0044	0.0045
2 Is	-5.0138e-04	-9.0747e-04	-0.0014	-0.0021	-0.0027	-0.0033	-0.0037	-0.0040	-0.0042	-0.0043	-0.0044	-0.0045
3 Ig	0	0	0	0	0	0	0	0	0	0	0	0
4 I1	-5.0138e-04	-9.0747e-04	-0.0014	-0.0021	-0.0027	-0.0033	-0.0037	-0.0040	-0.0042	-0.0043	-0.0044	-0.0045
5 I2	5.0138e-04	9.0747e-04	0.0014	0.0021	0.0027	0.0033	0.0037	0.0040	0.0042	0.0043	0.0044	0.0045
6 Vd	0.4499	0.4093	0.3552	0.2922	0.2276	0.1708	0.1290	0.1014	0.0832	0.0704	0.0611	0.0540
7 Vs	0	0	0	0	0	0	0	0	0	0	0	0
8 Vg	0	0.0500	0.1000	0.1500	0.2000	0.2500	0.3000	0.3500	0.4000	0.4500	0.5000	0.5500
9 V1	0.4499	0.4093	0.3552	0.2922	0.2276	0.1708	0.1290	0.1014	0.0832	0.0704	0.0611	0.0540
10 V2	0.5000	0.5000	0.5000	0.5000	0.5000	0.5000	0.5000	0.5000	0.5000	0.5000	0.5000	0.5000
11 Vout	0.4499	0.4093	0.3552	0.2922	0.2276	0.1708	0.1290	0.1014	0.0832	0.0704	0.0611	0.0540

fig 5. Other voltage and current