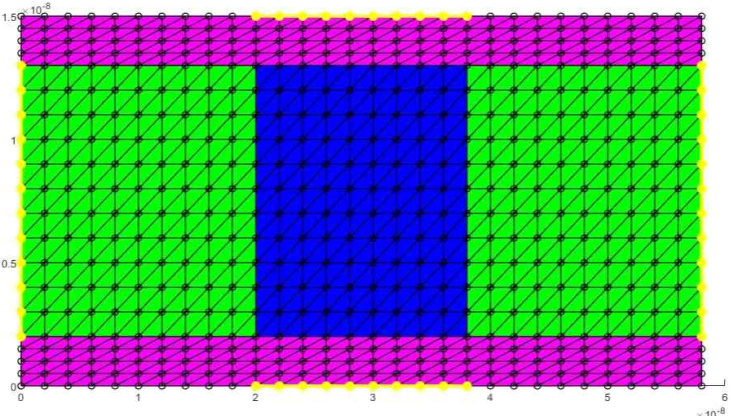


HW14

20221060 한성민

Design

structure : Double gate MOSFET	region & contact
	<p>상단 magenta : gate oxide1 하단 magenta : gate oxide2 좌측 green : source region 우측 green : drain region 중앙 blue : silicon region 상단 yellow line : gate contact1 하단 yellow line : gate contact2 좌측 yellow line : source contact 우측 yellow line : drain contact</p>
<p>gate oxide thickness : 2nm silicon thickness : 11nm source / drain length : 20nm channel length : 18nm total x length : 58nm total y length : 15nm device width : $6\mu m$</p>	<p>N-type doping : $5E26(/m^3)$ P-type doping : $2E21(/m^3)$ gate workfunction : 4.3eV</p>
	<p>total vertex : 600 jacobian matrix : 1380 X 1380 residue matrix : 1380 X 1</p>

(변경 부분 1)

HW13의 구조는 S/D 영역의 x mesh가 부족하다고 판단하여 S/D 영역의 x mesh를 step size = 1nm로 설정하여 늘렸다. 또한 channel의 길이를 18nm로 바꾸어 구조를 설계했다.

(변경 부분 2)

기존의 전류 계산 방법은 hold doping density << electron doping density라고 판단하여 J_n 만 고려하여 계산하였지만, S/D doping을 p-type으로 한 case를 고려해 hole current 또한 더해주었다.

$$I = J_{tot} \cdot width = (J_n + J_p) \cdot width$$

HW14는 transient mimic simulation을 만드는 것이다.

time step을 설정하고, time에 따라 gate bias를 다르게 하여 current를 계산한다.

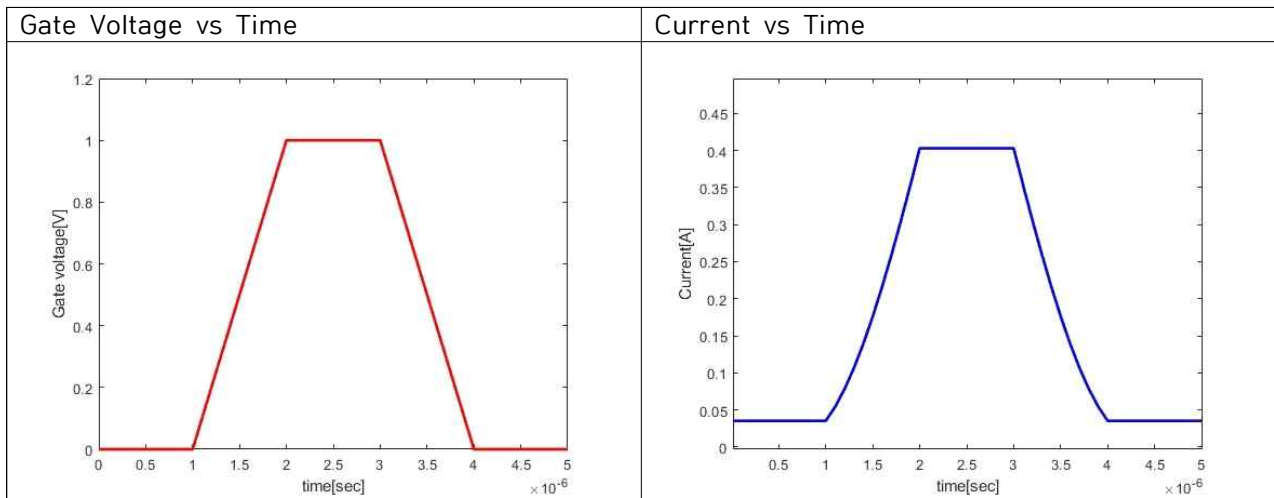
$V_{drain} = V_{DD} = 1V$ 로 설정하여 drain voltage를 인가한다. 구간별로 time step에 따라 gate bias를 증가 혹은 감소시키며 계산한 전류를 time에 따라 graph로 plot 한다.

gate voltage의 증가분은 1V를 몇 번의 time step으로 증가 혹은 감소시키는 지로 정한다.

- 1) $V_d = 1V$ 까지 증가시킨다. 전류 I ($V_d=1V, V_g=0V$) $\approx 0.0355A$ 이다.
- 2) time step = $0.1\mu s$ 로 설정하여, V_g vs time, I vs time 그래프를 비교한다.
- 3) time step = $0.05\mu s$ 로 설정하여, V_g vs time, I vs time 그래프를 비교한다.

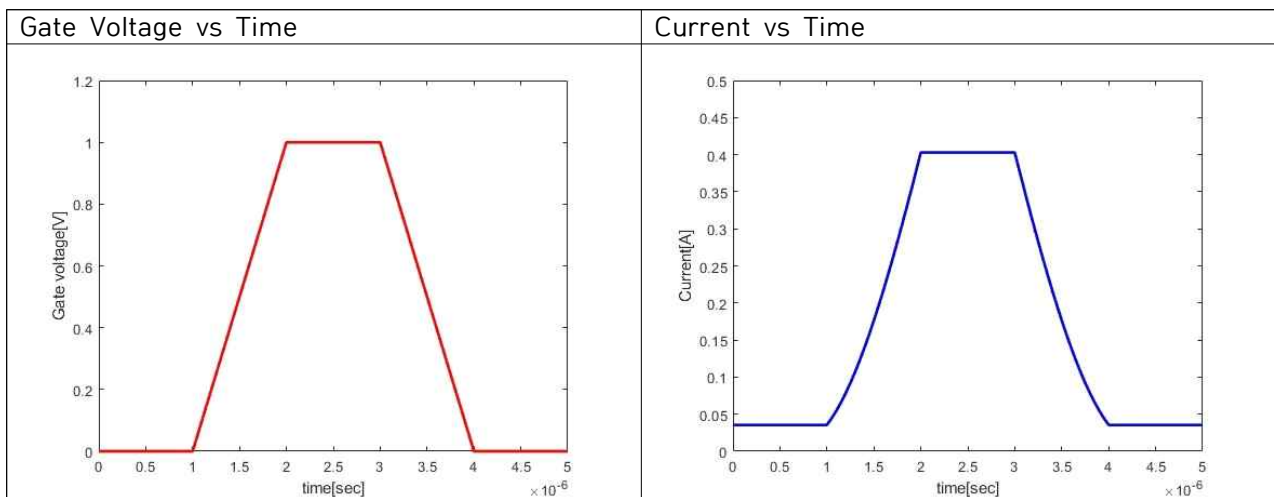
Result

1) transient simulation (time step : $0.1\mu s$)



time	Gate voltage
0 ~ 1 μs	Vg = 0V
1 μs ~ 2 μs	Vg = 0.1V 증가 / per 0.1 μs
2 μs ~ 3 μs	Vg = 1V
3 μs ~ 4 μs	Vg = 0.1V 감소 / per 0.1 μs
4 μs ~ 5 μs	Vg = 0V

2) transient simulation (time step : $0.05\mu s$)



time	Gate voltage
0 ~ 1 μs	Vg = 0V
1 μs ~ 2 μs	Vg = 0.05V 증가 / per 0.05 μs
2 μs ~ 3 μs	Vg = 1V
3 μs ~ 4 μs	Vg = 0.05V 감소 / per 0.05 μs
4 μs ~ 5 μs	Vg = 0V

$1\mu s \sim 2\mu s$ 구간에 대해서 gate voltage가 linear 하게 증가할 때, 전류는 exponential 하게 증가하는 것을 확인할 수 있다. time step의 개수를 증가시킬 경우, 더 정확한 graph를 plot 할 수 있지만 그만큼 iteration 횟수가 증가하기에 simulation time이 증가할 것으로 생각한다. 따라서 실제 transient simulation을 제작할 경우, convergence problem이 발생하지 않는지 판단하면서 time step의 크기를 증가시켜 time step의 개수를 감소시켜야 할 것이다.