

本資料はAtmel® AVR® XMEGA® Dマイクロコントローラ系列に含まれる全ての部署の完全且つ詳細な記述を含みます。AVR XMEGA DはAVR強化型RISC構造に基いた低電力、高性能、豊富な周辺機能の8/16ビット マイクロコントローラ系列です。この手引書で記載されるAVR XMEGA D部署は次の通りです。

- Atmel AVR CPU
- メモリ
- 事象システム
- システム クロックとクロック選択
- 電力管理と休止形態動作
- システム制御とリセット
- WDT – ウォッチドッグ タイマ(Watchdog Timer)
- 割り込みと設定可能な多段割り込み制御器
- PORT – 入出力ポート
- TC – 16ビット タイマ/カウンタ
- AWeX – 新波形生成拡張
- Hi-Res – 高分解能拡張
- RTC – 実時間計数器(Real Time Counter)
- TWI – 2線直列インターフェース(Two Wire Serial Interface)
- SPI – 設定可能な直列インターフェース(Serial Programmable Interface)
- USART – 同期/非同期万能送受信機
(Universal Synchronous and Asynchronous Serial Receiver and Transmitter)
- I2C – 赤外線通信部(IR Communication Module)
- CRC – 巡回冗長検査部(Cyclic redundancy check)
- ADC – A/D変換器(Analog to Digital Converter)
- AC – アナログ比較器(Analog Comparator)
- PDI – プログラミングとデバッグ用インターフェース
- メモリプログラミング
- 周辺機能アドレス割り当て
- レジスタ要約
- 割り込みベクタ要約
- 命令一式要約

1. 手引書について

本資料はAVR XMEGA Dデバイス系列で利用可能な全部署の徹底的な資料化を含みます。全ての特性は機能的段階で資料化され、一般的な意味で記述されています。この手引書で記述された全ての周辺機能や部署が全てのAVR XMEGA Dデバイスに存在しないかもしれません。

特性データ、メモリ容量、利用可能な周辺機能のようなデバイス特有情報の全てとそれらのメモリ絶対アドレスについてはデバイスのデータシートを参照してください。或る周辺機能が1つのデバイスに多数存在する場合、各存在は一意の名前を持ちます。例えば各ポート部署(PORT)はPORTAやPORTBなどのような一意の名前を持ちます。レジスタ名、ビット名はその1つの部署内で一意です。

周辺機能と部署に対して用いられる使用とコード例のより多くの詳細については、<http://www.atmel.com/avr>で利用可能なAtmel AVR XMEGA D固有応用記述を参照してください。

1.1. 手引書の読み方

本手引書の主項目は様々な部署と周辺機能を記述します。各項目は部署を記述する簡単な機能一覧と概要を含みます。項の残りは特性と機能をもっと詳細に記述します。

レジスタ記述項は全レジスタを一覧にし、それらの機能で各レジスタ、ビット、フラグを記述します。これは部署の各種機能の設定と許可の方法の詳細を含みます。形態設定に複数ビットが必要な場合、それらはビット群で共に分類されます。可能なビット群形態設定はそれらが関連する群形態設定と簡単な記述と共に全てのビット群に関して一覧にされます。群形態設定はAtmel AVR XMEGA Dで使用される定義済み形態設定名、アセンブラヘッダファイル、応用記述ソースコードを参照してください。

レジスタ要約項は各部署形式に対する内部レジスタ配置を一覧にします。

割り込みベクタ要約項は割り込みベクタと各部署形式に対する差分アドレスを一覧にします。

1.2. 資料

開発ツール、応用記述、データシートの包括的な1式は<http://www.atmel.com/avr>からダウンロードで利用できます。

1.3. 推奨読物

- AVR XMEGA D デバイス データシート
- XMEGA応用記述

本手引書は一般的な部署と周辺機能記述を含みます。AVR XMEGA Dデバイスのデータシートはデバイス固有情報を含みます。XMEGA応用記述とAtmelソフトウェア枠組みはコード例を含み、部署と周辺機能を適用する使い方を示します。

新規の使用者は「AVR1000 – Atmel XMEGAに対してCコードを書く前に」応用記述を読むことが推奨されます。

2. 概要

AVR XMEGA DはAVR強化型RISC構造に基いた低電力、高性能、豊富な周辺機能の8/16ビット マイクロ コントローラ系列です。単一クロック周期で実行する強力な命令によって、AVR XMEGA Dはシステム設計者に対して電力消費対処理速度の最適化を可能にする、MHz当たり100万命令(MIPS:Million Instructions Per Second)に達する単位時間処理能力を達成します。

AVR CPUは32個の汎用作業レジスタを豊富な命令一式に結合します。32個全てのレジスタが算術論理演算器(ALU)へ直接接続され、単一命令でのアクセスを2つの独立したレジスタに許し、単一クロック周期で実行されます。この構造はより大きなコード効率と同時に、伝統的な単一累積器やCISCに基づくマイクロ コントローラよりも何倍も速い単位時間処理能力達成に帰着します。

AVR XMEGA Dデバイスは次の機能、実装書き込み可能な書き中の読み(Read-While-Write)能力を持つフラッシュ メモリ、内部のEEPROMとSRAM、8チャネルの事象システム、設定可能な多段割り込み制御器、50本までの汎用入出力線、16ビット実時間計数器(RTC)、比較動作とPWM付きの5つまでの柔軟な16ビット タイマ/カウンタ、3つまでのUSART、1つのI²CとSMBus適合2線直列インターフェース(TWI)、2つまでの直列周辺インターフェース(SPI)、CRC部署、設定可能な利得付きの任意選択差動入力を持つ16チャネル 12ビットA/D変換器、窓動作を持つ2つのアナログ比較器、独立した内部発振器を持つ設定可能なウォッチドッグ タイマ、PLLと前置分周器付きの正確な内部発振器、設定可能な低電圧検出(Brown-Out Detection)を提供します。

プログラミングとデバッグ用の高速2ピン インターフェースのプログラミングとデバッグ インターフェース(PDI)が利用可能です。

Atmel AVR XMEGA Dデバイスはソフトウェアで選択可能な5つの節電動作を持ちます。アイドル動作はCPUを停止する一方で、事象システム、割り込み制御器、全ての周辺機能に機能継続を許します。パワーダウン動作はSRAMとレジスタの内容を保存しますが、発振器を停止し、次のTWIまたはピン変化の割り込み、またはリセットまで他の全ての機能を禁止します。パワーセーブ動作では非同期実時間計数器が走行を続けて時間の維持を応用に許す一方、デバイスの残りは休止します。スタンバイ動作では外部のクリスタル用発振器が走行を保つ一方、デバイスの残りは休止します。これは低電力消費と組み合わせた外部発振器からの非常に速い始動を可能にします。拡張スタンバイ動作では主発振器と非同期計時器の両方が走行を続けます。更なる消費電力低減のため、各個別周辺機能への周辺クロックは活動動作とアイドル動作に於いて任意で停止することができます。

デバイスはAtmelの高密度不揮発性メモリ技術を使用して製造されています。プログラム用フラッシュ メモリはPDIを通して実装書き換えすることができます。デバイス内で走行するブートローダーはフラッシュ メモリに応用プログラムを取得格納するのにどんなインターフェースをも用いることができます。ブートフラッシュ領域内のブートローダーソフトウェアは応用フラッシュ領域が更新されている間も走行を続ける、真の「書き中の読み(Read-While-Write)」動作を提供します。実装自己書き換え可能なフラッシュと8/16ビットRISC CPUの結合により、AVR XMEGA Dは多くの組み込み応用に対して高い柔軟性と費用効率の解決策を提供する強力なマイクロ コントローラ系列です。

Atmel AVR XMEGA DデバイスはCコンパイラ、マクロアセンブラ、プログラムデバッガ/シミュレータ、書き込み器、評価キットを含む、プログラムとシステム開発ツールの完全な揃えで支援されます。

図2-1. Atmel AVR XMEGA D構成図

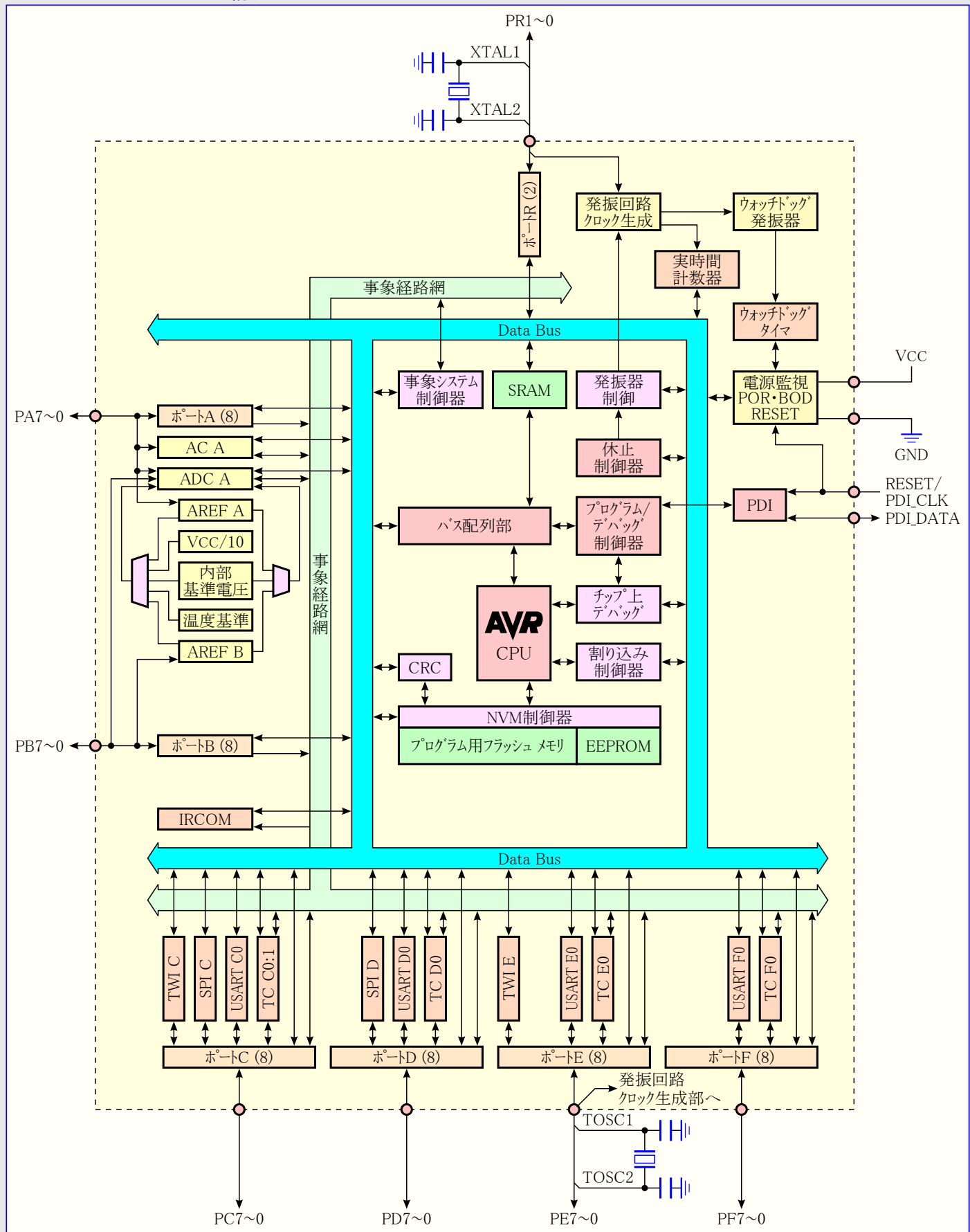


表2-1.に於いてAtmel XMEGA D系に関する機能要約が示され、各副系亜種に対して1つの機能要約列に分けます。各副系は同じ機能の組を持ちますが、異なるメモリ選択を持ち、注文字号とメモリ選択についてはそれらのデバイスのデータシートを参照してください。

表2-1. XMEGA D機能要約概要

機能	詳細 副系	D3	D4
ピン、I/O	合計	64	44
	設定可能なI/Oピン	50	34
メモリ	プログラムメモリ (Kバイト)	32~384	16~128
	フラッシュメモリ (Kバイト)	4~8	4~8
	SRAM (Kバイト)	4~32	2~8
	EEPROM (Kバイト)	2~4	1
	汎用レジスタ	4	4
外部器	TQFP	64A	44A
	VQFN	64M	44M1
	BGA	-	49C2
QTouch	チャンネル	56	56
DMA制御器	チャンネル	-	-
事象システム	チャンネル	4	4
	QDEC	1	1
クリスタル用発振器	0.4~16MHz XOSC	○	○
	32.768kHz TOSC	○	○
内部発振器	校正付き2MHz	○	○
	校正付き32MHz	○	○
	128MHz PLL	○	○
	校正付き32.768kHz	○	○
	32kHz ULP	○	○
タイマ/カウンタ	TC0 - 16ビット,4CC	4	3
	TC1 - 16ビット,2CC	1	1
	TC2 - 8ビット×2	4	2
	Hi-Res	1	1
	AWeX	1	1
	RTC	1	1
直列通信	USB全速(Full-speed)装置	-	-
	USART	3	3
	SPI	2	2
	I2C	2	2
暗号/CRC	AES-128	-	-
	CRC-16	○	○
	CRC-32	○	○
外部メモリ (EBI)		-	-
A/D変換器 (ADC)	ADC部署数	1	1
	分解能 (ビット)	12	12
	採取速度 (kbps)	300	300
	ADC当たりの入力チャンネル	16	12
	変換チャンネル	1	1
アナログ比較器 (AC)	-	2	2
プログラミングとデバッグ 用インターフェース	PDI	○	○
	JTAG	-	-
	境界走査	-	-

3. Atmel AVR CPU

3.1. 要点

- 8/16ビット高性能Atmel AVR RISC CPU
 - 141命令
 - ハードウェア乗算器
- ALUに直結された32個の8ビットレジスタ
- RAM内のスタック
- I/Oメモリ空間内をアクセス可能なスタック ポインタ
- 16Mバイトまでのプログラム メモリと16Mバイトのデータ メモリを直接アドレス指定
- 16/24ビットレジスタへの真の16/24ビット入出力
- 8、16、32演算に対する効率的な支援
- システム重要特性の形態設定変更保護

3.2. 概要

全てのAtmel AVR XMEGAデバイスは8/16ビットAVR CPUを使用します。CPUの主な機能はコードを実行して全ての計算を実行することです。CPUはメモリ入出力、計算実行、周辺制御、そしてフラッシュ メモリ内のプログラムの実行が行えます。割り込みの扱いは独立した項、68頁の「[割り込みと設定可能な多段割り込み制御器](#)」で記述されます。

3.3. 構造概要

最大性能と並列化のためにAVR CPUはプログラムとデータに対して独立したメモリとバスを持つハーバート構造を使用します。プログラムメモリ内の命令は単一段のパイプラインで実行されます。1つの命令が実行されつつあると同時に、次の命令がプログラムメモリから予め取得されます。この概念は毎クロック周期で実行される命令を可能にします。全AVR命令の要約については222頁の「[命令一式要約](#)」を参照してください。

全AVR命令の詳細については <http://www.atmel.com/avr> を参照してください。

論理演算部(ALU)はレジスタ間またはレジスタと定数間の演算と論理操作を支援します。単独レジスタ操作もALUで実行できます。演算操作後、操作結果に関する情報を反映するために**ステータスレジスタ**が更新されます。

ALUは高速入出力レジスタ ファイルへ直結されます。32個の8ビット汎用作業レジスタの全てはレジスタ間またはレジスタと即値間での単一クロック論理演算操作を許す単一クロック周期アクセスです。32個のレジスタ内の6つはデータ空間に対して効率的なアドレス計算を可能とするアドレス指定用の3つの16ビット アドレス ポインタとして使用することができます。これらのアドレス ポインタ内の1つはプログラム用フラッシュメモリ内の表を調べるためのアドレス ポインタとしても使用することができます。

メモリ空間は直線的です。データ メモリ空間とプログラム メモリ空間は2つの別なメモリ空間です。

データ メモリ空間はI/OレジスタとSRAMに分けられます。加えてEEPROMがデータ メモリ内にメモリ割り当てされ得ます。

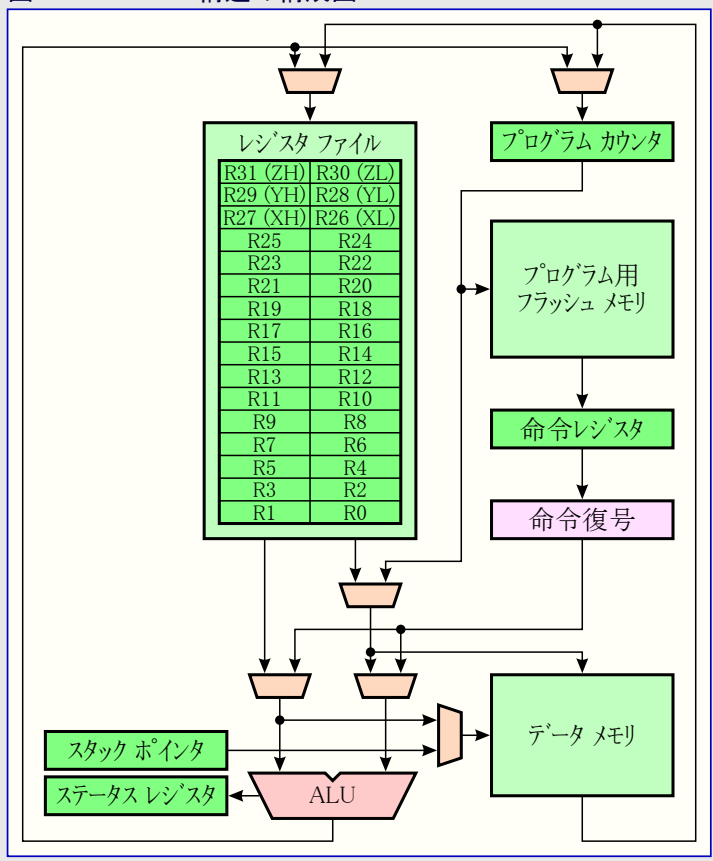
全I/Oの状態と制御のレジスタはデータ メモリの最下位4Kバイト位置に属します。これはI/Oメモリ空間として参照されます。最下位64位置は直接的、または\$0000～\$003Fのデータ空間位置としてアクセスできます。残りは\$0040～\$1FFFに連なる拡張I/Oメモリ空間です。I/Oレジスタはここで取得(LD/LDS/LDD)と格納(ST/STS/STD)命令を使用してデータ空間位置としてアクセスしなければなりません。

SRAMはデータを保持します。SRAMからのコード実行は支援されません。AVR構造で支援される5つの異なる位置指定種別を通してこれは容易にアクセスできます。SRAM先頭アドレスは\$2000です。

\$1000～\$1FFFのデータ位置はEEPROMのメモリ割り当て用に予約されています。

プログラム メモリは、応用プログラム領域とブートプログラム領域の2つの領域に分けられます。両領域は書き込みと読み書きの保護用の専用**施錠ビット**を持ちます。応用フラッシュ メモリの自己プログラミングに使用されるSPM命令はブートプログラム領域に属さなければなりません。応用領域は書き込みと読み書きの保護用の独立した施錠ビットを持つ応用表領域を含みます。応用表領域はプログラム用メモリ内での不揮発性データ保存格納に使用することができます。

図3-1. AVR CPU構造の構成図



3.4. 算術論理演算器(ALU)

算術論理演算器(ALU)はレジスタ間またはレジスタと定数間の演算と論理操作を支援します。単一レジスタ操作も実行できます。ALUは32個全ての汎用レジスタと直結で動作します。単一クロック周期で、汎用レジスタ間または、レジスタと即値間の演算操作が実行されて結果がレジスタ ファイルに格納されます。演算または論理操作後、**ステータス レジスタ**が操作結果を反映するために更新されます。

ALU操作は、演算、論理、ビット操作の、3つの主要分野に分けられます。8ビットと16ビットの両方の演算が支援され、命令一式は効率的な32ビット演算の実装を許します。ハードウェア乗算器は符号付と符号なしの乗算そして固定小数点形式を支援します。

3.4.1. ハードウェア乗算器

乗算器は2つの8ビット数値を16ビットの結果に乗算する能力です。ハードウェア乗算器は符号付と符号なしの整数と固定小数点数の種々の変種を支援します。

- 符号なし整数の乗算
- 符号付き整数の乗算
- 符号付きと符号なしの整数乗算
- 符号なし固定小数点数の乗算
- 符号付き固定小数点数の乗算
- 符号付きと符号なしの固定小数点数乗算

乗算は2CPUクロック周期かかります。

3.5. プログラムの流れ

リセット後、CPUはプログラム用フラッシュ メモリ内の最下位アドレス'0'から命令の実行を開始します。プログラム カウンタ(PC)は取得されるべき次の命令の位置を示します。

プログラムの流れはアドレス空間全体を直接位置指定できる条件付きと条件なしの分岐(Jump)と呼び出し(Call)命令によって提供されます。殆どの命令は16ビット語形式を用い、一方特別ないくつかは32ビット形式を用います。

割り込みとサブルーチン呼び出しの間、復帰アドレスのPC (値)がスタックに格納されます。スタックは一般的なデータ用SRAMに配置され、必然的にスタック容量は総SRAM容量とSRAMの使用法によってのみ制限されます。リセット後、**スタック ポインタ(SP)**は内部SRAMの最上位アドレスを指し示します。SPはI/Oメモリ空間で読み書きアクセス可能で、多数のスタックまたはスタック領域の容易な実装を許します。データ用SRAMはAVR CPUで支援される5つの異なるアドレス指定形態を通して容易にアクセスすることができます。

3.6. 命令実行タイミング

AVR CPUはCPUクロック(clkCPU)によってクロック駆動されます。内部クロック分周は使用されません。

図3-2. はハーバート構造と高速入出力レジスタ ファイルの概念によって可能にされる命令取得と命令実行の並列化を示します。これは高い電力効率と共にMHz当たり1MIPSの性能を得るのに使用される基本的なパイプラインの概念です。

図3-3. はレジスタ ファイルに関する内部タイミングの概念を示します。単一クロック周期で2つのレジスタ オペランド'を使用するALU操作が実行され、その結果が転送先レジスタへ書き戻されます。

図3-2. 命令の取得と実行の並列動作

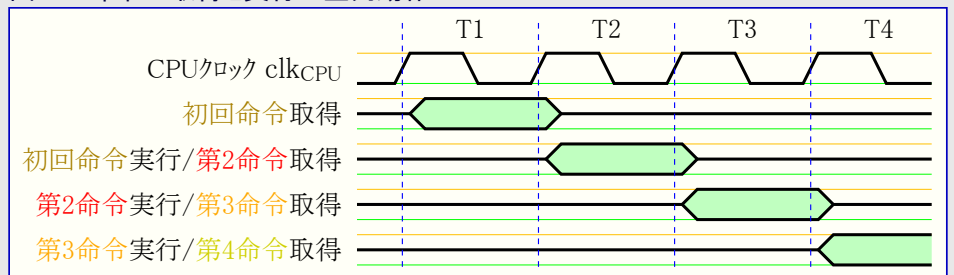
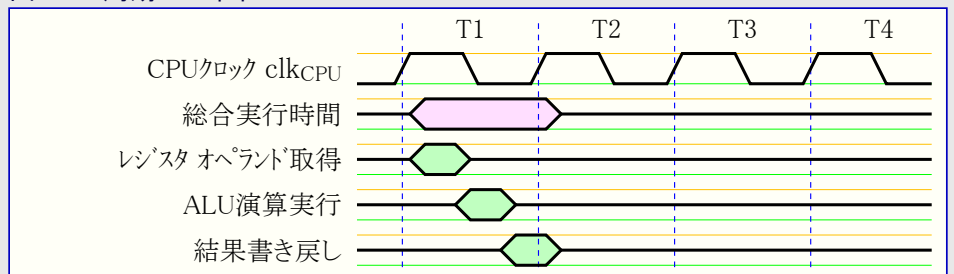


図3-3. 1周期ALU命令



3.7. ステータス レジスタ

ステータスレジスタ(SREG)は最も直前に実行した演算または論理命令の結果についての情報を含みます。この情報は条件付き操作を実行するためにプログラムの流れを変えるのに使用できます。ステータスレジスタは「命令セット参考書」で詳述されるように、全てのALU操作後に更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより簡潔なコードに帰着します。

ステータスレジスタは割り込み処理ルーチン移行時の保存と割り込みからの復帰時の回復が自動的に行われません。これはソフトウェアによって扱われなければなりません。

ステータスレジスタはI/Oメモリ空間でアクセスできます。

3.8. スタックとスタック ポインタ

スタックは割り込みとサブルーチン呼び出し後の復帰アドレスの格納に使用されます。一時データの格納にも使用できます。スタックポインタ(SP)レジスタは常にスタックの先頭(訳注:次に使用されるべき位置)を指し示します。これはI/Oメモリ空間でアクセス可能な2つの8ビットレジスタとして実装されます。データはPUSH命令とPOP命令を使用してスタックへ格納とスタックから取得されます。スタックは上位メモリ位置から下位メモリ位置へ増えます。これはスタックへのデータ格納がSPを減らし、スタックからのデータ取得がSPを増すことを意味します。SPはリセット後に自動的に設定され、その初期値は内部SRAMの最上位アドレスです。SPが変更されるなら、それは\$2000番地以上を指し示すように設定されなければならず、そして何れかのサブルーチン呼び出しが実行される前、または割り込みが許可される前に定義されなければなりません。

割り込みまたはサブルーチン呼び出しの間、自動的に復帰アドレスがスタックへ格納されています。復帰アドレスはデバイスのプログラムメモリ量に依存して2または3バイトで有り得ます。128Kバイト以下のプログラムメモリを持つデバイスについては復帰アドレスが2バイトで、故にスタックポインタは+2/-2されます。128Kバイトを越えるプログラムメモリを持つデバイスについては復帰アドレスが3バイトで、故にSPは+3/-3されます。復帰アドレスはRETI命令を使用して割り込みから、またはRET命令を使用してサブルーチン呼び出しから戻る時にスタックから取得されます。

データがPUSH命令でスタックに格納される時にSPは-1され、POP命令を使用してスタックからデータを取得する時に+1されます。

ソフトウェアからのスタックポインタ更新時の改変を防ぐため、SPL書き込みは4命令までに対して、または次のI/Oメモリ書き込みまで割り込みを自動的に禁止します。

3.9. レジスタ ファイル

レジスタファイルは単一クロック周期アクセス時間を持つ32個の8ビット汎用レジスタから成ります。レジスタファイルは以下の入出力機構を支援します。

- 1つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの16ビットの結果入力
- 1つの16ビット出力オペランドと1つの16ビットの結果入力

32個のレジスタの6つはデータ空間のアドレス指定用の3つの16ビットアドレスレジスタポインタとして用いることができ、効率的なアドレス計算を許します。3つのアドレスポインタの1つはプログラム用フラッシュメモリ内の参照表用のアドレスポインタとしても用いることができます。

レジスタファイルは独立したアドレス空間に配置され、故にレジスタはデータメモリとしてアクセスできません。

図3-4. AVR CPU 汎用作業レジスタ

7		0		アドレス	
汎用 作業 レジスタ ファイル		R0		\$00	
		R1		\$01	
		R2		\$02	
		⋮			
		R13		\$0D	
		R14		\$0E	
		R15		\$0F	
		R16		\$10	
		R17		\$11	
		⋮			
		R26		\$1A	
		R27		\$1B	
		R28		\$1C	
		R29		\$1D	
		R30		\$1E	
		R31		\$1F	

Xレジスタ

Yレジスタ

Zレジスタ

下位バイト

上位バイト

下位バイト

上位バイト

下位バイト

上位バイト

3.9.1. X,Y,Z レジスタ

R26~R31レジスタにはそれらの汎用使用に属する付加機能があります。

これらのレジスタはデータメモリ位置指示用の16ビットアドレスポインタ形式にできます。これら3つのアドレスレジスタはX,Y,Zレジスタと呼ばれます。Zレジスタはプログラム用フラッシュメモリ、識票列、ヒューズと施錠ビットに対する読み書きのためのアドレスポインタとしても使用できます。

下位側レジスタのアドレスは最下位バイト(LSB)を保持し、上位側レジスタのアドレスは最上位バイト(MSB)を保持します。様々な位置指示種別で、これらのアドレスレジスタは固定変位、自動増加、自動減少としての機能を持ちます(詳細については「命令一式参考書」をご覧ください)。

図3-5. X,Y,Zレジスタ

X レジスタ	15	XH (上位)		XL (下位)		0
	7	R27 (\$1B)	0	7	R26 (\$1A)	0
Y レジスタ	15	YH (上位)		YL (下位)		0
	7	R29 (\$1D)	0	7	R28 (\$1C)	0
Z レジスタ	15	ZH (上位)		ZL (下位)		0
	7	R31 (\$1F)	0	7	R30 (\$1E)	0

3.10. RAMPと間接拡張レジスタ

64Kバイトを越えるプログラム メモリやデータ メモリをアクセスするために、アドレス ポインタは16ビットより多くなければなりません。これはX,Y,またはZレジスタの1つに1つのレジスタを連結することによって行われます。そのレジスタは24ビットのアドレスまたはアドレス ポインタ内の最上位バイト (MSB)を保持します。

これらのレジスタは外部バス インターフェースまたは64Kバイトを越えるプログラムかデータのメモリ空間を持つデバイスでだけ利用できます。これらのデバイスについてはデバイス内のプログラムとデータのメモリ空間全体をアドレス指定するのに必要なビット数だけがレジスタ内に実装されます。

3.10.1. RAMPX,RAMPY,RAMPZ レジスタ

RAMPX,RAMPY,RAMPZレジスタは64Kバイトを越え16Mバイトまでのデータ メモリ空間全体の間接位置指示を可能とするために各々X,Y,Zレジスタと連結されます。

図3-6. RAMPX+X,RAMPY+Y,RAMPZ+Zレジスタの組み合わせ

	23	16 15	8 7	0
Xポインタ	7 RAMPX	0 7 XH	0 7 XL	0
	23	16 15	8 7	0
Yポインタ	7 RAMPY	0 7 YH	0 7 YL	0
	23	16 15	8 7	0
Zポインタ	7 RAMPZ	0 7 ZH	0 7 ZL	0

プログラム メモリの最初の128Kバイトを越えるプログラム メモリ位置の読み込み(ELPM)と書き込み(SPM)時、RAMPZは24ビット アドレス形式のためにZレジスタと連結されます。LPMはRAMPZ設定によって影響を及ぼされません。

3.10.2. RAMPD レジスタ

このレジスタは64Kバイトを越えるデータ メモリ空間全体の直接位置指示を可能とするためにオペラントと連結されます。RAMPDとオペラントと共に24ビット アドレス形式になるでしょう。

図3-7. RAMPD+kの組み合わせ

	23	16 15	8 7	0
直接位置指示	7 RAMPD	0 15 k		0

3.10.3. EIND レジスタ

EINDはプログラム メモリの最初の128Kバイト(64K語)を越える位置に対して間接の分岐や呼び出しを可能とするためにZポインタと連結されます。

図3-8. EIND+Zレジスタの組み合わせ

	23	16 15	8 7	0
間接位置指示	7 EIND	0 7 ZH	0 7 ZL	0

3.11. 16ビット レジスタのアクセス

AVRのデータ バスは8ビット幅で、故に16ビット レジスタのアクセスは非分断(atomic)操作が必要です。これらのレジスタは2つの読みまたは書き操作を用いてバイト入出力されなければなりません。16ビット レジスタは8ビット バスと16ビット バスを使用する一時レジスタに接続されています。

書き込み操作については上位バイトの前に16ビット レジスタの下位バイトが書かれなければなりません。そして下位バイトは一時レジスタに書かれます。16ビット レジスタの上位バイトが書かれる時に、同じクロック周期で一時レジスタが16ビット レジスタの下位バイトに複写されます。

読み込み操作については上位バイトの前に16ビット レジスタの下位バイトが読まれなければなりません。下位バイト レジスタがCPUによって読まれるとき、下位バイトが読まれるのと同じクロック周期で16ビット レジスタの上位バイトが一時レジスタに複写されます。上位バイトが読まれると、それは一時レジスタから読まれます。

これはレジスタの読み書き時に16ビット レジスタの上位バイトと下位バイトがいつも同時にアクセスされることを保証します。

非分断16ビット読み/書き操作間に割り込みが起動されて同じ16ビット レジスタのアクセスを試みる場合、割り込みは時間手順を不正にします。これを防ぐために、16ビット レジスタの読み書き時に割り込みを禁止できます。

一時レジスタは使用者ソフトウェアから直接読み書きできます。

3.11.1. 24及び32ビット レジスタのアクセス

24と32ビットのレジスタに対する読み書きアクセスは、24ビット レジスタについては2つ、32ビット レジスタについては3つの一時レジスタがあるのを除いて、16ビット レジスタに関して記述されたのと同じ方法で行われます。最下位バイトは書き込みを行う時に先に書かれ、読み込みを行う時に先に読まれなければなりません。

3.12. 形態設定変更保護

システムの重要なI/Oレジスタ設定は予期せぬ変更から保護されます。**SPM**命令が予期せぬ実行から保護され、**LPM**命令はヒューズと識票列読み込み時に保護されます。これは**形態設定変更保護(CCP)レジスタ**によって全体的に取り扱われます。保護されたI/Oレジスタまたはビットへの変更や、保護された命令の実行は、CPUがCCPレジスタへ識票を書いた後でだけ可能です。各識票はレジスタ説明で記述されます。

I/Oレジスタ保護に対する1つと**LPM/SPM**命令保護に対する2つの動作種別があります。

3.12.1. 保護されたI/Oレジスタへの書き込み操作手順

1. 応用コードはCCPレジスタに保護されたI/Oレジスタの変更許可識票を書きます。
2. 4命令周期内に応用コードは保護されたレジスタへ適切なデータを書かなければなりません。殆どの保護されたレジスタは書き込み許可/変更許可のビットも含みます。このビットはデータが書かれるのと同じ操作内で**1**を書かれなければなりません。保護された変更はCPUがI/Oレジスタまたはデータメモリに書き込み操作を実行する場合、または**SPM, LPM, SLEEP**命令が実行される場合、直ちに禁止されます。

3.12.2. 保護されたLPM/SPMの実行手順

1. 応用コードはCCPレジスタに保護された**LPM/SPM**の実行用識票を書きます。
2. 4命令周期内に応用コードは適切な命令を実行しなければなりません。保護された変更はCPUがデータメモリに書き込み操作を実行する場合、または**SLEEP**命令が実行される場合、直ちに禁止されます。

CPUによって一旦正しい識票が書かれると、割り込みは形態設定変更許可期間中について無視されるでしょう。CCP期間の間の(遮蔽不可割り込みを含む)どんな割り込み要求も通常様に対応する割り込み要求フラグを設定(**1**)し、そしてその要求は保留を維持されるでしょう。CCP期間完了後に何れかの保留割り込みがそれらのレベルと優先権に従って実行されます。

3.13. 施錠ヒューズ

システムで重要ないくつかの機能について関連するI/O制御レジスタ内の全ての変更を禁止するためのヒューズをプログラム(**0**)にできます。これが行われた場合、使用者ソフトウェアからレジスタを変更することが不可能になり、このヒューズは外部書き込み器を使用する書き換えだけができます。この詳細はこの機能が利用可能な部署のデータシートで記述されます。

3.14. レジスタ説明

3.14.1. CCP – 形態設定変更保護レジスタ (Configuration Change Protection register)

ビット +\$04	7	6	5	4	3	2	1	0	
	CCP7~0								CCP
Read/Write	W	W	W	W	W	W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – CCP7~0 : 形態設定変更保護 (Configuration Change Protection)

CCPレジスタは保護されたI/Oレジスタの変更または保護された命令の実行を許可するための正しい識票を最大4CPU命令周期内に書かれなければならない。これらの周期の間は全ての割り込みが無視されます。これらの周期後に割り込みはCPUによって自動的に再び取り扱われて、どの保留割り込みもそれらのレベルと優先権に従って実行されるでしょう。保護されたI/Oレジスタの識票が書かれると、CCP0は保護機能が許可されている限り1として読めます。同様に保護されたLPM/SPMの識票が書かれると、CCP1は保護機能が許可されている限り1として読めます。CCP7~2は常に0として読めます。表3-1.は各種別用の識票を示します。

表3-1. CPU変更保護種別

識票	形態群種別	内容
\$9D	SPM	保護されたLPM/SPM
\$D8	IOREG	保護されたI/Oレジスタ

3.14.2. RAMPD – 直接位置指示拡張レジスタ (Extended Direct Addressing register)

64Kバイトを越えるデータメモリを持つデバイスでデータメモリ空間全体の直接位置指示(LDS/STS)のために、このレジスタはオペランドと連結されます。外部メモリを含むデータメモリが64Kバイト以下の場合、このレジスタは利用できません。

ビット +\$08	7	6	5	4	3	2	1	0	
	RAMPD7~0								RAMPD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – RAMPD7~0 : 直接位置指示拡張ビット (Extended Direct Addressing bits)

これらのビットはRAMPDと16ビットオペランドによって生成された24ビットアドレスのMSB(最上位バイト)を保持します。各デバイスについては利用可能なデータメモリのアドレスが必要とするビット数だけが実装されます。未使用ビットは常に0として読めます。

3.14.3. RAMPX – Xポインタ拡張レジスタ (Extended X-Pointer register)

64Kバイトを越えるデータメモリを持つデバイスでデータメモリ空間全体の間接位置指示(LD/LDD/ST/STD)のために、このレジスタはXレジスタと連結されます。外部メモリを含むデータメモリが64Kバイト以下の場合、このレジスタは利用できません。

ビット +\$09	7	6	5	4	3	2	1	0	
	RAMPX7~0								RAMPX
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – RAMPX7~0 : Xポインタ拡張アドレスビット (Extended X-pointer Address bits)

これらのビットはRAMPXと16ビットXレジスタによって生成された24ビットアドレスのMSB(最上位バイト)を保持します。各デバイスについては利用可能なデータメモリのアドレスが必要とするビット数だけが実装されます。未使用ビットは常に0として読めます。

3.14.4. RAMPY – Yポインタ拡張レジスタ (Extended Y-Pointer register)

64Kバイトを越えるデータメモリを持つデバイスでデータメモリ空間全体の間接位置指示(LD/LDD/ST/STD)のために、このレジスタはYレジスタと連結されます。外部メモリを含むデータメモリが64Kバイト以下の場合、このレジスタは利用できません。

ビット +\$0A	7	6	5	4	3	2	1	0	
	RAMPY7~0								RAMPY
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – RAMPY7~0 : Yポインタ拡張アドレスビット (Extended Y-pointer Address bits)

これらのビットはRAMPYと16ビットYレジスタによって生成された24ビットアドレスのMSB(最上位バイト)を保持します。各デバイスについては利用可能なデータメモリのアドレスが必要とするビット数だけが実装されます。未使用ビットは常に0として読めます。

3.14.5. RAMPZ – Zポインタ拡張レジスタ (Extended Z-Pointer register)

64Kバイトを越えるデータメモリを持つデバイスでデータメモリ空間全体の間接位置指示(LD/LDD/ST/STD)のために、このレジスタはYレジスタと連結されます。先頭の64Kバイトを越えるプログラムメモリ位置を読む(ELPM)時と、先頭の128Kバイトを越えるプログラムメモリ位置に書く(SPM)時に、RAMPZはZレジスタと連結されます。

外部メモリを含むデータメモリが64Kバイト以下と、デバイス内のプログラムメモリが64Kバイト以下の場合、このレジスタは利用できません。

ビット	7	6	5	4	3	2	1	0	
+\$0B	RAMPZ7~0								RAMPZ
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – RAMPZ7~0 : Zポインタ拡張アドレスビット (Extended Z-pointer Address Bits)

これらのビットはRAMPZと16ビットZレジスタによって生成された24ビットアドレスのMSB(最上位バイト)を保持します。各デバイスについては利用可能なデータとプログラムのメモリのアドレスが必要とするビット数だけが実装されます。未使用ビットは常に0として読めます。

3.14.6. EIND – 間接拡張レジスタ (Extended Indirect register)

128Kバイトを越えるプログラムメモリを持つデバイスでプログラムメモリ空間全体の拡張間接の分岐(EIJMP)と呼び出し(EICALL)のために、このレジスタはZレジスタと連結されます。128Kバイト以下のアドレスへの分岐に対してEICALL/EIJMPが使用される場合、このレジスタが使用されるべきで、ICALLとIJMP命令が使用される場合にそれは使用されません。128Kバイト以下のアドレスへの分岐と呼び出しに関しては、このレジスタが使用されません。デバイス内のプログラムメモリが128Kバイト以下の場合、このレジスタは利用できません。

ビット	7	6	5	4	3	2	1	0	
+\$0C	EIND7~0								EIND
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – EIND7~0 : 間接拡張アドレスビット (Extended Indirect Address Bits)

これらのビットはEINDと16ビットZレジスタによって生成された24ビットアドレスのMSB(最上位バイト)を保持します。各デバイスについては利用可能なプログラムメモリのアドレスが必要とするビット数だけが実装されます。未使用ビットは常に0として読めます。

3.14.7. SPL – スタックポインタレジスタ下位 (Stack Pointer register Low)

SPHとSPLのレジスタ対は16ビット値SPを表します。SPはスタックの先頭を指示するスタックポインタを保持します。リセット後、スタックポインタは内部SRAM最高アドレスを指示します。ソフトウェアからスタックポインタを更新する時の不正(化け)を防ぐため、SPLへの書き込みは次の4命令間、または次のI/Oメモリ書き込みまで割り込みを自動的に禁止します。

各デバイスについては外部メモリを含み64Kバイトまでで利用可能なデータメモリのアドレスが必要とするビット数だけが実装されます。未使用ビットは常に0として読めます。

ビット	7	6	5	4	3	2	1	0	
+\$0D	SP7~0								SPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	

注: 正確な初期値については固有デバイスのデータシートを参照してください。

● ビット7~0 – SP7~0 : スタックポインタ下位 (Stack Pointer Low byte)

これらのビットは16ビットスタックポインタ(SP)のLSB(最下位バイト)を保持します。

3.14.8. SPH – スタックポインタレジスタ上位 (Stack Pointer register High)

ビット	7	6	5	4	3	2	1	0	
+\$0E	SP15~8								SPH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	

注: 正確な初期値については固有デバイスのデータシートを参照してください。

● ビット7~0 – SP15~8 : スタックポインタ上位 (Stack Pointer High byte)

これらのビットは16ビットスタックポインタ(SP)のMSB(最上位バイト)を保持します。

3.14.6. SREG – ステータス レジスタ (Status register)

ステータスレジスタ(SREG)は最も直前に実行された演算または論理命令の結果についての情報を含みます。

ビット +\$0F	7	6	5	4	3	2	1	0	SREG
	I	T	H	S	V	N	Z	C	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – I : 全体割り込み許可 (Global Interrupt Enable)

全体割り込み許可ビットは許可されるべき割り込みに関して設定(1)されなければなりません。全体割り込み許可ビットが解除(0)された場合、個別割り込み許可設定に拘らず、どの割り込みも許可されません。このビットは割り込みが起きた後でハードウェアによって解除(0)されません。このビットは「[命令一式参考書](#)」で記述されるようにSEIとCLI命令で応用(プログラム)によって設定(1)と解除(0)ができます。I/Oレジスタを通したビットの変更はそのアクセスでの1周期の待ち状態に帰着します。

● ビット6 – T : ビット複写変数 (Bit Copy Storage)

ビット複写命令、ビット取得(BLD:Bit Load)とビット格納(BST:Bit Store)は操作するビットの転送元または転送先として、このビットを使用します。レジスタファイルのレジスタからのビットがBST命令によってこのビットに複写でき、このビットはBLD命令によってレジスタファイルのレジスタ内のビットに複写できます。

● ビット5 – H : ハーフキャリー フラグ (Half Carry Flag)

ハーフキャリー(H)フラグはいくつかの算術操作でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については「[命令一式参考書](#)」をご覧ください。

● ビット4 – S : 符号 (Sign Bit, S= N Ex-OR V)

Sフラグは常に負(N)フラグと2の補数溢れ(V)フラグ間の排他的論理和です。詳細情報については「[命令一式参考書](#)」をご覧ください。

● ビット3 – V : 2の補数溢れフラグ (2's Complement Overflow Flag)

2の補数溢れ(V)フラグは2の補数算術演算を支援します。詳細情報については「[命令一式参考書](#)」をご覧ください。

● ビット2 – N : 負フラグ (Negative Flag)

負(N)フラグは算術及び論理操作での負の結果(MSB=1)を示します。詳細情報については「[命令一式参考書](#)」をご覧ください。

● ビット1 – Z : ゼロフラグ (Zero Flag)

ゼロ(Z)フラグは算術及び論理操作でのゼロ(0)の結果を示します。詳細情報については「[命令一式参考書](#)」をご覧ください。

● ビット0 – C : キャリー フラグ (Carry Flag)

キャリー(C)フラグは算術及び論理操作でのキャリー(またはボー)を示します。詳細情報については「[命令一式参考書](#)」をご覧ください。

3.15. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$0F	SREG	I	T	H	S	V	N	Z	C	13
+\$0E	SPH	SP15~8								13
+\$0D	SPL	SP7~0								12
+\$0C	EIND	EIND7~0								12
+\$0B	RAMPZ	RAMPZ7~0								12
+\$0A	RAMPY	RAMPY7~0								12
+\$09	RAMPX	RAMPX7~0								11
+\$08	RAMPD	RAMPD7~0								11
+\$07	予約	-	-	-	-	-	-	-	-	
+\$06	予約	-	-	-	-	-	-	-	-	
+\$05	予約	-	-	-	-	-	-	-	-	
+\$04	CCP	CCP7~0								11
+\$03	予約	-	-	-	-	-	-	-	-	
+\$02	予約	-	-	-	-	-	-	-	-	
+\$01	予約	-	-	-	-	-	-	-	-	
+\$00	予約	-	-	-	-	-	-	-	-	

4. メモリ

4.1. 要点

- フラッシュ プログラム メモリ
 - 1つの直線的なアドレス空間
 - 実装書き換え可能(In-System Programmable)
 - 自己プログラミングとブートローダ支援
 - 応用コード用応用領域
 - 応用コードまたはデータ記憶用応用表領域
 - 応用コードまたはブートローダコード用ブート領域
 - 全領域に対する独立した施錠ビット
 - 選択可能なプログラム用フラッシュ メモリ領域の組み込み高速CRC検査
- データ メモリ
 - 1つの直線的なアドレス空間
 - CPUからの単一周期アクセス
 - SRAM
 - EEPROM
 - バイトとページでのアクセスが可能
 - 直接の取得と格納に対する任意のメモリ配置割り当て
 - I/Oメモリ
 - 全ての部署と周辺機能に対する形態設定と状態のレジスタ
 - 全体変数またはフラグ用のビット アクセス可能な4つの汎用I/Oレジスタ
 - バス調停
 - CPUと他のバス所有者間の優先順を扱う決定法
 - SRAM、EPROM、I/Oメモリのアクセスに関する独立バス
- 工場書き込みデータ用製品識別票列メモリ
 - 各マイクロ コントローラ型式に対するデバイスID
 - 各デバイスに対する通番
 - 工場校正された周辺機能用の校正バイト
- 使用者識別票列
 - 1つのフラッシュ ページ容量
 - ソフトウェアから読み書き可能
 - チップ消去後の内容保持

4.2. 概要

本項は各種メモリ領域を記述します。AVRの構造はプログラム メモリとデータ メモリの主な2つのメモリ空間を持ちます。実行可能なコードはプログラム メモリにだけ属せ、一方データはプログラム メモリとデータ メモリの両方に格納できます。データ メモリは内部SRAMと、不揮発性データ記憶用のEEPROMを含みます。全てのメモリ空間は直線状でメモリ バンク切り替えを必要としません。不揮発性メモリ(NV M:Non-Volatile Memory)空間は更なる書き込みまたは読み書きの操作に対して施錠できます。これは応用ソフトウェアの無制限なアクセスを防ぎます。

独立したメモリ領域はヒューズ ビットを含みます。これらは重要なシステム機能の形態設定に使用され、外部書き込み器によってだけ書き込むことができます。

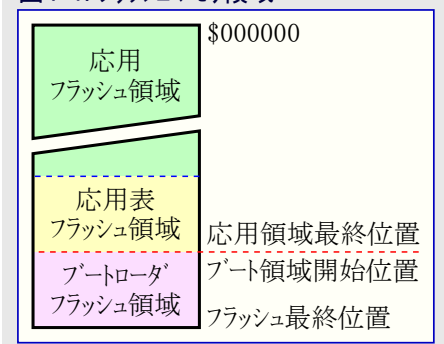
4.3. フラッシュ プログラム メモリ

全てのXMEGAデバイスはチップ上にプログラム記憶用の実装書き換え可能なフラッシュ メモリを含みます。フラッシュ メモリはPDIを通す外部書き込み器またはデバイスで走行する応用ソフトウェアから読み書きアクセスができます。

全てのAVR CPU命令は16または32ビット幅、フラッシュの各位置は16ビット幅です。図4-1.で示されるようにXMEGAのフラッシュ メモリは応用領域とブートローダ領域の2つの主な領域で構成されています。各領域の容量は固定ですが、デバイス依存です。これら2つの領域は独立した施錠ビットを持ち、異なる保護段階を持てます。SPM(Store Program Memory)命令は応用ソフトウェアからフラッシュを書くのに使用され、これはブートローダ領域から実行される時にだけ動作します。

応用領域は独立した施錠設定を持つ応用表領域を含みます。これはプログラム メモリ内の不揮発性データの安全な記憶に使用できます。

図4-1. フラッシュ メモリ領域



4.3.1. 応用領域 (Application Section)

応用領域は実行可能な応用コードを格納するのに使用されるフラッシュの領域です。応用領域に対する保護段階はこの領域用の**ブート施錠ビット(ブート施錠ビットA)**によって選択できます。**SPM**命令は応用領域から実行することができないので、応用領域はどんな**ブートローダ**コードも格納できません。

4.3.2. 応用表領域 (Application Table Section)

応用表領域はデータの格納に使用できるフラッシュメモリの応用領域の一部です。容量は**ブートローダ**領域と同じです。応用表に対する保護段階はこの領域用の**ブート施錠ビット(ブート施錠ビットT)**によって選択できます。応用領域と応用表領域で異なる保護段階にできることはプログラムメモリの安全なパラメータ記憶を可能にします。この領域がデータ用に使用されないなら、ここに応用コードが存在できます。

4.3.3. ブートローダ領域 (Boot Loader Section)

応用領域が応用コードの格納に使用される一方、**SPM**命令がこの領域から実行する時にだけプログラミングを始められるので、**ブートローダ**ソフトウェアは**ブートローダ**領域に配置されなければなりません。**SPM**命令は**ブートローダ**領域それ自身を含むフラッシュ全体をアクセスできます。**ブートローダ**領域に対する保護段階は**ブートローダ施錠ビット(ブート施錠ビットB)**によって選択できます。この領域が**ブートローダ**ソフトウェア用に使用されないなら、ここに応用コードを格納することができます。

4.3.4. 製品識票列 (Production Signature Row)

製品識票列は工場書き込みデータ用の独立したメモリ領域です。これは発振器やアナログ部のような機能用の構成データを含みます。いくつかの校正值はリセット中に対応する部署または周辺機能部へ自動的に格納されます。その他の値はソフトウェアで識票列から取得されて対応する周辺機能レジスタに書かれなければなりません。温度、基準電圧などのような校正条件の詳細についてはデバイスのデータシートを参照してください。

製品識票列は各マイクロコントローラ型式を識別するIDと製造された各デバイスに対する通番も含みます。通番はそのデバイスに対する製品ロット番号、ウェハー番号、ウェハー座標から成ります。

製品識票列は消去や書き込みができませんが、応用ソフトウェアと外部書き込み器から読むことができます。

製品識票列のアクセスについては210頁の「**NVMフラッシュ指令**」を参照してください。

4.3.5. 使用者識票列 (User Signature Row)

使用者識票列は応用ソフトウェアと外部の書き込み器から完全にアクセス(読み書き)可能な独立したメモリ領域です。これは1つのフラッシュページ容量で、校正データ、独自の通番や識別番号、乱数の種(素)などのような静的な使用者パラメータ記憶を予定されています。この領域はフラッシュメモリを消去するチップ消去指令によって消去されず、専用の消去指令を必要とします。これは多数回の消去/書き込み操作とチップ上デバッグ作業中のパラメータ記憶を保証します。

4.4. ヒューズと施錠(Lock)ビット

ヒューズは重要なシステム機能を形態設定するのに使用され、外部プログラミングインターフェースから書くことができます。応用ソフトウェアはヒューズを読むことができます。ヒューズは**低電圧検出器(BOD:Brown-out Detector)**、**ウォッチドッグ**、始動形態設定のようなリセット元形態設定に使用されます。

施錠ビットは各種フラッシュ領域の保護段階設定に使用されます(換言すると、読み(と/または)書きのアクセスが防止されるべき場合に)。施錠ビットは外部書き込み器と応用ソフトウェアから書けますが、より厳しい保護へだけです。チップ消去が施錠ビットを消去する唯一の方法です。例えばチップ消去中でもフラッシュ内容が保護されることを保証するため、施錠ビットはフラッシュメモリの残りの部分が(完全に)消去された後に消去されます。

非プログラムにされたヒューズと施錠のビットは値**1**を持ち、一方プログラムにされたヒューズと施錠のビットは値**0**を持ちます。

ヒューズと施錠ビットの両方はプログラム用フラッシュメモリのように書き換え可能です。

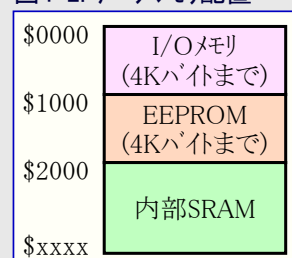
いくつかのヒューズバイトに対して、それらを非プログラム(\$FF)のままにすることが不正な設定に帰着します。使用者はヒューズバイトが有効な設定を与える値にプログラミングされることを確実にしなければなりません。更なる情報については個別ヒューズバイトの詳細説明を参照してください。

4.5. データメモリ

データメモリはI/Oメモリ、内部SRAM、任意選択のメモリ配置割り当てEEPROMを含みます。図4-2.で示されるように、データメモリは1つの続いたメモリ領域として構成されます。

I/Oメモリ、EEPROM、SRAMは全てのXMEGAデバイスに関して常に同じ開始アドレスを持ちます。

図4-2. データメモリ配置



4.6. 内部SRAM

内部SRAMは常に16進アドレス位置\$2000で始まります。SRAMは取得(LD/LDD/LDS)と格納(ST/STD/STS)命令を使用することでCPUによってアクセスされます。

4.7. EEPROM

全てのXMEGAデバイスは不揮発性データ記憶用にEEPROMを持ちます。それは独立したデータ空間(既定)でアドレス指定でき、またはメモリ配置割り当てで通常のデータ空間でアクセスできます。EEPROMはバイトとページの両アクセスを支援します。メモリ配置割り当てEEPROMは高い効率のEEPROM読み込みとEEPROM緩衝部格納を許します。これを行うと、EEPROMは取得と格納の命令を使用してアクセスできます。メモリ配置割り当てEEPROMは常に16進アドレス\$1000で始まります。けれども、緩衝部破棄とページの消去と書き込みは未だI/O割り当てアクセスとしてNVM制御器を通して行われなければなりません。

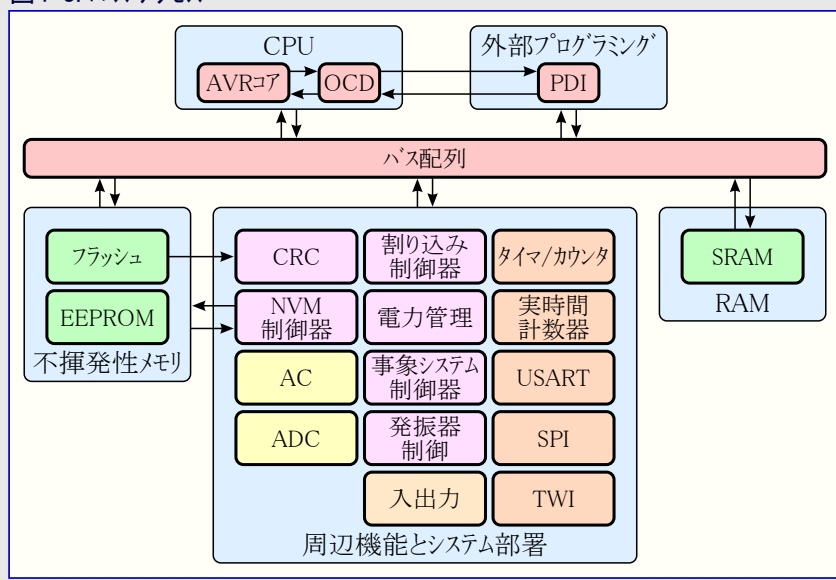
4.8. I/Oメモリ

CPUを含む部署と周辺機能に関する状態と形態設定のレジスタはI/Oメモリ位置を通してアドレス指定できます。全てのI/O位置は取得(LD/LDD/LDS)と格納(ST/STD/STS)命令によってアクセスでき、そしてそれはレジスタファイル内の32個のレジスタとI/Oメモリ間でデータを転送するのに使用されます。IN命令とOUT命令は\$0000~\$003F範囲のI/Oメモリ位置を直接アドレス指定できます。アドレス範囲\$0000~\$001Fでは個別ビットの操作と検査の命令が利用できます。

4.8.1. 汎用I/Oレジスタ

最下位4個のI/Oメモリアドレスは汎用I/Oレジスタ用に予約されています。これらのレジスタは、それらがSBI,CBI, SBIS,SBIC命令を使用して直接ビットアクセスが可能のため、全体変数とフラグの格納に使用することができます。

図4-3. バスアクセス



4.9. メモリタイミング

I/Oメモリへの読み書きアクセスは1CPUクロック周期かかります。SRAMへの書き込みは1周期かかり、SRAMからの読み込みは2周期かかります。EEPROMページ設定(書き込み)は1周期かかり、読み込みに対して3周期が必要とされます。命令と命令タイミングのより多くの詳細については命令要約を参照してください。

4.10. デバイスIDと改訂

各々のデバイスは3バイトのデバイスIDを持ちます。このIDはデバイスの製造業者としてのAtmelとデバイス型式を明らかにします。独立した改訂版ID(REVID)レジスタはデバイスの改訂版番号を含みます。

4.11. I/Oメモリ保護

デバイス内のいくつかの機能はいくつかの応用での安全性に大に関係します。このため、クロック系、事象システム、新波形拡張に関連するI/Oレジスタの施錠が可能です。施錠が許可されている限り、全ての関連I/Oレジスタが施錠され、それらは応用ソフトウェアから書くことができません。それら自身の施錠レジスタは形態設定変更保護機構によって保護されます。詳細については10頁の「形態設定変更保護」を参照してください。

4.12. レジスタ説明 – 不揮発性メモリ(NVM)制御器

4.12.1. ADDR0 – アドレス レジスタ0 (Address register 0)

ADDR2, ADDR1, ADDR0レジスタは24ビット値ADDRを表します。これは全てのNVM領域の読み、書き、CRC操作のアドレス指定に使用されます。

ビット	7	6	5	4	3	2	1	0	
+\$00	ADDR7~0								ADDR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – ADDR7~0 : アドレス下位バイト (Address Byte 0)

このレジスタはNVM位置をアクセスする時のアドレス下位バイトを与えます。

4.12.2. ADDR1 – アドレス レジスタ1 (Address register 1)

ビット	7	6	5	4	3	2	1	0	
+\$01	ADDR15~8								ADDR1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – ADDR15~8 : アドレス上位バイト (Address Byte 1)

このレジスタはNVM位置をアクセスする時のアドレス上位バイトを与えます。

4.12.3. ADDR2 – アドレス レジスタ2 (Address register 2)

ビット	7	6	5	4	3	2	1	0	
+\$02	ADDR23~16								ADDR2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – ADDR23~16 : アドレス拡張バイト (Address Byte 2)

このレジスタはNVM位置をアクセスする時のアドレス拡張バイトを与えます。

4.12.4. DATA0 – データ レジスタ0 (Data register 0)

DATA2, DATA1, DATA0レジスタは24ビット値DATAを表します。これはNVM読み、書き、CRCアクセス中のデータを保持します。

ビット	7	6	5	4	3	2	1	0	
+\$04	DATA7~0								DATA0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – DATA7~0 : データ下位バイト (Data Byte 0)

このレジスタはNVM位置をアクセスする時のデータ値第1バイトを与えます。

4.12.5. DATA1 – データ レジスタ1 (Data register 1)

ビット	7	6	5	4	3	2	1	0	
+\$05	DATA15~8								DATA1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – DATA15~8 : データ上位バイト (Data Byte 1)

このレジスタはNVM位置をアクセスする時のデータ値第2バイトを与えます。

4.12.6. DATA2 – データ レジスタ2 (Data register 2)

ビット	7	6	5	4	3	2	1	0	
+\$06	DATA23~16								DATA2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – DATA23~16 : データ第3バイト (Data Byte 2)

このレジスタはNVM位置をアクセスする時のデータ値第3バイトを与えます。

4.12.7. CMD – 指令レジスタ (Command register)

ビット	7	6	5	4	3	2	1	0	
+\$0A	–	CMD6~0							CMD
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット6~0 – CMD6~0 : 指令 (Command)

これらのビットはフラッシュに対するプログラミング指令を定義します。ビット6は外部プログラミング指令に対してだけ設定(1)されます。プログラミング指令については205頁の「メモリプログラミング」をご覧ください。

4.12.8. CTRLA – 制御レジスタA (Control register A)

ビット	7	6	5	4	3	2	1	0	
+\$0B	–	–	–	–	–	–	–	CMDEX	CTRLA
Read/Write	R	R	R	R	R	R	R	R/W(S)	
初期値	0	0	0	0	0	0	0	0	

● ビット7~1 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット0 – CMDEX : 指令実行 (Command Execute)

このビットを設定(1)することが不揮発性メモリ指令(CMD)レジスタ内の指令を実行します。このビットは形態設定変更保護(CCP)機構によって保護されており、CCPの詳細については10頁の「形態設定変更保護」を参照してください。

4.12.9. CTRLB – 制御レジスタB (Control register B)

ビット	7	6	5	4	3	2	1	0	
+\$0C	–	–	–	–	EEMAPEN	FPRM	EPRM	SPMLOCK	CTRLB
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3 – EEMAPEN : EEPROMデータメモリ割り当て許可 (EEPROM Data Memory Mapping Enable)

このビットを設定(1)することがEEPROM領域のデータメモリ配置割り当てを許可します。その後EEPROMは取得(LD/LDD/LDS)と格納(ST/STD/STS)の命令を使用してアクセスできます。

● ビット2 – FPRM : フラッシュ電力削減動作 (Flash Power Reduction Mode)

このビットを設定(1)することがフラッシュメモリに対する節電を許可します。コードが応用領域で走行している場合、ブートローダー領域がOFFされ、逆もまた同様です。OFFされている領域へのアクセスが必要とされる場合、CPUはアイドル休止形態動作からの起動時間と等しい時間停止されます。

● ビット1 – EPRM : EEPROM電力削減動作 (EEPROM Power Reduction Mode)

このビットを設定(1)することがEEPROMに対する節電を許可します。その後、EEPROMは休止形態動作移行に等しい規則でOFFにされます。アクセスが必要とされる場合、バス主権部はアイドル休止形態動作からの起動時間と等しい時間停止されます。

● ビット0 – SPMLOCK : SPM施錠 (SPM Locked)

このビットは更なる自己プログラミングを防止するために1を書くことができます。このビットはリセットで解除(0)され、ソフトウェアから解除(0)することはできません。このビットは形態設定変更保護(CCP)機構によって保護されており、CCPの詳細については10頁の「形態設定変更保護」を参照してください。

4.12.10. INTCTRL – 割り込み制御レジスタ (Interrupt Control register)

ビット	7	6	5	4	3	2	1	0	
+\$0D	–	–	–	–	SPMLVL1,0		EELVL1,0		INTCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7～4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書き込んでください。

● ビット3,2 – SPMLVL1,0 : SPM操作可割り込みレベル (SPM Ready Interrupt Level)

これらのビットは割り込みを許可し、68頁の「[割り込みと設定可能な多段割り込み制御器](#)」で記述されるように割り込みレベルを選択します。これは状態(STATUS)レジスタの[不揮発性メモリ多忙\(NVMBUSY\)フラグ](#)が0に設定される時だけに起動されるレベル割り込みです。従って、NVM命令が起動される前にはNVMBUSYフラグが設定(1)されないので、この割り込みはNVM命令起動前に許可されるべきではありません。この割り込みは割り込み処理ルーチンで禁止されるべきです。

● ビット1,0 – EELVL1,0 : EEPROM操作可割り込みレベル (EEPROM Ready Interrupt Level)

これらのビットはEEPROM操作可割り込みを許可し、68頁の「[割り込みと設定可能な多段割り込み制御器](#)」で記述されるように[割り込みレベル](#)を選択します。これは状態(STATUS)レジスタの[不揮発性メモリ多忙\(NVMBUSY\)フラグ](#)が0に設定される時だけに起動されるレベル割り込みです。従って、NVM命令が起動される前にはNVMBUSYフラグが設定(1)されないので、この割り込みはNVM命令起動前に許可されるべきではありません。この割り込みは割り込み処理ルーチンで禁止されるべきです。

4.12.11. STATUS – 状態レジスタ (Status register)

ビット	7	6	5	4	3	2	1	0	
+\$0F	NVMBUSY	FBUSY	–	–	–	–	EELOAD	FLOAD	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – NVMBUSY : 不揮発性メモリ多忙フラグ (Non-Volatile Memory Busy)

NVMBUSYフラグはNVM(フラッシュメモリ、EEPROM、施錠ビット)がプログラミングされつつあるかどうかを示します。一旦操作が開始されると、このフラグが設定(1)され、操作が完了されるまで設定(1)に留まります。NVMBUSYフラグは操作完了時に、自動的に解除(0)されます。

● ビット6 – FBUSY : フラッシュ多忙フラグ (Flash Busy)

FBUSYフラグはフラッシュのプログラミング動作が始められたかどうかを示します。一旦操作が開始されると、FBUSYフラグが設定(1)され、応用領域がアクセスできなくなります。FBUSYフラグは操作完了時、自動的に解除(0)されます。

● ビット5～2 – 予約 (Reserved)

これらのビットは未使用で将来の使用に予約されており、常に0として読めます。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書き込んでください。

● ビット1 – EELOAD : EEPROMページ緩衝部設定中フラグ (EEPROM Page Buffer Active Loading)

EELOADフラグはEEPROMページ一時緩衝部が1バイト以上格納されていることを示します。これはEEPROMページ書き込みまたはページ緩衝部解除操作が実行されるまで設定(1)に留まります。より多くの詳細については、207頁の「[フラッシュメモリとEEPROMのプログラミング手順](#)」をご覧ください。

● ビット0 – FLOAD : フラッシュページ緩衝部設定中フラグ (Flash Page Buffer Active Loading)

FLOADフラグはフラッシュページ一時緩衝部が1バイト以上格納されていることを示します。これは応用ページ書き込み、ブートページ書き込み、またはページ緩衝部解除操作が実行されるまで設定(1)に留まります。より多くの詳細については207頁の「[フラッシュメモリとEEPROMのプログラミング手順](#)」をご覧ください。

4.12.12. LOCKBITS – 施錠ビットレジスタ (Lock Bit register)

ビット	7	6	5	4	3	2	1	0	
+\$10	BLBB1,0		BLBA1,0		BLBAT1,0		LB1,0		LOCKBITS
Read/Write	R	R	R	R	R	R	R	R	
初期値	1	1	1	1	1	1	1	1	

このレジスタはI/Oメモリ空間内へのNVM施錠ビット割り当てで、応用ソフトウェアからの直接読み込みアクセスを許します。記述については23頁の「[LOCKBITS – 施錠ビットレジスタ](#)」を参照してください。

4.13. レジスタ説明 – ヒューズと施錠ビット

4.13.1. FUSEBYTE1 – ヒューズ バイト1 (Fuse Byte 1)

ビット	7	6	5	4	3	2	1	0	
+\$01	WDWPER3~0				WDPER3~0				FUSEBYTE1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – WDWPER3~0 : ウォッチドッグ窓周期 (Watchdog Window Timeout Period)

これらのヒューズ ビットは窓動作でのウォッチドッグ タイマに対する窓閉鎖初期値を設定するのに使用されます。リセットの間にこれらのヒューズ ビットが自動的にウォッチドッグ窓動作制御レジスタのウォッチドッグ窓動作周期(WPER)ビットに書かれます。詳細については64頁の「WDT – ウォッチドッグ タイマ」で66頁の「WINCTRL – 窓動作制御レジスタ」を参照してください。

● ビット3~0 – WDPER3~0 : ウォッチドッグ周期 (Watchdog Timeout Period)

これらのヒューズ ビットはウォッチドッグ タイマ周期初期値を設定するために使用されます。リセットの間にこれらのヒューズ ビットが自動的にウォッチドッグ制御レジスタのウォッチドッグ周期(PER)ビットに書かれます。詳細については64頁の「WDT – ウォッチドッグ タイマ」で66頁の「CTRL – 制御レジスタ」を参照してください。

4.13.2. FUSEBYTE2 – ヒューズ バイト2 (Fuse Byte 2)

ビット	7	6	5	4	3	2	1	0	
+\$02	–	BOOTRST	TOSCSEL	–	–	–	BODPD1,0		FUSEBYTE2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● ビット7 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に1を書いてください。

● ビット6 – BOOTRST : ブートローダ領域リセットベクタ (Boot Loader Section Reset Vector)

このヒューズはリセットベクタがブートローダフラッシュ領域の先頭アドレスを指示するようにプログラム(0)にできます。デバイスはリセット後にブートローダフラッシュ領域から実行を開始します。

表4-1. ブートリセットヒューズ

BOOTRST	リセットベクタ(アドレス)
0	ブートローダリセット
1	応用リセット(\$000000)

● ビット5 – TOSCSEL : 32.768kHzタイマ発振器ピン選択 (32.768kHz Timer Oscillator Pin Selection)

このヒューズは32.768kHzタイマ発振器(TOSC)用のピン位置の選択に使用されます。このヒューズは既定によってXTALとTOSCのピンが共用されているデバイスで利用可能です。

表4-2. TOSCSELヒューズ

TOSCSEL	群形態設定	内容
0	ALTERNATE (注)	独立したピンでのTOSC1/2
1	XTAL	XTALと共用するTOSC1/2

注: 代替TOSC位置についてはデバイスのデータシートをご覧ください。

● ビット4~2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に1を書いてください。

● ビット1,0 – BODPD1,0 : 低電力保持動作でのBOD動作 (BOD operation in power-down mode)

これらのヒューズ ビットはデバイスがアイドル動作を除く全ての休止形態動作でのBOD動作種別を設定します。

BODとBOD動作種別の詳細については61頁の「低電圧検出(Brown-out Detection)」を参照してください。

表4-3. 休止形態動作でのBOD動作種別

BODPD1,0	内容
0 0	(予約)
0 1	採取動作でBOD許可
1 0	継続的にBOD許可
1 1	BOD禁止

4.13.3. FUSEBYTE4 – ヒューズ バイト4 (Fuse Byte 4)

ビット +\$04	7	6	5	4	3	2	1	0	
	–	–	–	RSTDISBL	STARTUPTIME1,0	WDLOCK	–		FUSEBYTE4
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● ビット7～5 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に1を書いてください。

● ビット4 – RSTDISBL : 外部リセット禁止 (External Reset Disable)

このヒューズは外部リセットピン機能を禁止するためにプログラム(0)にできます。これが行われると、リセットピンのLow引き込みは外部リセットを引き起こしません。このビットが変更された後でそれが正しく読めるのに先立ってリセットが必要とされます。

● ビット3,2 – STARTUPTIME1,0 : 始動時間 (Start-up time)

これらのヒューズビットは全てのリセット元が開放される時から、内部リセットが遅延計数器から開放されるまでの設定可能な時間間隔を設定するのに使用できます。これらのビットが変更された後でそれらが正しく読めるのに先立ってリセットが必要とされます。

この遅延は超低電力(ULP)発振器の1kHz出力で計時されます。詳細については60頁の「リセットの流れ」を参照してください。

表4-4. 始動時間

STARTUPTIME1,0	1kHz ULP発振器周期数
0 0	64
0 1	4
1 0	(予約)
1 1	0

● ビット1 – WDLOCK : ウォッチドッグ タイマ施錠 (Watchdog Timer lock)

WDLOCKヒューズはウォッチドッグ タイマ形態設定を施錠するためにプログラム(0)にすることができます。このヒューズがプログラム(0)されると、ウォッチドッグ タイマ形態設定を変更できなくなり、リセットでウォッチドッグ タイマ制御(CTRL)レジスタのウォッチドッグ許可(ENABLE)ビットが自動的に設定(1)され、応用ソフトウェアから解除(0)できなくなります。ウォッチドッグ タイマ窓制御(WINCTRL)レジスタのウォッチドッグ窓動作許可(WEN)ビットは自動的に設定(1)されず、ソフトウェアからの設定(1)を必要とします。このビットが変更された後でそれが正しく読めるのに先立ってリセットが必要とされます。

表4-5. ウォッチドッグ タイマ施錠

WDLOCK	内容
0	ウォッチドッグ タイマは変更に対して閉ざされます。
1	ウォッチドッグ タイマは施錠されません。

● ビット0 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に1を書いてください。

4.13.4. FUSEBYTE5 – ヒューズ バイト5 (Fuse Byte 5)

ビット +\$05	7	6	5	4	3	2	1	0	
	–	–	BODACT1,0	EESAVE	BODLEVEL2~0				FUSEBYTE5
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	–	–	–	–	–	–	

● ビット7,6 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に1を書いてください。

● ビット5,4 – BODACT1,0 : 活動中のBOD動作 (BOD operation in active mode)

これらのヒューズビットはデバイスが活動(標準)またはアイドル動作の時のBOD動作種別を設定します。

BODとBOD動作種別の詳細については61頁の「低電圧検出(Brown-out Detection)」を参照してください。

表4-6. 活動とアイドル動作でのBOD動作種別

BODACT1,0	内容
0 0	(予約)
0 1	採取動作でBOD許可
1 0	継続的にBOD許可
1 1	BOD禁止

●ビット3 – EESAVE : チップ消去からEEPROM保護 (EEPROM is preserved through the Chip Erase)

チップ消去命令は標準的にフラッシュ、EEPROM、内部SRAMを消去します。このヒューズがプログラム(0)されている場合、チップ消去の間にEEPROMは消去されません。これはEEPROMがソフトウェア改訂版に無関係なデータの格納に使用される場合に有用です。

EESAVEヒューズビット変更は書き込み時間経過後直ちに効力を発揮します。従って、プログラミング動作の抜け出しと再移行なしにEESAVE更新とEESAVEの新しい設定に応じたチップ消去の実行が可能です。

表4-7. チップ消去を通したEEPROM保護

EESAVE	内容
0	EEPROMはチップ消去の間、保護されます。
1	EEPROMはチップ消去の間に消去されます。

●ビット2~0 – BODLEVEL2~0 : 低電圧検出(BOD)電圧 (Brown-out detection voltage level)

これらのヒューズビットはBOD電圧値を設定します。電源投入時、デバイスはVCCが設定されたBOD電圧に達するまでリセットを維持します。このため、BOD電圧は常にVCCよりも低く設定されることを保証してください。通常動作の間にBODが許可され且つ使用されない場合、詳細については61頁の「リセット元」を参照してください。BOD電圧の公称値については61頁の表8-2をご覧ください。

4.13.5. LOCKBITS – 施錠ビットレジスタ (Lock Bit register)

ビット +\$07	7	6	5	4	3	2	1	0	
	BLBB1,0		BLBA1,0		BLBAT1,0		LB1,0		LOCKBITS
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

●ビット7,6 – BLBB1,0 : フォトリソ領域用施錠ビット1,0 (Boot Lock Bit Boot Section)

これらの施錠ビットは「フォトリソ領域」に対するソフトウェア保護レベルを制御します。BLBBビットはより厳しい施錠へだけ書くことができます。BLBBビットのリセットはチップ消去命令の実行によってのみ可能です。

表4-8. フォトリソ領域用施錠ビット

BLBB1,0	群形態設定	内容
1 1	NOLOCK	施錠なし、フォトリソ領域をアクセスするSPMと(E)LPM命令に制限はありません。
1 0	WLOCK	書き込み施錠、SPM命令はフォトリソ領域書き込みを許されません。
0 1	RLOCK	読み込み施錠、応用領域で実行する(E)LPM命令はフォトリソ領域からの読み込みを許されません。割り込みベクタが応用領域に配置されている場合、フォトリソ領域から実行されている間、割り込みが禁止されます。
0 0	RWLOCK	読み書き施錠、SPM命令はフォトリソ領域への書き込みを許されず、応用領域で実行する(E)LPM命令はフォトリソ領域からの読み込みを許されません。割り込みベクタが応用領域に配置されている場合、フォトリソ領域から実行されている間、割り込みが禁止されます。

●ビット5,4 – BLBA1,0 : 応用領域用施錠ビット1,0 (Boot Lock Bit Application Section)

これらのビットは「応用領域」に対するソフトウェア保護レベルを制御します。BLBAビットはより厳しい施錠へだけ書くことができます。BLBAビットのリセットはチップ消去命令の実行によってのみ可能です。

表4-9. 応用領域用施錠ビット

BLBA1,0	群形態設定	内容
1 1	NOLOCK	施錠なし、応用領域をアクセスするSPMと(E)LPM命令に制限はありません。
1 0	WLOCK	書き込み施錠、SPM命令は応用領域書き込みを許されません。
0 1	RLOCK	読み込み施錠、フォトリソ領域で実行する(E)LPM命令は応用領域からの読み込みを許されません。割り込みベクタがフォトリソ領域に配置されている場合、応用領域から実行されている間、割り込みが禁止されます。
0 0	RWLOCK	読み書き施錠、SPM命令は応用領域への書き込みを許されず、フォトリソ領域で実行する(E)LPM命令は応用領域からの読み込みを許されません。割り込みベクタがフォトリソ領域に配置されている場合、応用領域から実行されている間、割り込みが禁止されます。

● ビット3,2 – BLBAT1,0 : 応用表領域ブート施錠ビット1,0 (Boot Lock Bit Application Table Section)

これらのビットは**応用表領域**に対するソフトウェア保護レベルを制御します。BLBATビットはより厳しい施錠へだけ書くことができます。BLBATビットのリセットはチップ消去命令の実行によってのみ可能です。

表4-10. 応用表領域用ブート施錠ビット

BLBAT1,0	群形態設定	内容
1 1	NOLOCK	施錠なし、応用表領域をアクセスするSPMと(E)LPM命令に制限はありません。
1 0	WLOCK	書き込み施錠、SPM命令は応用表領域書き込みを許されません。
0 1	RLOCK	読み込み施錠、ブートローダ領域で実行する(E)LPM命令は応用表領域からの読み込みを許されません。 割り込みベクタがブートローダ領域に配置されている場合、応用領域から実行されている間、割り込みが禁止されます。
0 0	RWLOCK	読み書き施錠、SPM命令は応用表領域への書き込みを許されず、ブートローダ領域で実行する(E)LPM命令は応用表領域からの読み込みを許されません。 割り込みベクタがブートローダ領域に配置されている場合、応用領域から実行されている間、割り込みが禁止されます。

● ビット1,0 – LB1,0 : 施錠ビット1,0 (Lock Bit)

これらのビットは外部プログラミング中のフラッシュとEEPROMに対する保護レベルを制御します。これらのビットは外部プログラミング インターフェースを通してのみ書き込み可能です。施錠ビットのリセットはチップ消去命令の実行によってのみ可能です。TIFとOCDを使用する他の全てのアクセスはこの施錠ビットの何れかが0に書かれる場合に防がれます。これらのビットはメモリへのどのソフトウェア アクセスも妨げません。

表4-11. 施錠ビット保護種別

LB1,0	群形態設定	内容
1 1	NOLOCK	施錠なし、メモリ施錠は許可されません。
1 0	WLOCK	書き込み施錠、フラッシュ メモリとEEPROMのプログラミング(書き込み)はプログラミング インターフェースに対して禁止されます。ヒューズ ビットはプログラミング インターフェースからの書き込みに対して施錠されます。
0 0	RWLOCK	読み書き施錠、フラッシュ メモリとEEPROMのプログラミング(書き込み)と読み込み/検証はプログラミング インターフェースに対して禁止されます。施錠ビットとヒューズ ビットはプログラミング インターフェースからの読み書きに対して施錠されます。

注: 施錠ビットを設定する前にヒューズ ビットとブート施錠ビットを設定してください。

4.14. レジスタ説明 – 製品識票列

4.14.1. RCOSC2M – 2MHz内部発振器校正レジスタ (Internal 2MHz Oscillator Calibration register)

ビット	7	6	5	4	3	2	1	0	
\$00	RCOSC2M7~0								RCOSC2M
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – OCOSC2M7~0 : 2MHz内部発振器校正値 (Internal 2MHz Oscillator Calibration Value)

このバイトは2MHz内部発振器用の発振器校正値を含みます。発振器の校正はデバイスの製造検査中に実行されます。リセット中にこの値が2MHz DFLL用の校正レジスタB内へ自動的に格納されます。より多くの詳細については52頁の「[CALB – 校正レジスタB](#)」を参照してください。

4.14.2. RCOSC2MA – 2MHz内部発振器校正レジスタA (Internal 2MHz Oscillator Calibration register)

ビット	7	6	5	4	3	2	1	0	
\$01	RCOSC2MA7~0								RCOSC2MA
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – OCOSC2MA7~0 : 2MHz内部発振器校正値 (Internal 2MHz Oscillator Calibration Value)

このバイトは2MHz内部発振器用の発振器校正値を含みます。発振器の校正はデバイスの製造検査中に実行されます。リセット中にこの値が2MHz DFLL用の校正レジスタA内へ自動的に格納されます。より多くの詳細については52頁の「[CALA – 校正レジスタA](#)」を参照してください。

4.14.3. RCOSC32K – 32.768kHz内部発振器校正レジスタ (Internal 32.768kHz Oscillator Calibration register)

ビット	7	6	5	4	3	2	1	0	
\$02	RCOSC32K7~0								RCOSC32K
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – OCOSC32K7~0 : 32.768kHz内部発振器校正値 (Internal 32.768kHz Oscillator Calibration Value)

このバイトは32.768kHz内部発振器用の発振器校正値を含みます。発振器の校正はデバイスの製造検査中に実行されます。リセット中にこの値が32kHz発振器用の校正レジスタ内へ自動的に格納されます。より多くの詳細については50頁の「[RC32KCAL – 32kHz内部発振器校正レジスタ](#)」を参照してください。

4.14.4. RCOSC32M – 32MHz内部発振器校正レジスタ (Internal 32MHz Oscillator Calibration register)

ビット	7	6	5	4	3	2	1	0	
\$03	RCOSC32M7~0								RCOSC32M
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – OCOSC32M7~0 : 32MHz内部発振器校正値 (Internal 32MHz Oscillator Calibration Value)

このバイトは32MHz内部発振器用の発振器校正値を含みます。発振器の校正はデバイスの製造検査中に実行されます。リセット中にこの値が32MHz DFLL用の校正レジスタB内へ自動的に格納されます。より多くの詳細については52頁の「[CALB – 校正レジスタB](#)」を参照してください。

4.14.5. RCOSC32MA – 32MHz内部発振器校正レジスタA (Internal 32MHz Oscillator Calibration register)

ビット	7	6	5	4	3	2	1	0	
\$04	RCOSC32MA7~0								RCOSC32MA
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – OCOSC32MA7~0 : 32MHz内部発振器校正値 (Internal 32MHz Oscillator Calibration Value)

このバイトは32MHz内部発振器用の発振器校正値を含みます。発振器の校正はデバイスの製造検査中に実行されます。リセット中にこの値が32MHz DFLL用の校正レジスタA内へ自動的に格納されます。より多くの詳細については52頁の「[CALA – 校正レジスタA](#)」を参照してください。

4.14.6. LOTNUM0 – ロット番号レジスタ0 (Lot Number register 0)

LOTNUM0, LOTNUM1, LOTNUM2, LOTNUM3, LOTNUM4, LOTNUM5は各々のデバイスに対するロット番号を含みます。ウェハー番号とウェハー座標と共に、これはデバイスに対する通番を与えます。

ビット	7	6	5	4	3	2	1	0	
\$08	LOTNUM07~0								LOTNUM0
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

●ビット7~0 – LOTNUM07~0 : ロット番号バイト0 (LOT Number Byte 0)

このバイトはデバイスに対するロット番号のバイト0を含みます。

4.14.7. LOTNUM1 – ロット番号レジスタ1 (Lot Number register 1)

ビット	7	6	5	4	3	2	1	0	
\$09	LOTNUM17~0								LOTNUM1
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

●ビット7~0 – LOTNUM17~0 : ロット番号バイト1 (LOT Number Byte 1)

このバイトはデバイスに対するロット番号のバイト1を含みます。

4.14.8. LOTNUM2 – ロット番号レジスタ2 (Lot Number register 2)

ビット	7	6	5	4	3	2	1	0	
\$0A	LOTNUM27~0								LOTNUM2
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

●ビット7~0 – LOTNUM27~0 : ロット番号バイト2 (LOT Number Byte 2)

このバイトはデバイスに対するロット番号のバイト2を含みます。

4.14.9. LOTNUM3 – ロット番号レジスタ3 (Lot Number register 3)

ビット	7	6	5	4	3	2	1	0	
\$0B	LOTNUM37~0								LOTNUM3
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

●ビット7~0 – LOTNUM37~0 : ロット番号バイト3 (LOT Number Byte 3)

このバイトはデバイスに対するロット番号のバイト3を含みます。

4.14.10. LOTNUM4 – ロット番号レジスタ4 (Lot Number register 4)

ビット	7	6	5	4	3	2	1	0	
\$0C	LOTNUM47~0								LOTNUM4
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

●ビット7~0 – LOTNUM47~0 : ロット番号バイト4 (LOT Number Byte 4)

このバイトはデバイスに対するロット番号のバイト4を含みます。

4.14.11. LOTNUM5 – ロット番号レジスタ5 (Lot Number register 5)

ビット	7	6	5	4	3	2	1	0	
\$0D	LOTNUM57~0								LOTNUM5
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

●ビット7~0 – LOTNUM57~0 : ロット番号バイト5 (LOT Number Byte 5)

このバイトはデバイスに対するロット番号のバイト5を含みます。

4.14.12. WAFNUM – ウェハ番号レジスタ (Wafer Number register)

ビット	7	6	5	4	3	2	1	0	
\$10	WAFNUM7~0								WAFNUM
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	x	x	x	x	x	

● ビット7~0 – WAFNUM7~0 : ウェハ番号 (Wafer Number)

このバイトは各々のデバイスに対するウェハ番号を含みます。ロット番号とウェハ座標と共に、これはデバイスに対する通番を与えます。

4.14.13. COORDX0 – ウェハ-X座標レジスタ0 (Wafer Coordinate X register 0)

COORDX0,COORDX1,COORDY0,COORDY1は各々のデバイスに対するウェハのX座標とY座標を含みます。ロット番号とウェハ番号と共に、これは各々のデバイスに対する通番を与えます。

ビット	7	6	5	4	3	2	1	0	
\$12	COORDX07~0								COORDX0
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – COORDX07~0 : ウェハ-X座標バイト0 (Wafer Coordinate X Byte 0)

このバイトはデバイスに対するウェハ-X座標のバイト0を含みます。

4.14.14. COORDX1 – ウェハ-X座標レジスタ1 (Wafer Coordinate X register 1)

ビット	7	6	5	4	3	2	1	0	
\$13	COORDX17~0								COORDX1
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – COORDX17~0 : ウェハ-X座標バイト1 (Wafer Coordinate X Byte 1)

このバイトはデバイスに対するウェハ-X座標のバイト1を含みます。

4.14.15. COORDY0 – ウェハ-Y座標レジスタ0 (Wafer Coordinate Y register 0)

ビット	7	6	5	4	3	2	1	0	
\$14	COORDY07~0								COORDY0
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – COORDY07~0 : ウェハ-Y座標バイト0 (Wafer Coordinate Y Byte 0)

このバイトはデバイスに対するウェハ-Y座標のバイト0を含みます。

4.14.16. COORDY1 – ウェハ-Y座標レジスタ1 (Wafer Coordinate Y register 1)

ビット	7	6	5	4	3	2	1	0	
\$15	COORDY17~0								COORDY1
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – COORDY17~0 : ウェハ-Y座標バイト1 (Wafer Coordinate Y Byte 1)

このバイトはデバイスに対するウェハ-Y座標のバイト1を含みます。

4.14.17. ADCACAL0 – ADCA校正レジスタ0 (ADCA Calibration register 0)

ADCACAL0とADCACAL1はA/D変換器A(ADCA)に対する校正値を含みます。校正はデバイスの製造検査中に行われます。この校正バイトはA/D変換器校正レジスタ内へ自動的に格納されず、故にソフトウェアで行われなければなりません。

ビット	7	6	5	4	3	2	1	0	
\$20	ADCACAL07~0								ADCACAL0
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – ADCACAL07~0 : A/D変換器A校正バイト0 (ADCA Calibration Byte 0)

このバイトはA/D変換器A校正データのバイト0を含み、これはADCAの校正下位(CALL)レジスタ内に格納されなければなりません。

4.14.18. ADCACAL1 – ADCA校正レジスタ1 (ADCA Calibration register 1)

ビット	7	6	5	4	3	2	1	0	
\$21	ADCACAL17~0								ADCACAL1
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – ADCACAL17~0 : A/D変換器A校正バイト1 (ADCA Calibration Byte 1)

このバイトはA/D変換器A校正データのバイト1を含みます。

4.14.19. TEMPSENSE0 – 温度感知器校正レジスタ0 (Temperature Sensor Calibration register 0)

TEMPSENSE0とTEMPSENSE1は内部温度感知器で行われた温度測定からの12ビットADCA変換値を含みます。この測定は製造検査に於いて85°Cで行われ、単点または多点温度感知器校正に使用することができます。

ビット	7	6	5	4	3	2	1	0	
\$2E	TEMPSENSE07~0								TEMPSENSE0
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – TEMPSENSE07~0 : 温度感知器校正バイト0 (Temperature Sensor Calibration Byte 0)

このバイトは温度測定のバイト0(下位8ビット)を含みます。

4.14.20. TEMPSENSE1 – 温度感知器校正レジスタ1 (Temperature Sensor Calibration register 1)

ビット	7	6	5	4	3	2	1	0	
\$2F	TEMPSENSE17~0								TEMPSENSE1
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	x	x	x	x	

● ビット7~0 – TEMPSENSE17~0 : 温度感知器校正バイト1 (Temperature Sensor Calibration Byte 1)

このバイトは温度測定のバイト1を含みます。

4.15. レジスタ説明 – 汎用I/Oメモリ

4.15.1. GPIORn – 汎用I/Oレジスタn (General Purpose I/O register n)

ビット	7	6	5	4	3	2	1	0	
+n	GPIORn7~0								GPIORn
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

これらはビット アクセス可能なI/Oメモリ空間でのフラグや全体変数のようなデータの格納に使用できる汎用レジスタです。

4.16. レジスタ説明 – MCU制御

4.16.1. DEVID0 – デバイスIDレジスタ0 (Device ID register 0)

DEVID0, DEVID1, DEVID2レジスタは各マイクロコントローラデバイス形式を識別するバイト識別を含みます。実際のIDの詳細についてはデバイスのデータシートを参照してください。

ビット	7	6	5	4	3	2	1	0	
+\$00	DEVID7~0								DEVID0
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	1	1	1	1	0	

● ビット7~0 – DEVID7~0 : デバイスID第1バイト (Device ID Byte 0)

デバイスIDの第1バイト。このバイトは常に\$1Eとして読めます。これはAtmelによって製造されたことを示します。

4.16.2. DEVID1 – デバイスIDレジスタ1 (Device ID register 1)

ビット	7	6	5	4	3	2	1	0	
+\$01	DEVID15~8								DEVID1
Read/Write	R	R	R	R	R	R	R	R	
初期値	1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0	

● ビット7~0 – DEVID15~8 : デバイスID第2バイト (Device ID Byte 1)

デバイスIDの第2バイトはデバイスのフラッシュ容量を示します。

4.16.3. DEVID2 – デバイスIDレジスタ2 (Device ID register 2)

ビット	7	6	5	4	3	2	1	0	
+\$02	DEVID23~16								DEVID2
Read/Write	R	R	R	R	R	R	R	R	
初期値	1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0	

● ビット7~0 – DEVID23~16 : デバイスID第3バイト (Device ID Byte 2)

デバイスIDの第3バイトはデバイス番号を示します。

4.16.4. REVID – 改訂ID (Revision ID)

ビット	7	6	5	4	3	2	1	0	
+\$03	–	–	–	–	REVID3~0				REVID
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	1/0	1/0	1/0	1/0	

● ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。

● ビット3~0 – REVID3~0 : 改訂版ID (Revision ID)

これらのビットはデバイス改訂版番号を含みます。0=A, 1=B, 以下同様です。

4.16.5. ANAINIT – アナログ初期化レジスタ (Analog Initialization register)

ビット	7	6	5	4	3	2	1	0	
+\$07	–	–	–	–	–	–	STARTUPDLYA1,0		ANAINIT
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

●ビット1,0 – STARTUPDLYA1,0 : 始動遅延

これらのビット設定はそれらのポートに接続された主な入出力と共にA/D変換器(ADC)、アナログ比較器(AC)に使用される内部部分の連続的な(時間差での)開始を許可します。これが行われると、基準電圧やバイアス電流のような内部部分はその部署が許可された時に連続的に開始されます。これは部署の始動中の尖頭消費電流を減らします。最大効果のため、始動遅延は $0.5\mu\text{s}$ よりも大きくなるように設定されるべきです。

表4-12. アナログ始動遅延

STARTUPDLYA1~0	群形態設定	内容
0 0	NONE	直始動
0 1	2CLK	$2 \times \text{clk}_{\text{PER}}$
1 0	8CLK	$8 \times \text{clk}_{\text{PER}}$
1 1	32CLK	$32 \times \text{clk}_{\text{PER}}$

4.16.6. EVSYSLOCK – 事象システム施錠レジスタ (Event System Lock register)

ビット +\$08	7	6	5	4	3	2	1	0	
	–	–	–	–	–	–	–	EVSYS0LOCK	EVSYSLOCK
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7~1 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

●ビット0 – EVSYS0LOCK : 事象0群施錠

このビットの設定(1)は更なる変更へ備えて事象チャネル0~3に関連する事象システム内の全てのレジスタを施錠します。事象システム内の次のレジスタ、CH0MUX, CH0CTRL, CH1MUX, CH1CTRL, CH2MUX, CH2CTRL, CH3MUX, CH3CTRLが施錠されます。このビットは形態設定変更保護機構によって保護されており、この詳細については9頁の「形態設定変更保護」を参照してください。

4.16.7. AWEXLOCK – 新波形拡張施錠レジスタ (Advanced Waveform Extension Lock register)

ビット +\$09	7	6	5	4	3	2	1	0	
	–	–	–	–	–	–	–	AWEXCLOCK	AWEXLOCK
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7~1 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

●ビット0 – AWEXCLOCK : TCC0用新波形拡張施錠 (Advanced Waveform Extension Lock for TCC0)

このビットの設定(1)は更なる変更へ備えて(ポートC配置の)タイマ/カウンタC0用の新波形拡張(AWEX)部(AWEXC)内の全レジスタを施錠します。このビットは形態設定変更保護機構によって保護されています。この詳細については10頁の「形態設定変更保護」を参照してください。

4.17. レジスタ要約 – NVM制御器

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$10	LOCKBITS	BLBB1,0		BLBA1,0		BLBAT1,0		LB1,0		20
+\$0F	STATUS	NVMBUSY	FBUSY	–	–	–	–	EELOAD	FLOAD	20
+\$0E	予約	–	–	–	–	–	–	–	–	
+\$0D	INTCTRL	–	–	–	–	SPMLVL1,0		EELVL1,0		20
+\$0C	CTRLB	–	–	–	–	EEMAPEN	FPRM	EPRM	SPMLOCK	19
+\$0B	CTRLA	–	–	–	–	–	–	–	CMDEX	19
+\$0A	CMD	–	CMD6~0							19
+\$09	予約	–	–	–	–	–	–	–	–	
+\$08	予約	–	–	–	–	–	–	–	–	
+\$07	予約	–	–	–	–	–	–	–	–	
+\$06	DATA2	DATA23~16 (データ バイト2)								18
+\$05	DATA1	DATA15~8 (データ バイト1)								18
+\$04	DATA0	DATA7~0 (データ バイト0)								18
+\$03	予約	–	–	–	–	–	–	–	–	
+\$02	ADDR2	ADDR23~16 (アドレス バイト2)								18
+\$01	ADDR1	ADDR15~8 (アドレス バイト1)								18
+\$00	ADDR0	ADDR7~0 (アドレス バイト0)								18

4.18. レジスタ要約 – ヒューズと施錠ビット

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁	
+\$07	LOCKBITS	BLBB1,0		BLBA1,0		BLBAT1,0		LB1,0		23	
+\$06	予約	－	－	－	－	－	－	－	－		
+\$05	FUSEBYTE5	－	－	BODACT1,0		EESAVE	BODLEVEL2~0			22	
+\$04	FUSEBYTE4	－	－	－	RSTDISBL	STARTUPTIME1,0		WDLOCK	－	22	
+\$03	予約	－	－	－	－	－	－	－	－		
+\$02	FUSEBYTE2	－	BOOTRST	TOSCSEL	－	－	－	BODPD1,0		21	
+\$01	FUSEBYTE1	WDWPER3~0				WDPER3~0					21
+\$00	予約	－	－	－	－	－	－	－	－		

4.19. レジスタ要約 – 製品識票列

アドレス	自動 設定	略称	ビット7～0	頁	アドレス	自動 設定	略称	ビット7～0	頁
\$00	○	RCOSC2M	RCOSC2M7～0	25	\$20	×	ADCACAL0	ADCACAL07～0	28
\$01	○	RCOSC2MA	RCOSC2MA7～0	25	\$21	×	ADCACAL1	ADCACAL17～0	28
\$02	○	RCOSC32K	RCOSC32K7～0	25	\$22		予約		
\$03	○	RCOSC32M	RCOSC32M7～0	25	\$23		予約		
\$04	○	RCOSC32MA	RCOSC32MA7～0	25	\$24		予約		
\$05		予約			\$25		予約		
\$06		予約			\$26		予約		
\$07		予約			\$27		予約		
\$08	×	LOTNUM0	LOTNUM07～0	26	\$28		予約		
\$09	×	LOTNUM1	LOTNUM17～0	26	\$29		予約		
\$0A	×	LOTNUM2	LOTNUM27～0	26	\$2A		予約		
\$0B	×	LOTNUM3	LOTNUM37～0	26	\$2B		予約		
\$0C	×	LOTNUM4	LOTNUM47～0	26	\$2C		予約		
\$0D	×	LOTNUM5	LOTNUM57～0	26	\$2D		予約		
\$0E		予約			\$2E	×	TEMPSENSE0	TEMPSENSE07～0	28
\$0F		予約			\$2F	×	TEMPSENSE1	TEMPSENSE17～0	28
\$10	×	WAFNUM	WAFNUM7～0	27	\$30		予約		
\$11		予約			\$31		予約		
\$12	×	COORDX0	COORDX07～0	27	\$32		予約		
\$13	×	COORDX1	COORDX17～0	27	\$33		予約		
\$14	×	COORDY0	COORDY07～0	27	\$34		予約		
\$15	×	COORDY1	COORDY17～0	27	\$35		予約		
\$16		予約			\$36		予約		
\$17		予約			\$37		予約		
\$18		予約			\$38		予約		
\$19		予約			\$39		予約		
\$1A		予約			\$3A		予約		
\$1B		予約			\$3B		予約		
\$1C		予約			\$3C		予約		
\$1D		予約			\$3D		予約		
\$1E		予約			\$3E		予約		
\$1F		予約			\$3F		予約		

4.20. レジスタ要約 – 汎用I/Oレジスタ

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$03	GPIOR3					GPIOR37～0				28
+\$02	GPIOR2					GPIOR27～0				28
+\$01	GPIOR1					GPIOR17～0				28
+\$00	GPIOR0					GPIOR07～0				28

4.21. レジスタ要約 – MCU制御

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$0B	予約	–	–	–	–	–	–	–	–	
+\$0A	予約	–	–	–	–	–	–	–	–	
+\$09	AWEXLOCK	–	–	–	–	–	–	–	AWEXCLOCK	30
+\$08	EVSYSLCK	–	–	–	–	–	–	–	EVSYSLCK	30
+\$07	ANAINIT	–	–	–	–	–	–	STARTUPDLYA1,0		29
+\$06	予約	–	–	–	–	–	–	–	–	
+\$05	予約	–	–	–	–	–	–	–	–	
+\$04	予約	–	–	–	–	–	–	–	–	
+\$03	REVID	–	–	–	–	REVID3~0				29
+\$02	DEVID2	DEVID23~16								29
+\$01	DEVID1	DEVID15~8								29
+\$00	DEVID0	DEVID7~0								29

4.22. 割り込みベクタ要約 – NVM制御器

変位	記述例	割り込み内容
\$00	EE_vect	不揮発性メモリEEPROM割り込みベクタ
\$02	SPM_vect	不揮発性メモリSPM割り込みベクタ

5. 事象システム

5.1. 要点

- 周辺機能から周辺機能への直接的な通信と合図のためのシステム
- 周辺機能は周辺機能事象へ直接的に送る、受ける、反応が可能
 - CPUとの個別動作
 - 100%予測可能な信号タイミング
 - 短く保証された応答時間
- 4つまでの異なる平行信号経路と形態設定の4つの事象チャネル
- 事象は殆どの周辺機能、クロック系、ソフトウェアによって送出、そして/または使用することが可能
- 以下の付加機能
 - 直交復号
 - 入出力ピン状態のデジタル濾波
- 活動動作とアイドル動作で作動

5.2. 概要

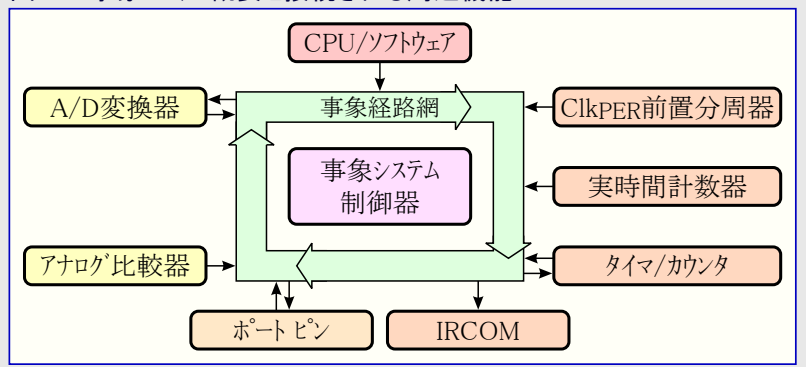
事象システムは周辺機能から周辺機能への直接的な通信と合図を許します。それは或る周辺機能の状態変化から別の周辺機能の自動起動活動を許します。これは周辺機能間の短くて予測可能な応答時間のために予測可能な系を提供するために設計されています。これは割り込みCPU資源なしで、自律の周辺機能制御と相互作用を許し、従ってこれは応用コードの複雑さ、大きさ、実行時間を減らすための強力な道具です。それはまた、多数の周辺機能部署での同期した活動タイミングを許します。

周辺機能の状態変化は事象として参照され、通常、周辺機能の割り込み条件に対応します。事象は事象経路網と呼ばれる専用の配線網を用いて他の周辺機能へ直接渡すことができます。周辺機能によって事象がどう配線され、どう使用されるかはソフトウェアで形態設定されます。

図5-1は接続された全ての周辺機能の基本構成図を示します。事象システムはA/D変換器、アナログ比較器、入出力ポートピン、実時間計数器、タイマ/カウンタ、IR通信部署(IRCOM)を共に直接的に接続することができます。事象はソフトウェアと周辺クロックからも生成することができます。

事象配線網は事象がどう配線され、どう使用されるかを制御する、ソフトウェアで形態設定可能な4つの多重器から成ります。これらは事象チャネルと呼ばれ、4つまでの並列事象形態設定と配線を許します。最大配線遅れは2周辺クロック周期です。事象システムは活動動作とアイドル休止動作の両形態で動きます。

図5-1. 事象システム概要と接続される周辺機能

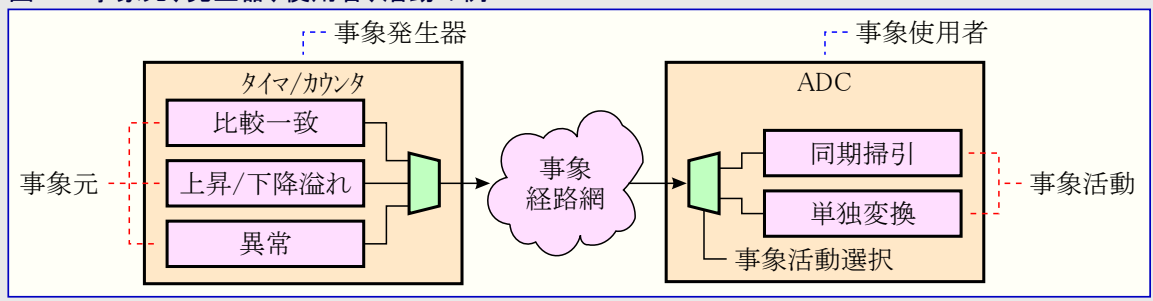


5.3. 事象

事象システムの関係に於いては周辺機能内で状態変化が起きたことの指示が事象と呼ばれます。これらは2つの主な事象、合図事象とデータ事象です。合図事象は状態変化を指示するだけで、一方データ事象は事象についての付加情報を含みます。

事象原点である周辺機能は事象発生器と呼ばれます。各周辺機能内、例えばタイマ/カウンタにはタイマ比較一致やタイマ上昇溢れのような多くの事象元があります。事象を使用する周辺機能は事象使用者と呼ばれ、起動される動作は事象活動と呼ばれます。

図5-2. 事象元、発生器、使用者、活動の例



事象はソフトウェアに於いて手動で発生することもできます。

5.3.1. 合図事象

合図事象は最も基本的な事象形式です。合図事象は周辺機能での変化指示を別にして何の情報も含みません。殆どの周辺機能は合図事象を生成して使用することができます。他に断りが無ければ、語'事象'の全表記は合図事象と理解されるべきです。

5.3.2. データ事象

データ事象は事象使用者が受信情報に基いて事象活動を決めるのに復号できる情報をそれらが含むことで合図事象と異なります。事象経路網が全事象を全事象使用者へ経路付けすることができるとは言え、合図事象の使用だけを意図するそれらはデータ事象の利用に必要な復号能力を持ちません。事象使用者がデータ事象をどう復号するかは表5-1.で示されます。データ事象を利用できる事象使用者は合図事象も使用できます。これは設定可能で、各周辺機能に対するデータシート部分で記述されます。

5.3.3. 周辺クロック事象

各事象チャンネルは1(前置分周なし)~32768の範囲を持つ周辺クロック前置分周器を含みます。これは周辺クロックに基づく、設定可能な周期的事象生成を許します。これは周辺機能での周期的な起動事象または多数の周辺機能での周期的な同期された起動事象が可能です。各事象チャンネルが前置分周器を含むため、異なる周辺機能は異なる間隔での起動を受け取ることができます。

5.3.4. ソフトウェア事象

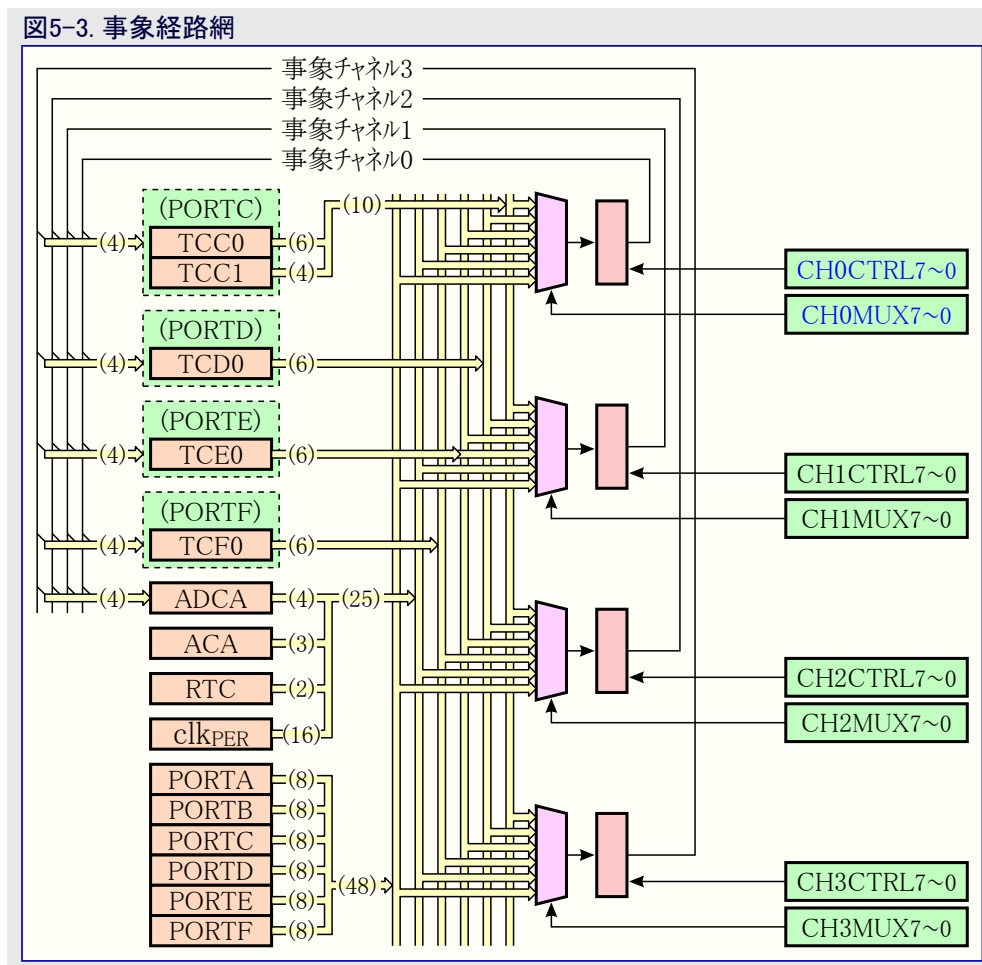
事象は事象データ(DATA)と事象発動(STROBE)のレジスタを書くことによってソフトウェアから生成することができます。STROBEレジスタ書き込みが動作を起動するので、DATAレジスタが先に書かれなければなりません。DATAとSTROBEのレジスタは各事象チャンネルに対する1ビットを含みます。ビットnが事象チャンネルnに対応します。多数のビット位置を一度に書くことによって同時に多数のチャンネルで事象を生成することが可能です。ソフトウェア生成事象は1クロック周期間持続し、そのクロック周期間でそのチャンネル上の他の事象生成器からの事象を上書きします。

表5-1.は各種事象がどう手動生成でき、どう復号されるのかを示します。

表5-1. 手動生成事象と事象の復号			
STROBE	DATA	データ事象使用者	合図事象使用者
0	0	事象なし	事象なし
0	1	データ事象01	事象なし
1	0	データ事象02	合図事象
1	1	データ事象03	合図事象

5.4. 事象経路網

事象経路網は周辺機能間の事象を経路付けします。これは各々がどの事象元をどの事象使用者へも配線するように形態設定することができる4つの多重器(CHnMUX)から成ります。多重器からの出力は事象チャンネルとして参照されます。各周辺機能については、やって来る事象が事象活動を起動すべきかどうかを選択可能です。形態設定の詳細については各周辺機能に関するデータシートで得られます。事象経路網は図5-3.で示されます。



4つの多重器は同時に4つまでの事象の経路付けが可能であることを意味します。1つの事象を沢山の多重器を通して経路付けすることも可能です。

全てのXMEGAデバイスが全ての周辺機能を含む訳ではありません。これはその周辺機能が事象の生成と使用に利用できないことだけを意味します。それ自身の網形態は全デバイス間で一致します。

5.5. 事象タイミング

通常、事象は1周辺クロック周期間持続しますが、I/OピンのLowレベルのようないくつかの事象元は継続的に事象を生成するでしょう。この詳細は各周辺機能に対するデータシートで記述されますが、その他言及がなければ事象は1周辺クロック周期間持続します。

事象が生成される時から他の周辺機能の事象活動が起動されるまでには最大2クロック周期かかります。これはCPUの負荷またはソフトウェア改訂と無関係に、短くて100%予測可能な応答時間を保証します。

5.6. 濾波

各事象チャンネルはデジタル濾波器を含みます。これが許可されると、それが受け入れられる前に形態設定可能なシステムクロック周期数と同じ値分で採取されなければなりません。これは本来ピン変化事象用に意図されています。

5.7. 直交復号器

事象システムはデバイスに、I/Oピンの直交入力用の復号と、タイマ/カウンタが上昇計数、下降計数、または指標/リセットへ復号し得るデータ事象の送出を許す、3つの直交復号器(QDEC)を含みます。表5-2.はどの直交復号器データ事象が利用可能か、そしてそれらがどう復号されるか、それらがどう生成され得るかを示します。QDECと関連する機能、制御と状態のレジスタは事象チャンネル0で利用できます。

表5-2. 直交復号器データ事象

STROBE	DATA	データ事象使用者	合図事象使用者
0	0	事象なし	事象なし
0	1	指標/リセット	事象なし
1	0	下降計数	合図事象
1	1	上昇計数	合図事象

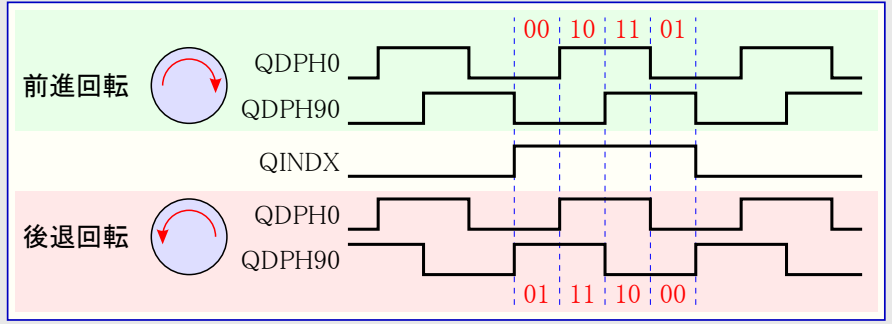
5.7.1. 直交動作

直交信号は互いに90°シフトされた位相関係の2つの方形波を持つことによって特徴付けられます。回転運動は2つの波形の端を計数することによって測定することができます。2つ方形波間の位相関係が回転方向を決めます。

図5-4.は回転符号器からの代表的な直交信号を示します。QDPH0とQDPH90の信号が2つの直交信号です。QDPH90がQDPH0より先行するとき、回転は正または正転として定義されます。QDPH0がQDPH90より先行するとき、回転は負または逆転として定義されます。2相信号の関連は直交状態または位相状態と呼ばれます。

絶対的な回転変位を知るために第3の指標信号(QINDX)が使用できます。これは1回転毎の指示を与えます。

図5-4. 回転符号器からの直交信号



5.7.2. QDEC初期設定

完全なQDEC初期設定については以下が必要とされます。

- ・ 直交信号入力用の2または3つのI/Oポートピン
- ・ 直交復号用の2つの事象システム
- ・ 上昇、下降と任意の指標計数用の1つのタイマ/カウンタ

QDEC初期設定に関して次の手順が使用されるべきです。

1. QDEC相入力としてポートの2つの連続するピンを選択してください。
2. QDPH0とQDPH90に対してピン方向を入力として設定してください。
3. QDPH0とQDPH90に対してピン形態をLowレベル感知条件に設定してください。
4. 事象チャンネルnに対する多重器入力としてQDPH0ピンを選択してください。
5. 事象チャンネルで直交復号とデジタル濾波を許可してください。
6. 任意選択:
 1. QDEC指標(QINDX)を初期設定してください。
 2. QINDX入力用の第3のピンを選択してください。
 3. QINDXに対してピン方向を入力として設定してください。
 4. QINDXに対するピン形態を両端感知条件に設定してください。
 5. 事象チャンネルn+1に対する多重器入力としてQINDXを選択してください。
 6. 事象チャンネルで直交復号指標許可(QDIEN)ビットを設定(1)してください。
 7. 事象チャンネルで直交復号指標認証動作(QDIRM1,0)を選択してください。
7. タイマ/カウンタに対して事象活動として直交復号を設定してください。
8. タイマ/カウンタ事象元として事象チャンネルnを選択してください。
9. タイマ/カウンタの定期(PER)レジスタを(直交符号器の直線計数数×4-1)に設定してください。
10. クロック前置分周なしでタイマ/カウンタを許可してください。

QDPH0, QDPH90(とQINDX)へ装着された直交符号器の角度が今やタイマ/カウンタ計数(CNTH:CNTRL)レジスタから直接読めます。指標が認識された時に計数レジスタがBOTTOMと異なる場合、タイマ/カウンタ異常フラグ(ERRIF)が設定(1)されます。同様に指標の認識なしに計数器の位置がBOTTOMを通る場合も異常フラグが設定(1)されます。

5.8. レジスタ説明

5.8.1. CHnMUX – 事象チャネル多重器レジスタ (Event Channel n Multiplexer register)

ビット +n	7	6	5	4	3	2	1	0	CHnMUX
	CHnMUX7~0								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – CHnMUX7~0 : チャネル多重器選択 (Channel Multiplexer)

これらのビットは表5-3.に従って事象元を選びます。この表は周辺機能が存在するか否かに拘らず全てのXMEGAデバイスに対して有効です。存在しない周辺機能からの事象元選択は、このレジスタが0の時と同じ結果を与えます。このレジスタが0の時、その間は経路付けされる事象はありません。手動生成事象はCHnMUXを無視し、例えばこのレジスタが0でもその事象チャネルへ経路付けします。

表5-4. タイマ/カウンタ事象形式E (注)

T/C事象	群形態設定	事象形式
0 0 0	TCxn_OVF	上昇/下降溢れ
0 0 1	TCxn_ERR	異常
0 1 0		(予約)
0 1 1		(予約)
1 0 0	TCxn_CCA	捕獲または比較A
1 0 1	TCxn_CCB	捕獲または比較B
1 1 0	TCxn_CCC	捕獲または比較C
1 1 1	TCxn_CCD	捕獲または比較D

注: x=C,D,E,F。n=0,1。

(訳注) 表5-3.の赤文字A~Fと表5-4.の赤文字xは基本的に複数同一周辺機能の個別指定に用いられ、それは各周辺機能がポート単位で配置されます。従ってこれらの文字はポート種別を表し、例えば対タイマ/カウンタC0はポートCに配置されたタイマ/カウンタ0を意味します。

表5-3. CHnMUXビット設定

CHnMUX7~4				CHnMUX3~0				群形態設定	事象元
0 0 0 0	0	0	0	0	0				なし(手動生成事象のみ)
0 0 0 0	0	0	0	0	1				(予約)
0 0 0 0	0	0	1	x					(予約)
0 0 0 0	0	1	x	x					(予約)
0 0 0 0	1	0	0	0				RTC_OVF	RTC上昇溢れ
0 0 0 0	1	0	0	1				RTC_CMP	RTC比較一致
0 0 0 0	1	0	1	x					(予約)
0 0 0 0	1	1	x	x					(予約)
0 0 0 1	0	0	0	0				ACA_CH0	ACAチャネル0
0 0 0 1	0	0	0	1				ACA_CH1	ACAチャネル1
0 0 0 1	0	0	1	0				ACA_WIN	ACA窓
0 0 0 1	0	0	1	1					(予約)
0 0 0 1	0	1	x	x					(予約)
0 0 0 1	1	x	x	x					(予約)
0 0 1 0	0	0	0	0				ADCA_CH0	ADCAチャネル0
0 0 1 0	0	0	0	1					(予約)
0 0 1 0	0	0	1	x					(予約)
0 0 1 0	0	1	x	x					(予約)
0 0 1 0	1	x	x	x					(予約)
0 0 1 1	x	x	x	x					(予約)
0 1 0 0	x	x	x	x					(予約)
0 1 0 1	0		n					PORTA_PINn	PORTAピンn(n=0~7) (注)
0 1 0 1	1		n					PORTB_PINn	PORTBピンn(n=0~7) (注)
0 1 1 0	0		n					PORTC_PINn	PORTCピンn(n=0~7) (注)
0 1 1 0	1		n					PORTD_PINn	PORTDピンn(n=0~7) (注)
0 1 1 1	0		n					PORTE_PINn	PORTEピンn(n=0~7) (注)
0 1 1 1	1		n					PORTF_PINn	PORTFピンn(n=0~7) (注)
1 0 0 0			M					PRESCALER_M	M分周Clk _{PER} (M=1~32768)
1 0 0 1	x	x	x	x					(予約)
1 0 1 0	x	x	x	x					(予約)
1 0 1 1	x	x	x	x					(予約)
1 1 0 0	0		E					表5-4.参照	タイマ/カウンタC0事象形式E
1 1 0 0	1		E					表5-4.参照	タイマ/カウンタC1事象形式E
1 1 0 1	0		E					表5-4.参照	タイマ/カウンタD0事象形式E
1 1 0 1	1	x	x	x					(予約)
1 1 1 0	0		E					表5-4.参照	タイマ/カウンタE0事象形式E
1 1 1 0	1	x	x	x					(予約)
1 1 1 1	0		E					表5-4.参照	タイマ/カウンタF0事象形式E
1 1 1 1	1	x	x	x					(予約)

注: ポートがどう事象を生成するかの記事は77頁の「ポート事象」項で記述されます。

5.8.2. CHnCTRL – 事象チャネルn制御レジスタ (Event Channel n Control register)

ビット +\$08+n	7	6	5	4	3	2	1	0	
	–	QDIRM1,0 (注)	QDIEN(注)	QDEN		QDEN(注)			CHnCTRL
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注: CH0CTRLとCH2CTRLに対してのみ利用可能。これらのビットはCH1CTRLとCH3CTRLで予約されています。

● ビット7 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット6,5 – QDIRM1,0 : 直交復号指標認識動作 (Quadrature Decode Index Recognition Mode)

これらのビットは有効な指標信号が認識される位置に対するQDPH0とQDPH90の直交状態を決め、そして表5-5に従って計数器指標データ事象が与えられます。これらのビットは接続された指標信号と共に直交復号器を用いる時にだけ設定されるべきです。これらのビットはCH0CTRLとCH2CTRLに対してのみ利用可能です。

表5-5. QDIRMビット設定

QDIRM1,0	指標認識状態
0 0	{QDPH0,QDPH90}=00
0 1	{QDPH0,QDPH90}=01
1 0	{QDPH0,QDPH90}=10
1 1	{QDPH0,QDPH90}=11

● ビット4 – QDIEN : 直交復号指標許可 (Quadrature Decode Index Enable)

このビットが設定(1)されると、事象チャネルはQDEC指標元として使用され、指標データ事象が許可されます。

このビットはCH0CTRLとCH2CTRLに対してのみ利用可能です。

● ビット3 – QDEN : 直交復号許可 (Quadrature Decode Enable)

このビットの設定(1)がQDEC動作を許可します。

このビットはCH0CTRLとCH2CTRLに対してのみ利用可能です。

● ビット2~0 – DIGFILT2~0 : デジタル濾波器係数 (Digital Filter Coefficient)

これらのビットは表5-6に従って、デジタル濾波器で使用する長さを定義します。事象は、事象元がDIGFILTで定義された周辺クロック数間活性(有効)で且つ同じレベルで採取される時にだけ、事象チャネルを通じて渡されます。

表5-6. デジタル濾波器係数値

DIGFILT2~0	群形態設定	内容
0 0 0	1SAMPLE	1採取
0 0 1	2SAMPLE	2採取
0 1 0	3SAMPLE	3採取
0 1 1	4SAMPLE	4採取
1 0 0	5SAMPLE	5採取
1 0 1	6SAMPLE	6採取
1 1 0	7SAMPLE	7採取
1 1 1	8SAMPLE	8採取

5.8.3. STROBE – 発動レジスタ (Strobe register)

ビット +\$10	7	6	5	4	3	2	1	0	
	–	–	–	–		STROBE3~0			STROBE
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3~0 – STROBE3~0 : 事象発動ビット (Event Strobe bits)

STROBEレジスタ位置が書かれ、どれかが0と等しくない場合、各事象チャネルはSTROBE_nと対応するDATAnビット設定に従って設定されます。

1周辺クロック間持続する単一事象が生成されます。

5.8.4. DATA – データレジスタ (Data register)

ビット	7	6	5	4	3	2	1	0	
+\$11	–	–	–	–	DATA3~0				DATA
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3~0 – DATA3~0 : 事象データビット (Event Data bits)

このレジスタはデータ事象を手動生成する時のデータ値を含みます。このレジスタは事象発動(STROBE)レジスタの前に書かれなければなりません。詳細については「[STROBE – 発動レジスタ](#)」をご覧ください。

5.9. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$11	DATA	–	–	–	–	DATA3~0				40
+\$10	STROBE	–	–	–	–	STROBE3~0				39
+\$0F	予約	–	–	–	–	–	–	–	–	
+\$0E	予約	–	–	–	–	–	–	–	–	
+\$0D	予約	–	–	–	–	–	–	–	–	
+\$0C	予約	–	–	–	–	–	–	–	–	
+\$0B	CH3CTRL	–	–	–	–	–	DIGFILT2~0			39
+\$0A	CH2CTRL	–	QDIRM1,0		QDIEN	QDEN	DIGFILT2~0			39
+\$09	CH1CTRL	–	–	–	–	–	DIGFILT2~0			39
+\$08	CH0CTRL	–	QDIRM1,0		QDIEN	QDEN	DIGFILT2~0			39
+\$07	予約	–	–	–	–	–	–	–	–	
+\$06	予約	–	–	–	–	–	–	–	–	
+\$05	予約	–	–	–	–	–	–	–	–	
+\$04	予約	–	–	–	–	–	–	–	–	
+\$03	CH3MUX	CH3MUX7~0								38
+\$02	CH2MUX	CH2MUX7~0								38
+\$01	CH1MUX	CH1MUX7~0								38
+\$00	CH0MUX	CH0MUX7~0								38

6. システム クロックとクロック選択

6.1. 要点

- 高速な始動時間
- 安全な走行時クロック切り替え
- 内部発振器:
 - 32MHz走行時校正付き発振器
 - 2MHz走行時校正付き発振器
 - 32.768kHz校正付き発振器
 - 1kHz出力を持つ32kHz超低電力(ULP)発振器
- 外部クロック任意選択
 - 0.4~16MHzクリスタル用発振器
 - 32.768kHzクリスタル用発振器
 - 外部クロック信号
- 20~128MHz出力周波数を持つPLL
 - 内部及び外部クロック任意選択と1~31通倍
 - 固定化検出器
- 1~2048分周のクロック前置分周器
- CPUクロックの2倍と4倍で走行する高速周辺クロック
- 内部発振器の走行時自動校正
- 任意選択遮蔽不可割り込みを持つ、外部発振器とPLL固定化失敗検出

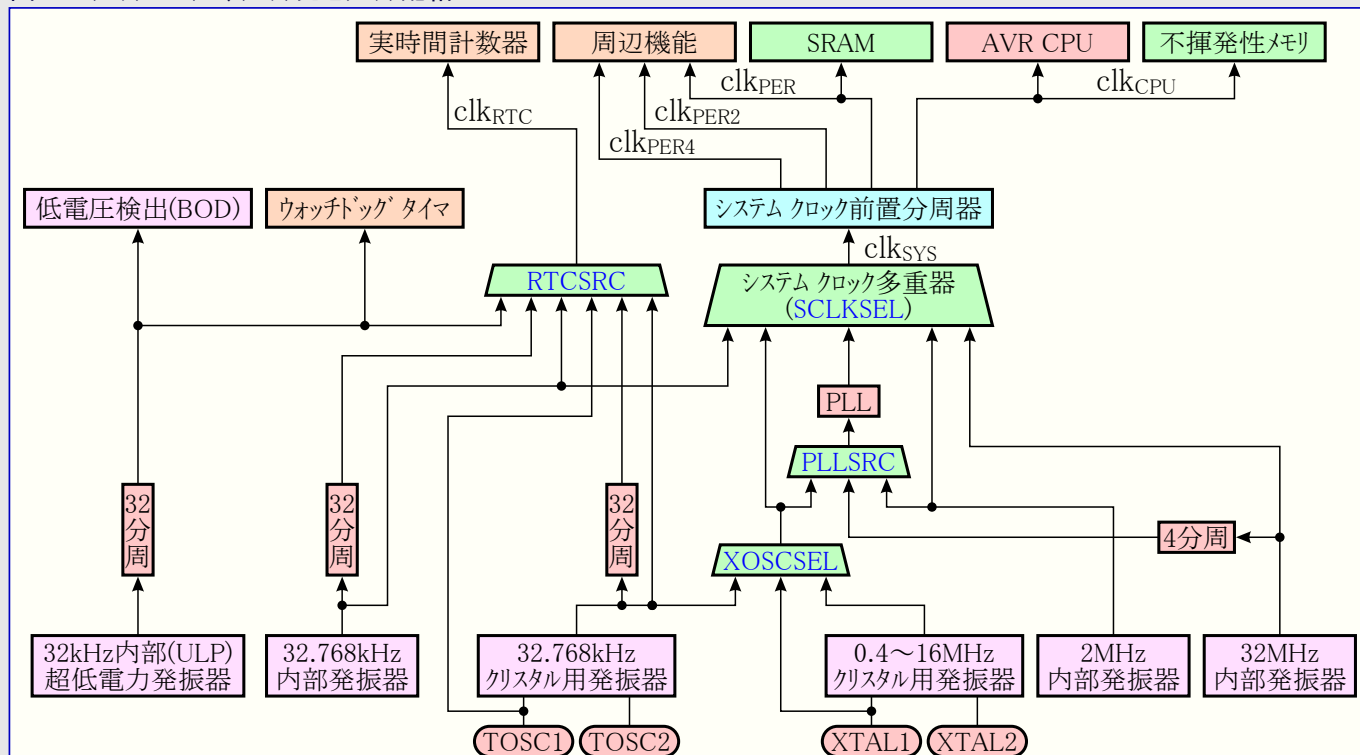
6.2. 概要

XMEGAデバイスは多数のクロック元を支援する柔軟なクロックシステムを持ちます。これは正確な内部発振器と外部のクリスタル発振器とセラミック振動子の支援の両方を結合します。高周波数の位相固定閉路(PLL:Phase Locked Loop)とクロック前置分周器が広い範囲のクロック周波数生成に使用できます。校正機能(DPLL)が利用可能で、電圧と温度に渡る周波数変動を取り去るための内部発振器の走行時自動校正に使用できます。クリスタル用発振器停止監視器は外部発振器やPLLが停止した場合に遮蔽不可割り込みの発行と内部発振器の切り替えを許可することができます。

リセット発生時、32kHz超低電力を除く全ての発振器が禁止されます。リセット後、デバイスは常に2MHz内部発振器からの走行で始動します。標準動作の間はシステムクロック元と前置分周器はソフトウェアによって何時でも変更することができます。

図6-1.はXMEGA系デバイスの原則的なクロックシステムを表します。クロックの全てが与えられた時間での活動を必要とする訳ではありません。CPUと周辺機能用のクロックは55頁の「電力管理と休止形態動作」で記述されるように、休止形態動作と電力削減レジスタを使用して停止することができます。

図6-1. クロック システム、クロック元とクロック配給



6.3. クロック配給

図6-1. はXMEGAデバイスで使用する原則的なクロック配給系統を表します。

6.3.1. システム クロック – `clksys`

システム クロックは主システム クロック選択からの出力です。これは非同期クロックとUSBクロックを除く全ての内部クロックを生成するのに使用される前置分周器に供給されます。

6.3.2. CPUクロック – `clkCPU`

CPUクロックはCPUと不揮発性メモリへ送られます。CPUクロックの停止は命令実行からCPUを抑制します。

6.3.3. 周辺クロック – `clkPER`

主要な周辺機能とシステム部署がこの周辺クロックを使用します。これには事象システム、割り込み制御器とSRAMを含みます。このクロックは常にCPUクロックに同期しますが、例えばCPUクロックがOFFされても動作できます。

6.3.4. 周辺2倍/4倍クロック – `clkPER2`, `clkPER4`

CPUクロック周波数の2または4倍で動作できる部署は2倍周辺クロックと4倍周辺クロックを使用できます。

6.3.5. 非同期クロック – `clkRTC`

非同期クロックは外部32.768kHzクリスタル用発振器、32.768kHz内部発振器からの32分周出力、または超低電力(ULP)発振器からの直接クロック駆動を実時間計数器(RTC)に許します。例えばデバイスが休止形態動作で残りのクロックが停止されても、専用のクロック範囲がこれらの周辺機能の動作を許します。

6.4. クロック元

クロック元は2つの主な群、内部発振器と外部クロック元に分けられます。クロック元の殆どはソフトウェアから直接的に許可と禁止ができ、一方その他は周辺機能設定に依存して自動的に許可または禁止されます。リセット後にデバイスは2MHz内部発振器からの走行で始動します。既定での他のクロック元、DFLL、PLLはOFFされます。

6.4.1. 内部発振器

内部発振器は動作のためにどんな外部部品も必要としません。内部発振器の特性と精度の詳細についてはデバイスのデータシートを参照してください。

6.4.1.1. 32kHz超低電力発振器

この発振器は概ね32kHzのクロックを提供します。32kHz超低電力(ULP)内部発振器は非常に低い電力のクロック元で、これは高い精度用に設計されていません。この発振器は1kHz出力を提供する組み込み前置分周器を使用します。詳細については47頁の「[RTCCTRL – 実時間計数器\(RTC\)制御レジスタ](#)」をご覧ください。デバイスのどれかの部分に対するクロック元として使用される時に、この発振器は自動的に許可/禁止されます。この発振器はRTCに対するクロック元として選択することができます。

6.4.1.2. 32.768kHz校正付き内部発振器

この発振器は概ね32.768kHzのクロックを提供します。これは公称周波数に近い既定周波数を提供するため、製造中に校正されます。[32.768kHz発振器校正\(RC32KCAL\)レジスタ](#)は発振器周波数の走行時校正のためにソフトウェアからも書けます。発振器は32.768kHz出力と1.024kHz出力の両方を提供する組み込み前置分周器を使用します。詳細については47頁の「[RTCCTRL – 実時間計数器\(RTC\)制御レジスタ](#)」をご覧ください。

6.4.1.3. 32MHz走行時校正付き内部発振器

32MHz走行時校正内部発振器は高周波数発振器です。これは公称周波数に近い既定周波数を提供するため、製造中に校正されます。デジタル固定化閉路(DFLL)は温度と電圧の変動補償と発振器精度の最適化のために、発振器の自動走行時校正を許可することができます。この発振器は30～55MHz間の何れかの周波数に調整と校正をすることもできます。

6.4.1.4. 2MHz走行時校正付き内部発振器

2MHz走行時校正内部発振器はリセット後の既定システム クロック元です。これは公称周波数に近い既定周波数を提供するため、製造中に校正されます。デジタル固定化閉路(DFLL)は温度と電圧の変動補償と発振器精度の最適化のために、発振器の自動走行時校正を許可することができます。

6.4.2. 外部クロック元

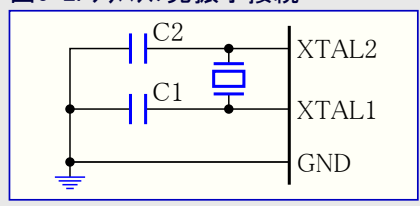
XTAL1とXTAL2ピンは水晶クリスタルまたはセラミック振動子のどちらに対しても、外部発振器を駆動するのに使用できます。XTAL1は外部クロック信号に対する入力としても使用できます。TSOC1とTOSC2ピンは32.768kHzクリスタル用発振器駆動専用です。

6.4.2.1. 0.4～16MHzクリスタル用発振器

この発振器は0.4～16MHz内全てを含む各周波数範囲に最適化された4つの異なる動作で働けます。図6-2はクリスタル発振子またはセラミック振動子の代表的な接続を示します。

C1とC2の2つの容量は接続されたクリスタルで必要とされる負荷容量と合わせるために追加することができます。

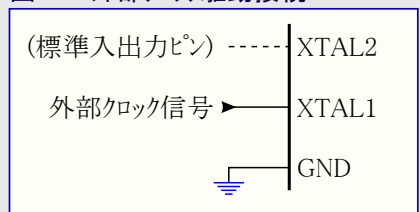
図6-2. クリスタル発振子接続



6.4.2.2. 外部クロック入力

外部クロック元からデバイスを駆動するには、XTAL1が図6-3で示されるように駆動されなければなりません。この動作ではXTAL2が標準I/Oピンとして使用できます。

図6-3. 外部クロック駆動接続

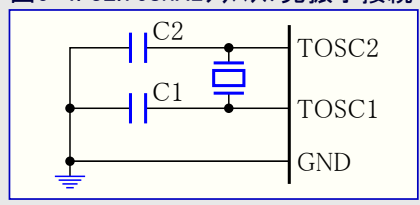


6.4.2.3. 32.768kHzクリスタル用発振器

32.768kHzクリスタル用発振器は専用の低周波数発振器入力回路を許可することによってTOSC1とTOSC2のピン間に接続できます。代表的な接続は図6-4で示されます。TOSC2での振幅電圧を減らした低電力動作が利用可能です。この発振器はシステムクロック、RTCに対するクロック元として、DFLL基準として使用できます。

C1とC2の2つの容量は接続されたクリスタルで必要とされる負荷容量と合わせるために追加することができます。推奨されるTOSC特性と負荷容量の詳細についてはデバイスのデータシートを参照してください。

図6-4. 32.768kHzクリスタル発振子接続

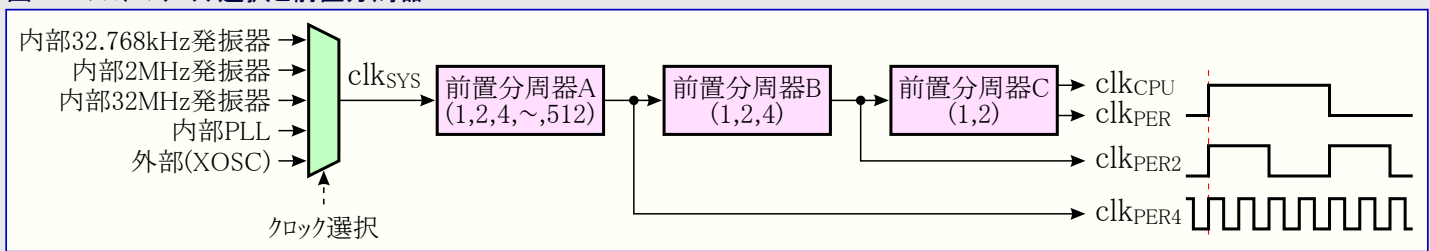


6.5. システムクロック選択と前置分周器

全ての校正付き内部発振器、外部クロック元(XOSC)、PLL出力がシステムクロック元として使用できます。システムクロック元はソフトウェアから選択可能で、通常動作の間に変更することができます。組み込みハードウェア保護が安全でないクロック切り換えを防ぎます。不活性または禁止されている発振器をクロック元として選択することと、システムクロックとして現在使用している発振器を禁止することは不可能です。発振器の準備可を調べるために各発振器はソフトウェアから読むことができる状態フラグを持っています。

システムクロックはそれをCPUや周辺機能へ配給する前にクロック信号を1～2048分周できる前置分周部へ供給されます。前置分周器設定は通常動作の間にソフトウェアから変更できます。初段の前置分周器Aは1～512分周できます。そして前置分周器BとCは個別にクロックをそのまま通すか、または合同で1～4分周するかのどちらかに形態設定できます。前置分周器は前置分周器設定変更時に起こる中間の周波数やグリッチのないことと、(正しい)位相を常に保証します。前置分周器設定は最低クロックの上昇端に従って更新されます。

図6-5. システムクロック選択と前置分周器



前置分周器Aはシステムクロックを分周し、その結果のクロックがclkPER4です。CPUクロック周波数の2または4倍での動作を周辺機能に許すために、前置分周器BとCはクロック速度の更なる分周を許すことができます。前置分周器BとCが使用されない場合は、全てのクロックが前置分周器Aからの出力として同じ周波数で動作します。

システムクロック選択と前置分周レジスタは、システムクロックと前置分周器設定の変更に対して時間制限書き込み手順を使用する形態設定変更保護機構によって保護されています。詳細については10頁の「形態設定変更保護」を参照してください。

6.6. 1～31の倍率を持つPLL

組み込み位相固定化閉路(PLL:Phase Locked Loop)は高周波数システム クロックを生成するのに使用できます。PLLは使用者が選択可能な1～31の倍率を持ちます。出力周波数 f_{OUT} は倍率PLL_FACで乗算された入力周波数 f_{IN} によって与えられます。

$$f_{OUT} = f_{IN} \times PLL_FAC$$

PLLへの入力として4つの異なるクロック元が選択できます。

- 2MHz内部発振器
- 4分周された32MHz内部発振器
- 0.4～16MHzクリスタル用発振器
- 外部クロック信号

PLLを許可するには次の手順に従わなければなりません。

1. 基準クロック元を許可してください。
2. 倍率を設定し、PLLに対する基準クロックを選択してください。
3. 基準クロック元が安定するまで待ってください。
4. PLLを許可してください。

PLLが使用中の時にPLL形態設定が変更できないことをハードウェアが保証します。PLLは新しい形態設定が書かれ得る前に禁止されなければなりません。

選択したクロック元が安定してPLLが固定化する前にPLLを使用することはできません。

PLLが走行中、基準クロック元を禁止することはできません。

6.7. DFLL 2MHzとDFLL 32MHz

2MHzと32MHzの内部発振器の精度を改善するために2つの組み込みデジタル周波数固定化閉路(DFLL:Digital Frequency Locked Loop)が使用できます。発振器の走行時自動校正と、温度と電圧の変動の補償を行うために、DFLLは発振器周波数をより高い精度の発振器と比較します。基準クロック元に関する選択は次の通りです。

- 32.768kHz校正付き内部発振器
- TOSCピンに接続された32.768kHzクリスタル用発振器
- 外部クロック

DFLLは1.024kHz基準を使用するので発振器基準クロックを32分周します。**図6-6.**で示されるように、基準クロックは各DFLLに対して個別に選択されます。

リセット中に内部発振器と1.024kHz基準クロック間の周波数比を表す理想計数値が**DFLL発振器比較(COMP2,COMP1)レジスタ**に設定されます。32MHz発振器について、このレジスタは異なる周波数で発振器を走行させるため、または基準クロックと発振器間の比率が異なる時にソフトウェアから書くことができます。

COMPレジスタに書かれるべき値は次式によって与えられます。

$$COMP = \text{hex} \left(\frac{f_{OSC}}{f_{RCnCREF}} \right)$$

DFLL許可時、それは基準クロック周波数と発振器周波数間の比率を制御します。内部発振器が速すぎるまたは遅すぎる動作なら、DFLLは発振器周波数を調節するためにその校正レジスタ値を1つ増加または減少します。誤差が1/2較正段階量よりも大きい時に発振器は速すぎるまたは遅すぎると見做されます。

DFLLは発振器が停止される休止形態動作へ移行する時に停止します。起動後、DFLLは休止形態移行前に得た校正値で(動作を)継続します。DFLL校正レジスタのセット値は製品識票列から読むことができます。

DFLLが禁止されると、DFLL校正レジスタは発振器の走行時手動校正用にソフトウェアから書くことができます。

図6-6. DFLL基準クロック選択

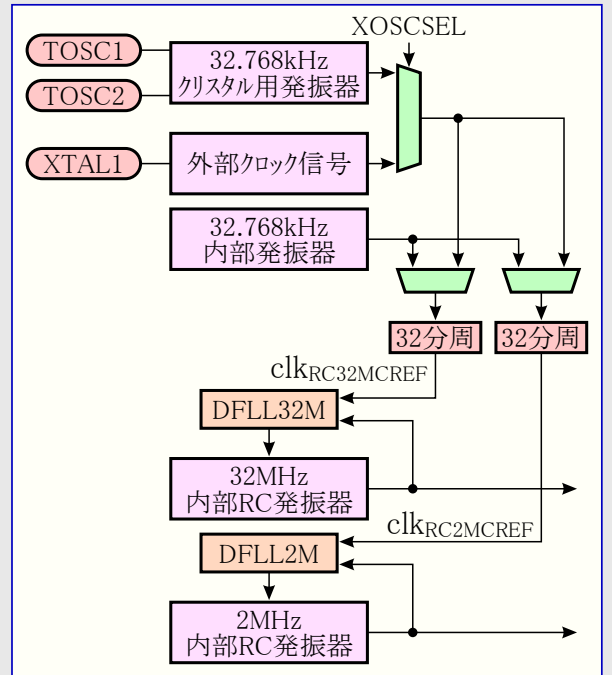
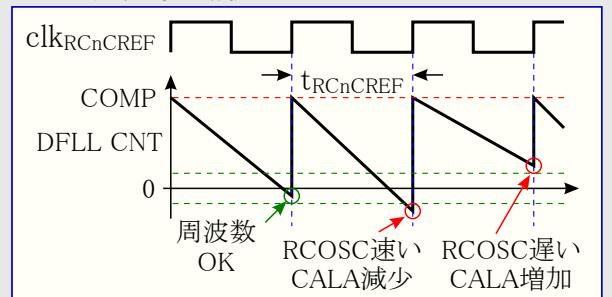


図6-7. 走行時自動校正



6.8. PLLと外部クロック元停止監視器

PLLと外部クロック元に対して組み込み停止監視器が利用可能です。PLLや外部クロック元に関して停止監視器が許可され、このクロック元がシステムクロックとして使用されている間に失敗(PLLが固定化を失う、または外部クロック元停止)の場合、デバイスは以下を行います。

- 2MHz内部発振器でシステムクロックを走行するように切り替えます。
- 発振器制御(CTRL)レジスタとシステムクロック制御(CTRL)レジスタをそれらの既定値にリセットします。
- 失敗したクロック元(PLLまたは外部クロック)に対する停止検出割り込み要求フラグ(PLLFDFIFまたはXOSCFDIF)を設定(1)します。
- 遮蔽不可割り込み(NMI)を発行します。

システムクロック元として使用されていない時にPLLまたは外部発振器が停止した場合、それが自動的に禁止される一方で、システムクロックは通常動作を継続します。NMIは発行されません。停止監視器は32kHz異常の外部クロック元を予定されています。

停止監視器が許可されると、次のリセットまでそれを禁止することはできません。

停止監視器はPLLまたは外部クロック元が停止される全ての休止形態動作で禁止されます。休止形態からの起動の間にそれは自動的に再開されます。

PLLと外部クロック元停止監視器設定は設定を変更するのに時間制限書き込み手順を使用する形態設定変更保護機構によって保護されています。詳細については10頁の「[形態設定変更保護](#)」を参照してください。

6.9. レジスタ説明 – クロック

6.9.1. CTRL – 制御レジスタ (Control register)

ビット +\$00	7	6	5	4	3	2	1	0	
	–	–	–	–	–	SCLKSEL2~0			CTRL
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~3 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット2~0 – SCLKSEL2~0 : システム クロック選択 (System Clock Selection)

これらのビットはシステム クロック用の供給元を選ぶのに使用されます。各種選択については表6-1をご覧ください。システム クロック元変更は旧クロック元で2クロック周期と新クロック元で2クロック周期かかります。これらのビットは形態設置変更保護機構によって保護されています。詳細については10頁の「形態設置変更保護」を参照してください。

SCLKSELは新しいクロック元が安定でない場合に変更することができません。旧クロックはクロック切り替えが完了されるまで禁止することができません。

表6-1. システム クロック選択

SCLKSEL2~0	群形態設定	内容
0 0 0	RC2MHZ	2MHz内部RC発振器
0 0 1	RC32MHZ	32MHz内部環状発振器
0 1 0	RC32KHZ	32.768kHz内部RC発振器
0 1 1	XOSC	外部発振器またはクロック
1 0 0	PLL	位相固定化閉路(PLL)
1 0 1	–	(予約)
1 1 0	–	(予約)
1 1 1	–	(予約)

6.9.2. PSCTRL – 前置分周レジスタ (Prescaler register)

このレジスタは形態設置変更保護機構によって保護されています。詳細については10頁の「形態設置変更保護」を参照してください。

ビット +\$01	7	6	5	4	3	2	1	0	
	–	PSADIV4~0					PSBCDIV1,0		PSCTRL
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット6~2 – PSADIV4~0 : 前置分周器A分周係数 (Prescaler A Division Factor)

これらのビットは表6-2に従ったクロック前置分周器Aの分周比を定義します。これらのビットはシステム クロックclk_{sys}に比例するclk_{per4}の周波数を変更するので、走行時に書くことができます。

表6-2. 前置分周器Aの分周係数

PSADIV4~0	群形態設定	内容
0 0 0 0 0	1	分周なし
0 0 0 0 1	2	2分周
0 0 0 1 1	4	4分周
0 0 1 0 1	8	8分周
0 0 1 1 1	16	16分周
0 1 0 0 1	32	32分周
0 1 0 1 1	64	64分周
0 1 1 0 1	128	128分周
0 1 1 1 1	256	256分周
1 0 0 0 1	512	512分周
1 0 1 0 1		(予約)
1 0 1 1 1		(予約)
1 1 0 0 1		(予約)
1 1 0 1 1		(予約)
1 1 1 0 0		(予約)
1 1 1 1 1		(予約)

● ビット1,0 – PSBCDIV1,0 : 前置分周器B,C分周係数 (Prescaler B and C Division Factor)

これらのビットは表6-3.に従ってクロック前置分周器BとCの分周比を定義します。前置分周器Bはclk_{PER4}クロックに比例するclk_{PER2}クロックのクロック周波数を設定します。前置分周器Cはclk_{PER2}に比例するclk_{PER}とclk_{CPU}クロックのクロック周波数を設定します。より多くの詳細については43頁の図6-5.を参照してください。

表6-3. 前置分周器BとCの分周係数

PSBCDIV1,0	群形態設定	分周数	
		B	C
0 0	1_1	分周なし	分周なし
0 1	1_2	分周なし	2分周
1 0	4_1	4分周	分周なし
1 1	2_2	2分周	2分周

6.9.3. LOCK – 施錠レジスタ (Lock register)

ビット +\$02	7	6	5	4	3	2	1	0	
	–	–	–	–	–	–	–	LOCK	LOCK
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~1 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット0 – LOCK : クロックシステム施錠 (Clock System Lock)

このビットが1を書かれると、システムクロック制御(CTRL)レジスタとシステムクロック前置分周器(PSCTRL)レジスタが変更できなくなり、システムクロック選択と前置分周器設定は次のリセット後まで全ての更なる更新に対して保護されます。このビットは形態設定変更保護機構によって保護されています。詳細については10頁の「形態設定変更保護」を参照してください。

LOCKビットはリセットによってのみ解除(0)されます。

6.9.4. RTCCTRL – 実時間計数器(RTC)制御レジスタ (RTC Control register)

ビット +\$03	7	6	5	4	3	2	1	0	
	–	–	–	–	RTCSRC2~0			RTCEN	RTCCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3~1 – RTCSRC2~0 : RTCクロック元選択 (RTC Clock Source)

これらのビットは表6-4.に従って実時間計数器(RTC)に対するクロック元を選びます。

表6-4. RTCクロック元選択

RTCSRC2~0	群形態設定	内容
0 0 0	ULP	内部32kHz超低電力(ULP)発振器からの1kHz
0 0 1	TOSC	TOSCでの32.768kHzクリスタル用発振器からの1.024kHz
0 1 0	RCOSC	32.768kHz内部RC発振器からの1.024kHz
0 1 1	–	(予約)
1 0 0	–	(予約)
1 0 1	TOSC32	TOSCでの32.768kHzクリスタル用発振器からの32.768kHz
1 1 0	RCOSC32	32.768kHz内部RC発振器からの32.768kHz
1 1 1	EXTCLK	TOSC1からの外部クロック信号

● ビット0 – RTCEN : RTCクロック元許可 (RTC Clock Source Enable)

RTCENビットの設定(1)が実時間計数器(RTC)に対して選択したクロック元を許可します。

6.10. レジスタ説明 – 発振器

6.10.1. CTRL – 発振器制御レジスタ (Oscillator Control register)

ビット +\$00	7	6	5	4	3	2	1	0	
	–	–	–	PLLEN	XOSCEN	RC32KEN	RC32MEN	RC2MEN	CTRL
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	1	

● ビット7~5 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット4 – PLLEN : PLL許可 (PLL Enable)

このビットの設定(1)がPLLを許可します。PLLが許可される前に、PLLは望む倍率とクロック元で形態設定されなければなりません。「STATUS – 発振器状態レジスタ」をご覧ください。

● ビット3 – XOSCEN : 外部用発振器許可 (External Oscillator Enable)

このビットの設定(1)が選択した外部クロック元を許可します。外部クロック元の選択法の詳細については49頁の「XOSCCTRL – XOSC制御レジスタ」を参照してください。外部クロック元はそれがシステムクロックに対する供給元として選択される前に安定させる時間を与えられるべきです。「STATUS – 発振器状態レジスタ」をご覧ください。

● ビット2 – RC32KEN : 32.768kHz内部発振器許可 (32.768kHz Internal Oscillator Enable)

このビットの設定(1)が32.768kHz内部発振器を許可します。発振器はシステムクロックに対する供給元として選択される前に安定していなければなりません。「STATUS – 発振器状態レジスタ」をご覧ください。

● ビット1 – RC32MEN : 32MHz内部発振器許可 (32MHz Internal Oscillator Enable)

このビットの設定(1)が32MHz内部発振器を許可します。発振器はシステムクロックに対する供給元として選択される前に安定していなければなりません。「STATUS – 発振器状態レジスタ」をご覧ください。

● ビット0 – RC2MEN : 2MHz内部発振器許可 (2MHz Internal Oscillator Enable)

このビットの設定(1)が2MHz内部発振器を許可します。発振器はシステムクロックに対する供給元として選択される前に安定していなければなりません。「STATUS – 発振器状態レジスタ」をご覧ください。

既定により、このビットが設定(1)されて2MHz内部発振器が許可されます。

6.10.2. STATUS – 発振器状態レジスタ (Oscillator Status register)

ビット +\$01	7	6	5	4	3	2	1	0	
	–	–	–	PLLRDY	XOSCRDY	RC32KRDY	RC32MRDY	RC2MRDY	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● ビット7~5 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット4 – PLLRDY : PLL準備可 (PLL Ready)

このフラグはPLLが選択した周波数に固定化され、システムクロック元として使用する準備が整った時に設定(1)されます。

● ビット3 – XOSCRDY : 外部発振器準備可 (External Oscillator Ready)

このフラグは外部クロック元が安定し、システムクロック元として使用する準備が整った時に設定(1)されます。

● ビット2 – RC32KRDY : 32.768kHz内部発振器準備可 (32.768kHz Internal RC Oscillator Ready)

このフラグは32.768kHz内部発振器が安定し、システムクロック元として使用する準備が整った時に設定(1)されます。

● ビット1 – RC32MRDY : 32MHz内部発振器準備可 (32MHz Internal RC Oscillator Ready)

このフラグは32MHz内部発振器が安定し、システムクロック元として使用する準備が整った時に設定(1)されます。

● ビット0 – RC2MRDY : 2MHz内部発振器準備可 (2MHz Internal RC Oscillator Ready)

このフラグは2MHz内部発振器が安定し、システムクロック元として使用する準備が整った時に設定(1)されます。

6.10.3. XOSCCTRL – 外部用発振器制御レジスタ (XOSC Control register)

ビット +\$02	7	6	5	4	3	2	1	0	
	FRQRANGE1,0	X32KLPM	XOSCPWR			XOSCSEL3~0			XOSCCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 – FRQRANGE1,0 : 0.4~16MHzクリスタル用発振器周波数範囲選択 (Crystal Oscillator Frequency Range Select)

これらのビットは表6-5に従って接続されたクリスタル用発振器に対する周波数範囲を選びます。

表6-5. 発振器周波数範囲選択

FRQRANGE1,0	群形態設定	周波数範囲 (MHz)	推奨容量 (pF)
0 0	04TO2	0.4~2	100~300
0 1	2TO9	2~9	10~40
1 0	9TO12	9~12	10~40
1 1	12TO16	12~16	10~30

● ビット5 – X32KLPM : 32.768kHzクリスタル用発振器低電力動作 (Crystal Oscillator 32.768kHz Low Power Mode)

このビットの設定(1)が32.768kHzクリスタル用発振器に対する低電力動作を許可します。これはTOSC2ピンでの振幅を減らします。

● ビット4 – XOSCPWR : クリスタル用発振器駆動 (Crystal Oscillator Drive)

このビットの設定(1)は0.4~16MHzクリスタル用発振器の電流を増し、XTAL2ピンの振れを増します。これはクリスタル用発振器周波数範囲選択(FRQRANGE)ビットによって指定されるよりも高い負荷または高い周波数でのクリスタル駆動を許します。

この機能は0.4~16MHzクリスタル用発振器が選択される場合に許可されます。

● ビット3~0 – XOSCSEL3~0 : クリスタル用発振器選択 (Crystal Oscillator Selection)

これらのビットはXTALまたはTOSCのピンに接続されるクリスタル発振器またはセラミック振動子用の形式と始動時間を選びます。クリスタル選択については表6-6をご覧ください。システムクロックの供給元として外部クロックまたは外部用発振器が選択されている場合(発振器制御(CTRL)レジスタをご覧ください)に、この形態設定は変更することができません。

表6-6. 外部用発振器選択と始動時間

XOSCSEL3~0	群形態設定	選択クロック元	始動時間
0 0 0 0 (注3)	EXTCLK	外部クロック信号	6×CLK
0 0 1 0 (注3)	32KHZ	32.768kHz TOSC	16k×CLK
0 0 1 1 (注1)	XTAL_256CLK	0.4~16MHz XTAL	256×CLK
0 1 1 1 (注2)	XTAL_1KCLK	0.4~16MHz XTAL	1k×CLK
1 0 1 1	XTAL_16KCLK	0.4~16MHz XTAL	16k×CLK

注1: この任意選択は始動での周波数安定性が応用で重要でない時にだけ使用されるべきです。この任意選択はクリスタル用に適合しません。

注2: この任意選択はセラミック振動子での使用を意図され、始動での周波数安定性を保証するでしょう。また、始動での周波数安定性が応用で重要でない時にも使用できます。

注3: DFLL用の基準として外部発振器が使用される時はEXTCLKと32KHZだけを選択することができます。

6.10.4. XOSCFAIL – 外部用発振器停止検出レジスタ (XOSC Failure Detection register)

ビット +\$03	7	6	5	4	3	2	1	0	
	–	–	–	–	PLLFDFIF	PLLFDEN	XOSCFDIF	XOSCFDEN	XOSCFAIL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3 – PLLFDIF : PLL失敗検出割り込み要求フラグ (PLL Failure Detection Flag)

PLL失敗検出が許可されているなら、PLL固定化が失われた時PLLFDIFが設定(1)されます。この位置への論理1書き込みがPLLFDIFを解除(0)します。

● ビット2 – PLLFDEN : PLL失敗検出許可 (PLL Failure Detection Enable)

このビットの設定(1)はPLL失敗検出を許可します。PLL失敗検出割り込み要求フラグ(PLLFDIF)が設定(1)される時に遮蔽不可割り込み(NMI)が発行されます。

このビットは形態設定変更保護機構によって保護されています。詳細については10頁の「形態設定変更保護」を参照してください。

●ビット1 – XOSCFDIF : 外部クロック停止検出割り込み要求フラグ (Failure Detection Flag)

外部クロック元発振器停止監視器が許可されているなら、停止が検出された時にXOSCFDIFが設定(1)されます。この位置への論理1書き込みがXOSCFDIFを解除(0)します。

●ビット0 – XOSCFDEN : 外部クロック停止検出許可 (Failure Detection Enable)

このビットの設定(1)は停止検出を許可し、外部クロック停止検出割り込み要求フラグ(XOSCFDIF)が設定(1)される時に遮蔽不可割り込み(NMI)が発行されます。

このビットは形態設定変更保護機構によって保護されています。詳細については10頁の「形態設定変更保護」を参照してください。一旦許可されると、停止検出はリセットだけによって禁止されます。

6.10.5. RC32KCAL – 32.768kHz内部発振器校正レジスタ (32kHz Oscillator Calibration register)

ビット	7	6	5	4	3	2	1	0	
+\$04	RC32KCAL7~0								RC32KCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7~0 – RC32KCAL7~0 : 32.768kHz内部発振器校正値 (32kHz Internal Oscillator Calibration bits)

このレジスタは32.768kHz内部発振器の校正に使用されます。リセットの間に概ね32.768kHzの発振器周波数を与える工場校正値がデバイスの識票列から取得され、このレジスタへ書かれます。このレジスタは通常動作の間に発振器周波数を校正するためにソフトウェアから書くこともできます。

6.10.6. PLLCTRL – PLL制御レジスタ (PLL Control register)

ビット	7	6	5	4	3	2	1	0	
+\$05	PLLSRC1,0		PLLDIV	PLLFAC4~0					PLLCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7,6 – PLLSRC1,0 : PLLクロック元選択 (Clock Source)

PLLSRCビットは表6-7に従ってPLLに対する入力元を選びます。

表6-7. PLLクロック元

PLLSRC1,0	群形態設定	PLL入力元
0 0	RC2M	2MHz内部発振器
0 1	–	(予約)
1 0	RC32M	32MHz内部発振器
1 1	XOSC	外部クロック元 (注)

注: 32kHz TOSCはPLLへの供給元として選択できません。クロック元として使用されるべき外部クロックは最低0.4MHzでなければなりません。

●ビット5 – PLLDIV : PLL分周出力許可 (Multiplication Factor)

このビットの設定(1)はPLLからの出力を2分周します。

●ビット4~0 – PLLFAC4~0 : PLL倍率 (Multiplication Factor)

これらのビットはPLLに対する倍率を選びます。倍率は1~31倍の範囲にできます。

6.10.7. DFLLCTRL – DFLL制御レジスタ (DFLL Control register)

ビット	7	6	5	4	3	2	1	0	
+\$06	–	–	–	–	–	RC32MCREF1,0		RC2MCREF	DFLLCTRL
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7~3 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

●ビット2,1 – RC32MCREF1,0 : 32MHz校正基準選択 (32MHz Oscillator Calibration Reference)

これらのビットは表6-8.に従って32MHzのDFLLに対する校正元を選ぶのに使用されます。これらのビットはDFLLに使用する校正元だけを選びます。加えて、選択された実際のクロック元はこの機能の校正用に許可されて形態設定されなければなりません。

表6-8. 32MHz発振器基準選択

RC32MCREF1,0	群形態設定	内容
0 0	RC32K	32.768kHz内部発振器
0 1	XOSC32	TOSCでの32.768kHzクリスタル用発振器
1 0	–	(予約)
1 1	–	(予約)

●ビット0 – RC2MCREF : 2MHz校正基準選択 (2MHz Oscillator Calibration Reference)

このビットは2MHzのDFLLに対する校正元を選ぶのに使用されます。既定でのこのビットは0で、32.768kHz内部RC発振器が選ばれます。このビットが1に設定されたなら、基準としてTOSCに接続された32.768kHzクリスタル用発振器が選択されます。これらのビットはDFLLに使用する校正元だけを選びます。加えて、選択された実際のクロック元はこの機能の校正用に許可されて形態設定されなければなりません。

6.11. レジスタ説明 – DFLL32M/DFLL2M

6.11.1. CTRL – DFLL制御レジスタ (DFLL Control register)

ビット	7	6	5	4	3	2	1	0	
+\$00	–	–	–	–	–	–	–	ENABLE	CTRL
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7～1 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット0 – ENABLE : 許可 (Enable)

このビットの設定(1)がDFLLと内部発振器の自動校正を許可します。DFLLが許可される前に基準クロックが許可されて安定でなければなりません。

DFLL禁止後、ENABLEビットが0として読まれる前に基準クロックは禁止することができません。

6.11.2. CALA – DFLL校正レジスタA (DFLL Calibration register A)

CALBとCALAのレジスタは内部発振器の走行時自動校正に使用される13ビットのDFLL校正値を保持します。DFLLが禁止されている時は発振器の走行時手動校正用にソフトウェアによって校正レジスタに書くことができます。発振器はDFLLが禁止されている時もこれらのレジスタ内の校正値に従って校正されます。

ビット	7	6	5	4	3	2	1	0	
+\$02	–	CALA6~0							CALA
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	x	x	x	x	x	x	x	

● ビット7 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット6～0 – CALA6～0 : DFLL校正値6～0 (DFLL Calibration bits)

これらのビットは走行時自動校正に使用される発振器校正値の部分保持します。リセットの間に発振器用の公称周波数に近い発振器周波数を与える工場校正値がデバイスの識票列から取得され、このレジスタに書かれます。このビットはDFLLが許可されている時に書くことはできません。

6.11.3. CALB – DFLL校正レジスタB (DFLL Calibration register B)

ビット	7	6	5	4	3	2	1	0	
+\$03	–	–	CALB5~0						CALB
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	x	x	x	x	x	x	

● ビット7,6 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット5～0 – CALB5～0 : DFLL校正値5～0 (DFLL Calibration bits)

これらのビットは発振器周波数を選択するのに使用される発振器校正値の部分保持します。リセットの間に発振器用の公称周波数に近い発振器周波数を与える工場校正値がデバイスの識票列から取得され、このレジスタに書かれます。これらのビットは発振器の走行時自動校正の間、変更されません。このビットはDFLLが許可されている時に書くことはできません。既定と違う周波数に校正する時に、DFLLの範囲を最大にするためにCALAビットは中間値に設定されるべきです。

6.11.4. COMP1 – DFLL比較レジスタ1 (DFLL Compare register 1)

COMP2とCOMP1のレジスタ対は発振器と基準クロック間の周波数比を表します。これらのレジスタの初期値は内部発振器周波数と1.024kHz基準クロック間の比率です。

ビット	7	6	5	4	3	2	1	0	
+\$05	COMP7~0								COMP1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7~0 – COMP7~0 : 発振器比較値7~0 (Compare value byte 1)

これらのビットは16ビット比較レジスタの第1バイトを保持します。

6.11.5. COMP2 – DFLL比較レジスタ2 (DFLL Compare register 2)

ビット	7	6	5	4	3	2	1	0	
+\$06	COMP15~8								COMP2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7~0 – COMP15~8 : 発振器比較値15~8 (Compare value byte 2)

これらのビットは16ビット比較レジスタの第2バイトを保持します。

表6-9. 各種出力周波数の公称DFLL32M COMP値													
発振器周波数 (MHz)	30.0	32.0	34.0	36.0	38.0	40.0	42.0	44.0	46.0	48.0	50.0	52.0	54.0
COMP値 (clk _{RCh} CREF=1.024kHz)	\$7270	\$7A12	\$81B3	\$8954	\$90F5	\$9896	\$A037	\$A7D8	\$AF79	\$B71B	\$BEBC	\$C65D	\$CDFE

6.12. レジスタ要約 – クロック

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$07	予約	–	–	–	–	–	–	–	–	
+\$06	予約	–	–	–	–	–	–	–	–	
+\$05	予約	–	–	–	–	–	–	–	–	
+\$04	予約	–	–	–	–	–	–	–	–	
+\$03	RTCCTRL	–	–	–	–	RTCSRC2~0			RTCEN	47
+\$02	LOCK	–	–	–	–	–	–	–	LOCK	47
+\$01	PSCTRL	–	PSADIV4~0				PSBCDIV1,0			46
+\$00	CTRL	–	–	–	–	–	SCLKSEL2~0			46

6.13. レジスタ要約 – 発振器

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁	
+\$07	予約	－	－	－	－	－	－	－	－		
+\$06	DFLLCTRL	－	－	－	－	－	RC32MCREF1,0		RC2MCREF	50	
+\$05	PLLCTRL	PLLSRC1,0		－	PLLFAC4~0					50	
+\$04	RC32KCAL	RC32KCAL7~0									50
+\$03	XOSCFAIL	－	－	－	－	PLLFDF	PLLFDFEN	XOSCFDF	XOSCFDFEN	49	
+\$02	XOSCCTRL	FRQRANGE1,0		X32KLPM	XOSCPWR	XOSCSEL3~0					49
+\$01	STATUS	－	－	－	PLLRDY	XOSCRDY	RC32KRDY	RC32MRDY	RC2MRDY	48	
+\$00	CTRL	－	－	－	PLEN	XOSCEN	RC32KEN	RC32MEN	RC2MEN	48	

6.14. レジスタ要約 – DFLL32M/DFLL2M

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$07	予約	–	–	–	–	–	–	–	–	
+\$06	COMP2	COMP15~8								53
+\$05	COMP1	COMP7~0								53
+\$04	予約	–	–	–	–	–	–	–	–	
+\$03	CALB	–	–	CALB5~0						52
+\$02	CALA	–	CALA6~0							52
+\$01	予約	–	–	–	–	–	–	–	–	
+\$00	CTRL	–	–	–	–	–	–	–	ENABLE	52

6.15. 発振器停止割り込みベクタ要約

変位	記述例	割り込み内容
\$00	OSCF_vect	PLLと外部発振器停止割り込みベクタ (NMI)

7. 電力管理と休止形態動作

7.1. 要点

- 消費電力と機能を調節するための電力管理
- 5つの休止形態動作種別
 - アイドル
 - パワーダウン
 - パワーセーブ
 - スタンバイ
 - 拡張スタンバイ
- 活性とアイドルの動作形態でクロックを禁止して未使用周辺機能をOFFにするための電力削減レジスタ

7.2. 概要

電力消費を応用の必要条件に仕立てるために様々な休止形態動作とクロック開閉が提供されます。これは節電のための未使用部署の停止をXMEGAマイクロコントローラに許します。

全ての休止形態が利用可能で、活動動作から移行することができます。活動動作ではCPUが応用コードを実行します。デバイスが休止形態動作に移行すると、プログラム実行が停止され、再びデバイスを起動するのに割り込みまたはリセットが使用されます。応用コードは何時、どの休止動作形態へ移行するかを決めます。許可された周辺機能からの割り込みと許可された全てのリセット元がマイクロコントローラを休止から活動動作に回復することができます。

加えて、電力削減レジスタはソフトウェアから個別周辺機能へのクロックを停止する方法を提供します。これが行われると、周辺機能の現在の状態は凍結され、その周辺機能からの電力消費はありません。これは活動動作とアイドル動作での消費電力を減らし、休止形態動作だけよりも遥かに細かく調整された電力管理を可能にします。

7.3. 休止形態動作

休止形態動作は節電のためにマイクロコントローラ内の部署とクロック範囲を停止するのに使用されます。XMEGAマイクロコントローラは応用実行中の代表的な機能段に合うように調整された5つの異なる休止形態動作を持ちます。休止形態へ移行するための専用休止命令(SLEEP)が利用できます。休止からデバイスを起動するのに割り込みが使用され、利用可能な割り込み起動元は形態設定された休止形態種別に依存します。許可された割り込みが起こると、デバイスは起動し、SLEEP命令の後の最初の命令から通常のプログラム実行を継続する前に、割り込み処理ルーチンを実行します。起動が起きた時により高い優先権の他の割り込みが保留中の場合、起動割り込みに対する割り込み処理ルーチンが実行される前に、それらの割り込み処理ルーチンがそれらの優先権に従って実行されます。起動後、CPUは実行を開始する前に4クロック周期停止します。

表7-1. は各種休止形態動作と活動するクロック範囲、発振器と起動元を示します。

表7-1. 各休止形態動作での活動クロック範囲と起動元

休止形態種別	活動クロック範囲			発振器		起動元			
	CPU クロック	周辺 クロック	RTC クロック	システム クロック元	RTC クロック元	非同期ポート 割り込み	TWIアドレス一致 割り込み	RTC 割り込み	その他 割り込み
アイドル		○	○	○	○	○	○	○	○
パワーダウン						○	○		
パワーセーブ			○		○	○	○	○	
スタンバイ				○		○	○		
拡張スタンバイ			○	○	○	○	○	○	

デバイスに対する起動時間は休止形態種別と主クロック元に依存します。システムクロック元が走行を維持されない休止形態種別に対しては起動時間にシステムクロック元に対する始動時間に加えられなければなりません。各種発振器任意選択に対する始動時間の詳細については41頁の「システムクロックとクロック選択」を参照してください。

レジスタファイル、SRAM、I/Oレジスタの内容は休止中も維持されます。休止の間にリセットが起きた場合、デバイスはリセットし、リセットベクタから始動して実行します。

7.3.1. アイドル動作

アイドル動作ではCPUと不揮発性メモリが停止されますが(進行中のどのプログラミングも完了されることに注意)、割り込み制御器と事象システムを含む全ての周辺機能は動作を維持されます。許可されたどの割り込みもデバイスを起動します。

7.3.2. パワーダウン動作

パワーダウン動作では実時間計数器クロック元を含む全てのクロック元が停止されます。これは走行しているクロックを必要としない非同期部署だけの動作を許します。MCUを起動できる割り込みは2線インターフェースアドレス一致割り込み、非同期ポート割り込みだけです。

7.3.3. パワーセーブ動作

パワーセーブ動作は1つの例外(以下)を除いてパワーダウン動作と同じです。実時間計数器(RTC)が許可されているなら、それは休止中でも動作を維持され、デバイスはRTCの上昇溢れまたは比較一致の割り込みのどちらからでも起動できます。

7.3.4. スタンバイ動作

スタンバイ動作は許可されているシステムクロック元が動作を維持され、一方CPU、周辺機能、RTCのクロックが停止される例外を除いてパワーダウン動作と同じです。これは起動時間を減らします。

7.3.5. 拡張スタンバイ動作

拡張スタンバイ動作は許可されているシステムクロック元が動作を維持され、一方CPUと周辺機能のクロックが停止される例外を除いてパワーセーブ動作と同じです。これは起動時間を減らします。

7.4. 電力削減レジスタ

電力削減(PR)レジスタは個別周辺機能へのクロックを停止する方法を提供します。これが行われると、周辺機能の現在の状態は凍結され、関連するI/Oレジスタが読み書きできなくなります。周辺機能によって使用される資源は占有に留まり、従って殆どの場合で周辺機能はクロックを停止する前に禁止されるべきです。周辺機能へのクロックを再び許可することは、周辺機能を停止前と同じ状態にします。これは総電力消費を減らすためにアイドル動作と活動動作で使用できます。他の全ての休止形態動作では周辺クロックが既に停止されています。

全てのデバイスが電力削減レジスタ内のビットに関連する全ての周辺機能を持つ訳ではありません。利用不能の周辺機能に対する電力削減ビットの設定(1)は無効です。

7.5. 消費電力の最小化

AVR MCUで制御されるシステムで消費電力の最小化を試みる時に考慮する多数の検討点があります。一般的に応用が動作するのに必要とされる部署だけが保証するように、正しい休止形態が選択されて使用されるべきです。

必要とされない全ての機能は禁止されるべきです。特に以下の部署は可能な最低消費電力の達成を試みる時に特別な考慮を必要とするでしょう。

7.5.1. A/D変換器 – ADC

使用されないなら、アイドル動作へ移行する時にA/D変換器は禁止されるべきです。他の休止形態ではA/D変換器が自動的に禁止されます。A/D変換器がOFFそして再びONに切り替えられると、次の(最初の)変換は延長された(初回)変換になります。これは有効な変換を起動する前に使用者はADC始動時間の間待つべきことを意味します。A/D変換器操作の詳細については172頁の「ADC – A/D変換器」を参照してください。

7.5.2. アナログ比較器 – AC

アイドル動作移行時、アナログ比較器は使用されないなら、禁止されるべきです。他の休止形態ではアナログ比較器が自動的に禁止されます。けれども、アナログ比較器が入力として内部基準電圧を使用する構成設定の場合、アナログ比較器は全休止形態で禁止されるべきです。さもないと、内部基準電圧は休止形態と無関係に許可されます。アナログ比較器の形態設定法の詳細については190頁の「AC – アナログ比較器」を参照してください。

7.5.3. 低電圧検出器(BOD)

低電圧検出器(BOD)が応用で必要とされないなら、この部署はOFFにされるべきです。低電圧検出器がBODACTとBODPDのヒューズによって許可されていると全休止形態で許可され、常に電力を消費します。より深い休止形態では、消費電流を減らすためにOFFにして採取動作形態に設定することができます。低電圧検出器(BOD)の構成設定法の詳細については61頁の「低電圧検出(BOD)」を参照してください。

7.5.4. ウォッチドッグ タイマ

ウォッチドッグ タイマが応用で必要とされないなら、この部署はOFFにされるべきです。ウォッチドッグ タイマが許可されていると全休止形態で許可され、故に常時電力を消費します。ウォッチドッグ タイマの形態設定法の詳細については64頁の「WDT – ウォッチドッグ タイマ」を参照してください。

7.5.5. ポートピン

休止形態へ移行する時に全てのポートピンは最小電力使用に形態設定されるべきです。最も重要なことはその時にピンが抵抗性負荷を駆動しないのを保証することです。周辺クロック(clkPER)が停止される休止形態ではデバイスの入力緩衝部が禁止されます。これは必要とされない時に入力論理回路によって電力が消費されないことを保証します。

7.5.6. チップ上デバッグ システム

チップ上デバッグ システムが許可され、チップが休止動作形態に移行する場合、主クロック元が許可され、従って常に電力を消費します。より深い休止動作形態に於いて、これは総消費電流に対する重要な一因になります。

7.6. レジスタ説明 - 休止

7.6.1. CTRL - 制御レジスタ (Control register)

ビット +\$00	7	6	5	4	3	2	1	0	
	—	—	—	—	SMODE2~0			SEN	CTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3~1 - SMODE2~0 : 休止形態動作種別選択 (Sleep Mode Selection)

これらのビットは表7-2.に従って休止形態動作種別を選びます。

SMODE2~0	群形態設定	内容
0 0 0	IDLE	アイドル動作
0 0 1	—	(予約)
0 1 0	PDOWN	パワーダウン動作
0 1 1	PSAVE	パワーセーブ動作
1 0 0	—	(予約)
1 0 1	—	(予約)
1 1 0	STDBY	スタンバイ動作
1 1 1	ESTDBY	拡張スタンバイ動作

● ビット0 - SEN : 休止許可 (Sleep Enable)

SLEEP命令が実行される時にMCUを選択した休止形態動作に移行させるために、このビットが設定(1)されなければなりません。休止形態動作の予期せぬ移行を避けるために、SLEEP命令実行直前にSENを書き、起動後直ちに解除(0)することが推奨されます。

7.7. レジスタ説明 - 電力削減

7.7.1. PRGEN - 一般電力削減レジスタ (General Power Reduction register)

ビット +\$00	7	6	5	4	3	2	1	0	
	—	—	—	—	—	RTC	EVSYS	—	PRGEN
Read/Write	R	R	R	R	R	R/W	R/W	R	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット2 - RTC : 実時間計数器電力削減 (Real-Time Counter)

このビットの設定(1)が実時間計数器へ周辺クロックをOFFにします。これはレジスタ アクセス、割り込み生成、事象生成が停止されますが、計数器が動き続けることを意味します。

● ビット1 - EVSYS : 事象システム電力削減 (Event System)

このビットの設定(1)が事象システムへのクロックを停止します。このビットが解除(0)されると、部署は停止前のように継続(動作)します。

● ビット0 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

7.7.2. PRPA – ポートA電力削減レジスタ (Power Reduction Port A register)

ビット	7	6	5	4	3	2	1	0	
+\$01	–	–	–	–	–	–	ADC	AC	PRPA
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注: アナログ部署の禁止はインターフェースだけでなくアナログ部署それら自体へのクロックを停止します。

● ビット7~2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1 – ADC : A/D変換器(ADC)電力削減 (Power Reduction ADC)

このビットの設定(1)がA/D変換器(ADC)へのクロックを停止します。停止される前にADCが禁止されるべきです。

● ビット0 – AC : アナログ比較器(AC)電力削減 (Power Reduction AC)

このビットの設定(1)がアナログ比較器(AC)へのクロックを停止します。停止される前にACが禁止されるべきです。

7.7.3. PRPC/D/E/F – ポートC/D/E/F電力削減レジスタ (Power Reduction Port C/D/E/F register)

ビット	7	6	5	4	3	2	1	0	
+\$03~\$06	–	TWI	–	USART0	SPI	HIRES	TC1	TC0	PRPC/D/E/F
Read/Write	R	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注: ポートによって利用可能な部署(ビット)は異なります。詳細については各デバイスのデータシートで部署の有無を参照してください。

● ビット7 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット6 – TWI : 2線インターフェース(TWI)電力削減 (Two-Wire Interface)

このビットの設定(1)が2線インターフェースへのクロックを停止します。このビットが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

● ビット5 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット4 – USART0 : USART0電力削減 (USART0)

このビットの設定(1)がUSART0へのクロックを停止します。このビットが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

● ビット3 – SPI : 直列周辺インターフェース(SPI)電力削減 (Serial Peripheral Interface)

このビットの設定(1)がSPIへのクロックを停止します。このビットが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

● ビット2 – HIRES : 高分解能拡張電力削減 (Hi-Resolution Extension)

このビットの設定(1)がタイマ/カウンタに対する高分解能拡張へのクロックを停止します。このビットが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

● ビット1 – TC1 : タイマ/カウンタ1(TC1)電力削減 (Timer/Counter 1)

このビットの設定(1)がタイマ/カウンタ1へのクロックを停止します。このビットが解除(0)されると、周辺機能は停止前のように継続(動作)します。

● ビット0 – TC0 : タイマ/カウンタ0(TC0)電力削減 (Timer/Counter 0)

このビットの設定(1)がタイマ/カウンタ0へのクロックを停止します。このビットが解除(0)されると、周辺機能は停止前のように継続(動作)します。

7.8. レジスタ要約 – 休止

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$07	予約	–	–	–	–	–	–	–	–	
+\$06	予約	–	–	–	–	–	–	–	–	
+\$05	予約	–	–	–	–	–	–	–	–	
+\$04	予約	–	–	–	–	–	–	–	–	
+\$03	予約	–	–	–	–	–	–	–	–	
+\$02	予約	–	–	–	–	–	–	–	–	
+\$01	予約	–	–	–	–	–	–	–	–	
+\$00	CTRL	–	–	–	–	SMODE2~0			SEN	57

7.9. レジスタ要約 – 電力削減

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$07	予約	–	–	–	–	–	–	–	–	
+\$06	PRPF	–	–	–	USART0	–	–	–	TC0	58
+\$05	PRPE	–	TWI	–	USART0	–	–	–	TC0	58
+\$04	PRPD	–	–	–	USART0	SPI	–	–	TC0	58
+\$03	PRPC	–	TWI	–	USART0	SPI	HIRES	TC1	TC0	58
+\$02	予約	–	–	–	–	–	–	–	–	
+\$01	PRPA	–	–	–	–	–	–	ADC	AC	58
+\$00	PRGEN	–	–	–	–	–	RTC	EVSYS	–	57

8. リセット体系

8.1. 要点

- リセット元が活性になる時にマイクロコントローラをリセットして初期状態に設定
- 各種状況を網羅する多数のリセット元
 - 電源ONリセット
 - 外部リセット
 - ウォッチドッグ リセット
 - 低電圧(Brown-out)リセット
 - PDIリセット
 - ソフトウェア リセット
- 非同期動作
 - リセットにデバイス内のシステムクロックの走行が全く不要
- 応用コर्टからリセット元を読み取るためのリセット状態レジスタ

8.2. 概要

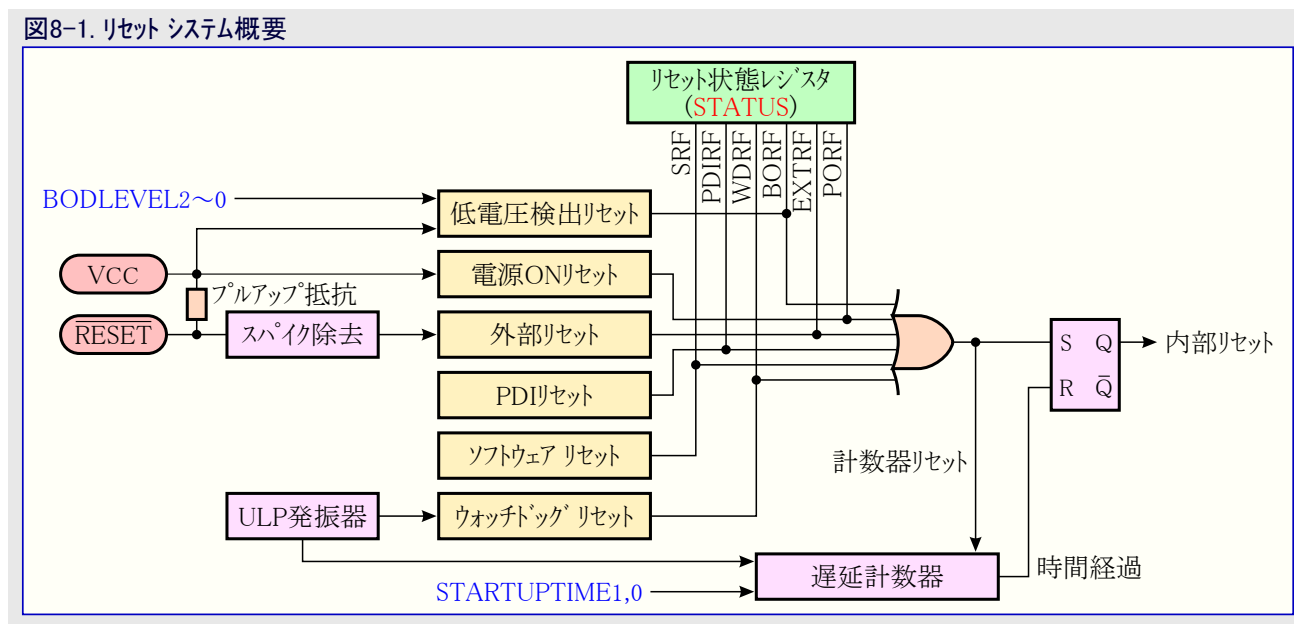
リセットシステムはマイクロコントローラリセットを発行してデバイスをその初期状態に設定します。これはマイクロコントローラがその電源定格以下で動作するような時に動作が開始または継続しない状況のためです。リセット元が活性(有効)になった場合、デバイスは全てのリセット元がそれらのリセットを開放するまでリセットに移行して保持されます。I/Oピンは直ちにHi-Zにされます。プログラムカウンタはリセットベクタ位置に設定され、全てのI/Oレジスタがそれらの初期値に設定されます。SRAM内容は保持されます。けれども、リセット発生時にデバイスがSRAMをアクセスする場合、アクセスされた位置の内容を保証することはできません。

リセットが全てのリセット元から開放された後、デバイスがリセットベクタアドレスから走行を始める前に、既定発振器が始動され、そして校正されます。既定により、これは最低プログラムアドレス(0)ですが、リセットベクタをブート領域の最低アドレスへ移動することが可能です。

リセット機能は非同期で、故にデバイスをリセットするのにシステムクロックの走行が全く必要とされません。ソフトウェアリセット機能は使用者ソフトウェアからの制御されたシステムリセットの発行を可能にします。

リセット状態(STATUS)レジスタは各リセット元に対する個別の状態フラグを持ちます。これは電源ONリセットで解除(0)され、最後の電源ONからどのリセット元がリセットを発行したかを示します。

リセットシステムの概要は図8-1.で示されます。



8.3. リセットの流れ

何れかのリセット元からのリセット要求は直ちにデバイスをリセットし、その要求が活性(有効)である限り、リセットを維持します。全てのリセット要求が開放されると、再びデバイスが走行を始める前にデバイスは3つの段階を通して行きます。

- リセット計数器遅延
- 発振器始動
- 発振器校正

この処理中に別のリセット要求が起きると、リセットの流れは最初から始まります。

8.3.1. リセット計数器

リセット計数器は全てのリセット要求が開放された時から設定可能な期間でリセット開放を遅らせることができます。リセット遅延は超低電力(ULP)内部発振器の1kHz出力から計時され、加えて、リセットが開放されるのに先立って24システムクロック(clk_{SYS})周期数が計数されます。リセット遅延はSTARTUPTIMEヒューズビットによって設定されます。選択可能な遅延は表8-1.で示されます。

リセットが起こると必ず、クロック体系がリセットされ、 clk_{SYS} 用の供給元として2MHz内部発振器が選ばれます。

8.3.2. 発振器始動

リセット遅延後、2MHz内部RC発振器クロックが開始され、その校正値が製品識別列から校正レジスタへ自動的に設定されます。

8.4. リセット元

8.4.1. 電源ONリセット

電源ONリセット(POR)はチップ上の検出回路によって生成されます。PORはVCCが上昇してPOR閾値電圧(V_{POT})に達した時に活性にされ、リセット手順を開始します。

PORはVCCが下降して V_{POT} レベル以下に落ちた時にデバイスの電力を正しく落とすのにも活性にされます。

V_{POT} レベルはVCC上昇の方がVCC下降よりも高くなります。POR特性データについてはデータシートを調べてください。

図8-2. MCU始動 (RESETはVCCに接続)

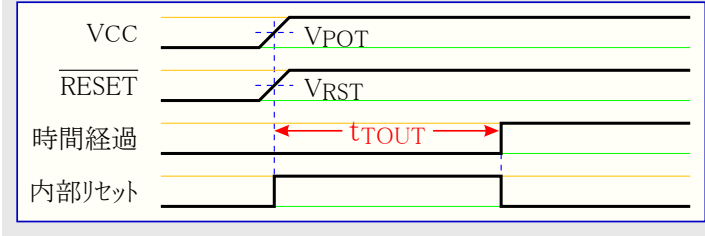
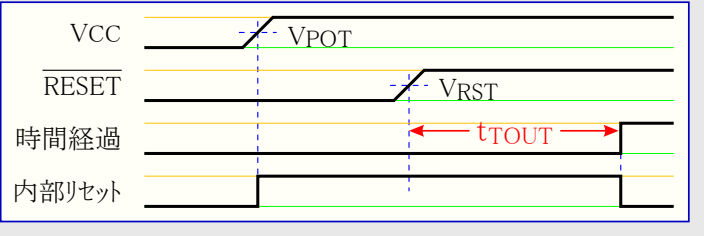


図8-3. MCU始動 (外部的に延長されたRESET)



8.4.2. 低電圧検出(BOD:Brown-Out Detection)

チップ上の低電圧検出(BOD)回路はBODLEVELヒューズによって選択される設定可能なレベルの固定値と比較することにより、動作中のVCCレベルを監視します。禁止されると、BODはチップ消去中とPDIが許可されている時に最低レベルを強制されます。

BODが許可され、VCCが起動レベル以下の値に下降すると(図8-4.の $V_{\text{BOT-}}$)、直ちに低電圧リセットが活性にされます。

VCCが起動レベル以上に上昇すると(図8-4.の $V_{\text{BOT+}}$)、リセット計数器は時間経過期間(t_{TOUT})経過後にMCUを始動します。

起動レベルはスパイクなしの低電圧検出を保証するためのヒステシスを持ちます。検出レベルのヒステシスは $V_{\text{BOT+}}=V_{\text{BOT}}+V_{\text{HYST}}/2$ 、 $V_{\text{BOT-}}=V_{\text{BOT}}-V_{\text{HYST}}/2$ と解釈されるべきです。

BOD回路は電圧が t_{BOT} よりも長い間起動レベル以下に留まる場合だけ、VCCでの低下を検出します。

BOD特性データについてはデバイスのデータシートを調べてください。

設定可能なBODLEVEL設定は表8-2.で示されます。

図8-4. 低電圧検出(BOD)リセット

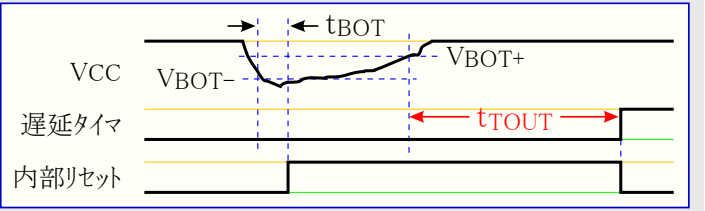


表8-2. 設定可能なBODLEVEL設定

BODレベル番号	0	1	2	3	4	5	6	7
BODLEVEL2~0 ヒューズ (注2)	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
公称低電圧検出電圧(V_{BOD}) (注1)	3.0V	2.8V	2.6V	2.4V	2.2V	2.0V	1.8V	1.6V

注1: この値は公称値だけです。精度と実際の数値についてはデバイスのデータシートを調べてください。

注2: これらのヒューズビット変更はプログラミング動作を抜けるまで無効です。

BOD回路は3つの動作形態を持ちます。

- **禁止:** この動作形態ではVCCレベルの監視が全くありません。
- **許可:** この動作形態ではVCCレベルが継続的に監視され、最低 t_{BOD} 間の V_{BOT} 未満へのVCC低下が低電圧(Brown-out)リセットを与えます。
- **採取:** この動作形態ではBOD回路が超低電力(ULP)発振器からの1kHz出力と同じ周期でVCC電圧を採取します。各採取間でBODはOFFされます。この動作種別は許可動作形態に比べて消費電力を減らしますが、1kHz ULP発振器出力の2つの正端間のVCC電圧低下が検出されません。この動作形態で低電圧(Brown-out)が検出された場合、VCCが再び V_{BOT} 以上になるまでデバイスがリセットを維持するのを保証するために、BOD回路が許可動作形態に設定されます。

BODACTヒューズが活動動作とアイドル動作に対するBOD設定を決め、一方BODPDヒューズがアイドル動作を除く全ての休止形態動作に対するBOD設定を決めます。

表8-3. BOD設定ヒューズ符号化

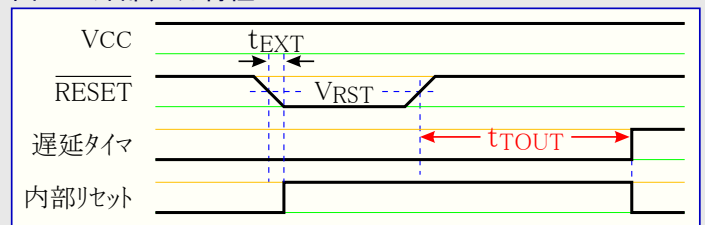
BODACT1,0 / BODPD1,0	内容
0 0	(予約)
0 1	採取動作: 採取動作でBOD許可
1 0	許可動作: 継続的にBOD許可
1 1	禁止動作: BOD禁止

8.4.3. 外部リセット

外部リセット回路は外部RESETピンに接続されています。RESETピンが最小パルス時間 t_{EXT} より長くRESETピン閾値電圧 V_{RST} 未満に駆動された時に外部リセットが起動されます。リセットはピンがLowに保たれる限り保持されます。リセットピンは内部プルアップ抵抗を内包します。

外部リセット特性データについてはデバイスのデータシートを調べてください。

図8-5. 外部リセット特性

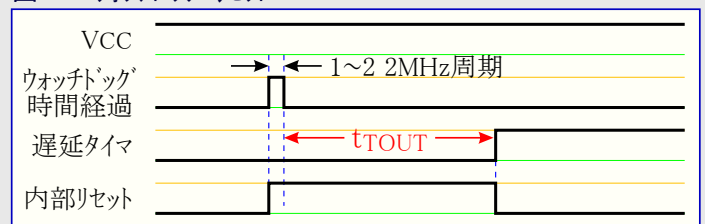


8.4.4. ウォッチドッグ リセット

ウォッチドッグ タイマ(WDT)は正しいプログラム動作を監視するためのシステム機能です。WDTが設定された時間経過周期内にソフトウェアからリセットされない場合、ウォッチドッグ リセットが起されます。ウォッチドッグ リセットは2MHz内部発振器で1~2クロック周期の間、活性(有効)です。

WDTの形態設定と使用の情報については64頁の「WDT - ウォッチドッグ タイマ」を参照してください。

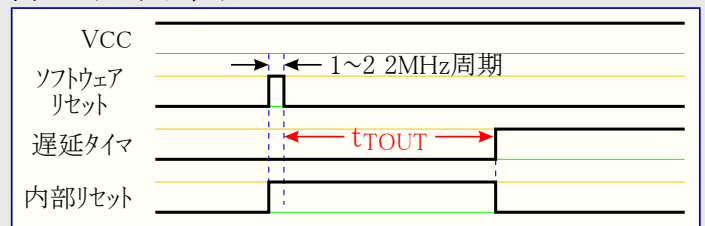
図8-6. ウォッチドッグ リセット



8.4.5. ソフトウェア リセット

ソフトウェア リセットはリセット制御(CTRL)レジスタのソフトウェア リセット(SWRST)ビットへの書き込みによってソフトウェアからシステムリセットを発行することを可能にします。リセットはそのビット書き込み後、2 CPUクロック周期内で発行されます。ソフトウェア リセットが要求される時からそれが発行されるまではどの命令も実行できません。

図8-7. ソフトウェア リセット



8.4.6. プログラミングとデバッグ用インターフェース リセット

プログラミングとデバッグ用インターフェース リセットは外部のプログラミングとデバッグの間中のデバイス リセットに使用される独立したリセット元を含みます。このリセット元はデバッグと書き込み器からだけアクセス可能です。

8.5. レジスタ説明

8.5.1. STATUS – 状態レジスタ (Status register)

ビット	7	6	5	4	3	2	1	0	
+\$00	–	–	SRF	PDIRF	WDRF	BORF	EXTRF	PORF	STATUS
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	–	–	–	–	–	–	–	–	

● ビット7,6 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット5 – SRF : ソフトウェア リセット フラグ (Software Reset Flag)

このフラグはソフトウェア リセットが起きた場合に設定(1)されます。このフラグは電源ONリセットまたはこのビット位置への1書き込みによって解除(0)されます。

● ビット4 – PDIRF : プログラミングとデバッグ用インターフェース リセット フラグ (Program and Debug Interface Reset Flag)

このフラグはプログラミング インターフェース リセットが起きた場合に設定(1)されます。このフラグは電源ONリセットまたはこのビット位置への1書き込みによって解除(0)されます。

● ビット3 – WDRF : ウォッチドッグ リセット フラグ (Watchdog Reset Flag)

このフラグはウォッチドッグ リセットが起きた場合に設定(1)されます。このフラグは電源ONリセットまたはこのビット位置への1書き込みによって解除(0)されます。

● ビット2 – BORF : 低電圧(Brown-out)リセット フラグ (Brown Out Reset Flag)

このフラグは低電圧(Brown Out)リセットが起きた場合に設定(1)されます。このフラグは電源ONリセットまたはこのビット位置への1書き込みによって解除(0)されます。

● ビット1 – EXTRF : 外部リセット フラグ (External Reset Flag)

このフラグは外部リセットが起きた場合に設定(1)されます。このフラグは電源ONリセットまたはこのビット位置への1書き込みによって解除(0)されます。

● ビット0 – PORF : 電源ONリセット フラグ (Power On Reset Flag)

このフラグは電源ONリセットが起きた場合に設定(1)されます。このフラグへの1書き込みがこのビット位置を解除(0)します。

8.5.2. CTRL – 制御レジスタ (Control register)

ビット	7	6	5	4	3	2	1	0	
+\$01	–	–	–	–	–	–	–	SWRST	CTRL
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~1 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット0 – SWRST : ソフトウェア リセット (Software Reset)

このビットが設定(1)される時にソフトウェア リセットが起こります。このビットはリセットが発行される時に解除(0)されます。このビットは形態設定変更保護機構によって保護されています。詳細については10頁の「形態設定変更保護」を参照してください。

8.6. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$01	CTRL	–	–	–	–	–	–	–	SWRST	63
+\$00	STATUS	–	–	SRF	PDIRF	WDRF	BORF	EXTRF	PORF	63

9. WDT – ウォッチドッグ タイマ

9.1. 要点

- 計時経過時間前に計時器がリセットされない場合にデバイス リセットを発行
- 専用発振器からの非同期動作
- 32kHz超低電力発振器の1kHz出力
- 8msから8sまで11種の選択可能な時間経過周期
- 2つの動作種別
 - 標準動作
 - 窓動作
- 望まれない変更を防ぐための形態設定施設

9.2. 概要

ウォッチドッグ タイマ(WDT)は正しいプログラム動作を監視するシステム機能です。暴走や停滞コードのような異常状況からの回復を可能にします。WDTはタイマで、予め定義された時間経過周期に形態設定され、許可された時に定期的に走行します。WDTが時間経過周期内にリセットされない場合、WDTはマイクロ コントローラ リセットを発行します。WDTは応用コードからのWDR(Watchdog Timer Reset)命令を実行することによってリセットされます。

窓動作はWDTがリセットされなければならない総時間経過期間内の時間幅または窓の定義を可能にします。WDTが速すぎまたは遅すぎでこの窓の外側でリセットされると、システム リセットが発行されます。標準動作に比べ、これはコード異常が一定のWDR実行を引き起こす状況を捕らえることもできます。

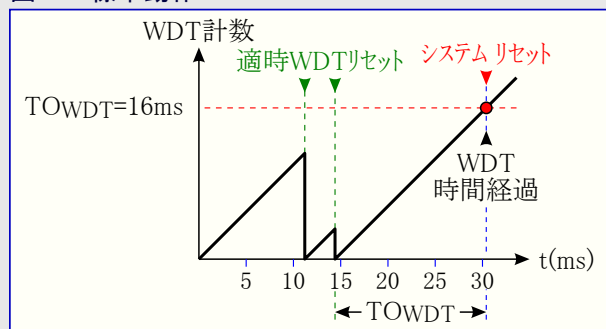
許可されていれば、WDTは活動動作と全ての電力(休止形態)動作で作動します。これは非同期で、CPUと無関係なクロック元で動作し、例えば主クロックが停止したとしても、システム リセットを発行するための動作を継続します。

形態設定変更保護機構はWDT設定が事故によって変更され得ないことを保証します。安全性を増すため、WDT設定を固定化するためのヒューズも利用可能です。

9.3. 標準動作

標準動作では単一時間経過周期がWDTに設定されます。時間経過が起きる前にWDTが応用コードからリセットされなかった場合、WDTはシステム リセットを発行します。8msから8sまで選択可能な11種の可能なWDT時間経過周期(TOWDT)があり、その時間経過周期の何時でもWDTをリセットできます。新しい時間経過周期はWDR命令によってWDTがリセットされる毎に開始されます。既定時間経過周期はヒューズによって制御されます。標準動作は図9-1.で図解されます。

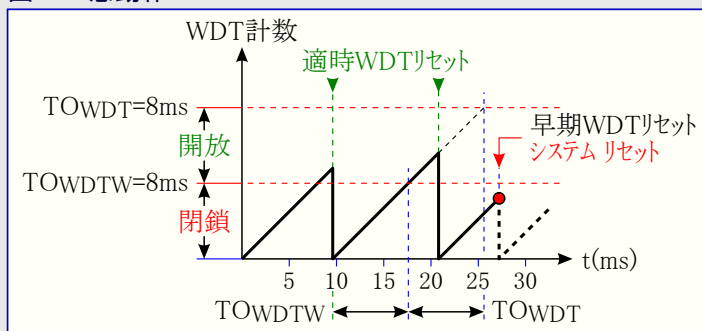
図9-1. 標準動作



9.4. 窓動作

窓動作ではWDTが通常時間経過周期(TOWDT)と閉鎖窓時間経過周期(TOWDTW)の、2つの異なる時間経過周期を使用します。閉鎖窓時間経過周期はWDTをリセットできない8msから8sまでの幅を定義します。この期間中にWDTがリセットされた場合、WDTはシステム リセットを発行します。通常WDT時間経過周期もまた8msから8sでWDTをリセットできる(すべき)間の開放区間の幅を定義します。開放区間は常に閉鎖区間に続き、故に時間経過周期の総合幅は閉鎖窓と開放窓の時間経過周期の合計です。既定の閉鎖窓時間経過周期はヒューズによって制御されます(開放と閉鎖の両方の区間がヒューズによって制御されます)。窓動作は図9-2.で図解されます。

図9-2. 窓動作



9.5. ウォッチドッグ タイマ クロック

WDTは32kHz内部超低電力(ULP)発振器からの1kHz出力でクロック駆動されます。超低電力設計のため、この発振器はかなり正確でなく、故に時間経過周期はデバイス間で変わるかもしれません。WDTを使用するソフトウェアを設計するとき、全てのデバイスに対して使用する時間経過周期が有効なことを保証するためにこのデバイス間変化が留意されなければなりません。ULP発振器精度のより多くの情報についてはデバイスのデータシートを調べてください。

9.6. 形態設定保護と施錠

WDTはWDTの予期せぬ変更を避けるために2つの安全機構で設計されています。

最初の機構はWDT制御(CTRL)レジスタの変更に対して時間制限手順を使用する形態設定変更保護機構です。加えて、制御レジスタに書かれる新しい形態設定については、そのレジスタの変更許可(CEN)ビットが同時に書かれなければなりません。

2つ目の機構はWDT施錠(WDLOCK)ヒューズ設定によって形態設定を施錠します。このヒューズが設定(WDLOCK=0)されると、ウォックバックタイマ制御レジスタは変更できず、従ってWDTはソフトウェアから禁止できません。システムリセット後にWDTは形態設定された動作で再び始めます。WDT施錠ヒューズがプログラム(0)されると、窓動作時間経過周期は変更できませんが、窓動作自体は未だ許可または禁止が行えます。

9.7. レジスタ説明

9.7.1. CTRL – 制御レジスタ (Control register)

ビット +\$00	7	6	5	4	3	2	1	0	
	–	–	PER3~0				ENABLE	CEN	CTRL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	x	x	x	x	x	0	

注: 施錠時は書き込みが禁止されます。初期値のxはヒューズ設定に依存します。

●ビット7,6 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

●ビット5~2 – PER3~0 : 時間経過周期 (Timeout Period)

これらのビットは1kHz超低電力(ULP)発振器周期数としてウォッチドッグ時間経過周期を決めます。窓動作では、これらのビットが開放窓区間を定義します。代表的な各種時間経過周期が表9-1.で得られます。これらのビットの初期値は電源ONで格納される、ウォッチドッグ時間経過周期(WDPER)ヒューズによって設定されます。

これらのビットを変更するためにウォッチドッグ変更許可(CEN)ビットが同時に1を書かれなければなりません。これらのビットは形態設定変更保護機構によって保護されています。詳細な記述については10頁の「形態設定変更保護」を参照してください。

表9-1. ウォッチドッグ時間経過周期

PER3~0	群形態 設定	代表 周期	PER3~0	群形態 設定	代表 周期	PER3~0	群形態 設定	代表 周期	PER3~0	群形態 設定	代表 周期
0 0 0 0	8CLK	8ms	0 1 0 0	128CLK	128ms	1 0 0 0	2KCLK	2.0s	1 1 0 0	–	(予約)
0 0 0 1	16CLK	16ms	0 1 0 1	256CLK	256ms	1 0 0 1	4KCLK	4.0s	1 1 0 1	–	(予約)
0 0 1 0	32CLK	32ms	0 1 1 0	512CLK	512ms	1 0 1 0	8KCLK	8.0s	1 1 1 0	–	(予約)
0 0 1 1	64CLK	64ms	0 1 1 1	1KCLK	1.0s	1 0 1 1	–	(予約)	1 1 1 1	–	(予約)

注: 予約設定はどの時間経過周期設定も与えません。

●ビット1 – ENABLE : 許可 (Enable)

このビットの設定(1)がWDTを許可します。このビットの解除(0)はウォッチドッグ タイマを禁止します。

このビットを変更するには制御(CTRL)レジスタの変更許可(CEN)ビットが同時に1を書かれなければなりません。このビットは形態設定変更保護機構によって保護されています。詳細な記述については9頁の「形態設定変更保護」を参照してください。

●ビット0 – CEN : 変更許可 (Change Enable)

このビットは制御(CTRL)レジスタの形態設定変更の可能性を許可します。このレジスタへ新しい値を書く時に、それが実施されるためにその変更と同時に、このビットが1を書かれなければなりません。このビットは形態設定変更保護機構によって保護されています。詳細な記述については10頁の「形態設定変更保護」を参照してください。

9.7.2. WINCTRL – 窓動作制御レジスタ (Window Mode Control register)

ビット +\$01	7	6	5	4	3	2	1	0	
	–	–	WPER3~0				WEN	WCEN	WINCTRL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	x	x	x	x	x	0	

注: 施錠時はWPER3~0の書き込みが禁止されます。初期値のxはヒューズ設定に依存します。

●ビット7,6 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

●ビット5~2 – WPER3~0 : 窓動作時間経過周期 (Window Mode Timeout Period)

これらのビットは1kHz超低電力(ULP)発振器周期数として窓動作での閉鎖窓周期を決めます。代表的な各種閉鎖窓周期が表9-2.で得られます。これらのビットの初期値はウォッチドッグ窓時間経過周期(WDWPER)ヒューズによって設定され、電源ONで格納されます。標準動作ではこれらのビットが使用されません。

これらのビットを変更するにはウォッチドッグ窓動作変更許可(WCEN)ビットが同時に1を書かれなければなりません。これらのビットは形態設定変更保護機構によって保護されています。詳細な記述については10頁の「形態設定変更保護」を参照してください。

表9-2. ウォッチドッグ閉鎖窓周期

WPER 3~0	群形態 設定	代表 周期	WPER 3~0	群形態 設定	代表 周期	WPER 3~0	群形態 設定	代表 周期	WPER 3~0	群形態 設定	代表 周期
0 0 0 0	8CLK	8ms	0 1 0 0	128CLK	128ms	1 0 0 0	2KCLK	2.0s	1 1 0 0	—	(予約)
0 0 0 1	16CLK	16ms	0 1 0 1	256CLK	256ms	1 0 0 1	4KCLK	4.0s	1 1 0 1	—	(予約)
0 0 1 0	32CLK	32ms	0 1 1 0	512CLK	512ms	1 0 1 0	8KCLK	8.0s	1 1 1 0	—	(予約)
0 0 1 1	64CLK	64ms	0 1 1 1	1KCLK	1.0s	1 0 1 1	—	(予約)	1 1 1 1	—	(予約)

注: 予約設定はどの時間経過周期設定も与えません。

●ビット1 – WEN : 窓動作許可 (Window Mode Enable)

このビットの設定(1)がウォッチドッグ窓動作を許可します。このビットを変更するには窓動作制御(CTRL)レジスタの窓動作変更許可(WCEN)ビットが同時に1を書かれなければなりません。このビットは形態設定変更保護機構によって保護されています。詳細な記述については10頁の「形態設定変更保護」を参照してください。

●ビット0 – WCEN : ウォッチドッグ窓動作変更許可 (Watchdog Window Mode Change Enable)

このビットは窓動作制御(CTRL)レジスタの形態設定変更の可能性を許可します。このレジスタへ新しい値を書く時に、それが実施されるためにその変更と同時に、このビットが1を書かれなければなりません。このビットは形態設定変更保護機構によって保護されていますが、WDT施錠ヒューズによって保護されません。

9.7.3. STATUS – 状態レジスタ (Status register)

ビット	7	6	5	4	3	2	1	0	
+\$02	—	—	—	—	—	—	—	SYNCBUSY	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

●ビット7~1 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

●ビット0 – SYNCBUSY : 同期中フラグ (Synchronization Busy Flag)

このフラグは制御(CTRL)レジスタまたは窓動作制御(WINCTRL)レジスタ書き込み後に設定(1)され、データがシステムクロックからWDTクロックの領域に同期されつつあります。このビットは同期化完了時に自動的に解除(0)されます。この同期化はウォッチドッグタイマ用の許可(ENABLE)ビットが設定(1)されている時にだけ行われます。

9.8. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$02	STATUS	—	—	—	—	—	—	—	SYNCBUSY	67
+\$01	WINCTRL	—	—	WPER7~0				WEN	WCEN	66
+\$00	CTRL	—	—	PER7~0				ENABLE	CEN	66

10. 割り込みと設定可能な多段割り込み制御器

10.1. 要点

- 短くて予想可能な割り込み応答時間
- 各割り込みに対して独立した形態設定と独立した割り込みベクタ
- 設定可能な多段割り込み制御器
 - 段位と割り込みベクタ アドレスに従った割り込み優先順化
 - 全ての割り込みに対して選択可能な3つの割り込み段位：下位、中位、上位
 - 低位割り込み内での選択可能なラウンド ロビン優先権の仕組み
 - 重大な機能用の遮蔽不可割り込み
- 応用領域またはブート ロード領域に任意選択で配置される割り込みベクタ

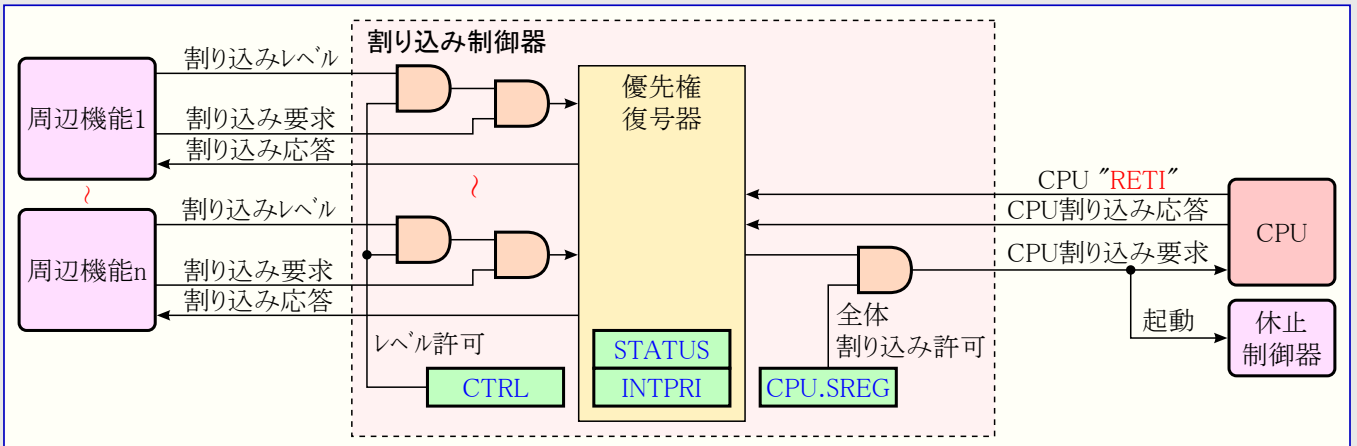
10.2. 概要

割り込みは周辺機能の状態変化を合図し、これはプログラム実行の切り換えに使用できます。周辺機能は1つ以上の割り込みを持つことができ、その全てが個別に許可され、形態設定されます。割り込みが形態設定されて許可される時に割り込み条件が存在すると、割り込み要求を生成します。設定可能な多段割り込み制御器(PMIC)は割り込み要求の処理と優先順化を制御します。割り込み要求がPMICによって応答されると、プログラム カウンタが割り込みベクタを指示するように設定され、割り込み処理ルーチンを実行できます。

全ての周辺機能はそれらの割り込みに対して、低、中、高の3つの異なる優先レベルを選択できます。割り込みはそれらの段位とそれらのベクタ アドレスに従って優先順化されます。中位割り込みは低位割り込み処理に割り込みます。高位割り込みは中位と低位の両方の割り込み処理に割り込みます。各レベル内では割り込み優先権が割り込みベクタ アドレスから決められ、それは最下位割り込みベクタ アドレスが最高割り込み優先権を持ちます。全ての割り込みが或る一定時間内に処理されるのを保証するために、低位割り込みは任意選択のラウンド ロビン計画機構を持ちます。

遮蔽不可割り込み(NMI)も支援され、システムの重大な機能に使用することができます。

図10-1. 割り込み制御器概要



10.3. 動作

割り込みは生成されるべき何れかの割り込みに関して全体的に許可されなければなりません。これはCPUステータスレジスタ(SREG)の全体割り込み許可(1)ビットの設定(1)によって行われます。ビットは割り込み応答時に解除(0)されません。各割り込みレベルも対応するレベルでの割り込みが生成され得る前に許可されなければなりません。

割り込みが許可されて割り込み条件が存在すると、PMICは割り込み要求を受け取ります。割り込みレベルと何れかの実行中割り込みの割り込み優先権に基づいて、割り込みは応答されるか、またはそれが優先権を持つまで保留を維持されるかのどちらかです。割り込み要求が応答されると、プログラム カウンタが割り込みベクタへの指示に更新されます。割り込みベクタは通常、割り込みを扱うソフトウェア ルーチンである割り込み処理ルーチンへの無条件分岐命令です。割り込み処理ルーチンからの復帰後、割り込みが起きた前の場所からプログラム実行が継続します。何れかの保留割り込みが扱われる前に、常に1命令が実行されます。

PMIC状態(STATUS)レジスタは割り込み処理ルーチンの最後でRETI(割り込みからの復帰)命令が実行される時にPMICが正しい割り込みレベルに戻るのを保証する状態情報を含みます。割り込みからの復帰はPMICを割り込みへ移行する前の状態に戻します。ステータスレジスタ(SREG)は割り込み要求で自動的に保存されません。RET(サブルーチンからの復帰)命令は、これがPMICを正しい状態に戻せないため、割り込み処理ルーチンからの復帰時に使用できません。

10.4. 割り込み

全ての割り込みとリセット ベクタの各々はプログラム メモリ空間に独立したプログラム ベクタ アドレスを持っています。プログラム メモリ空間の最下位アドレスはリセット ベクタです。全ての割り込みは割り込みレベル設定と許可用の個別の制御ビットを割り当てられ、これは割り込みを生成し得る各周辺機能に対する制御レジスタで設定されます。各割り込みの詳細は割り込みが利用可能な周辺機能で記述されます。

全ての割り込みはそれに関連した割り込み要求フラグを持っています。割り込み条件が存在すると、例え対応する割り込みが許可されていなくても割り込み要求フラグが設定(1)されます。殆どの割り込みについては割り込みベクタが実行される時に割り込み要求フラグが自動的に解除(0)されます。割り込み要求フラグへの論理1書き込みもそのフラグを解除(0)します。いくつかの割り込み要求フラグは割り込みベクタ実行時に解除(0)されず、そのいくつかは関連するレジスタがアクセス(読みまたは書き)される時に自動的に解除(0)されます。これは各個別割り込み要求フラグに対して記述されます。

他のより高い優先権の割り込みが実行中または保留中の間に割り込み条件が起きる場合、その割り込み要求フラグが設定(1)され、その割り込みが優先権を持つまで記憶されます。対応する割り込みが許可されていない間に割り込み条件が起きる場合、その割り込み要求フラグが設定(1)され、その割り込みが許可されるまで記憶されるか、またはソフトウェアによってそのフラグが解除(0)されます。同様に全体割り込みが禁止(I=0)されている間に1つ以上の割り込み条件が起る場合、その割り込み要求フラグが設定(1)され、全体割り込みが許可されるまで記憶されます。その後、全ての保留割り込みはそれらの優先順に応じて実行されます。

施錠された領域(例えばブート施錠ビットがプログラム(0)されている時)からコードを実行するとき、割り込みが妨げられ得ます。この機能はソフトウェアの安全性を改善します。施錠ビット設定については205頁の「メモリプログラミング」を参照してください。

割り込みは正しい識別票で形態設定変更保護レジスタが書かれる時に4CPUクロック周期間自動的に禁止されます。より多くの詳細については10頁の「形態設定変更保護」を参照してください。

10.4.1. NMI – 遮蔽不可割り込み(Non-Maskable Interrupts)

どの割り込みがNMIを表し、どれが通常の割り込みを表すかは選択できません。遮蔽不可割り込みはそれらが使用され得る前に許可されなければなりません。各デバイスに存在するNMIについてはデバイスのデータシートを参照してください。

NMIは全体割り込み許可(I)ビットの設定と無関係に実行され、そしてそれは決してIビットを変更しません。他の割り込みはNMI割り込み処理に割り込めません。複数のNMIが同時に要求された場合、それは最低アドレスが最高優先権を持つ割り込みベクタに従う静的な優先権です。

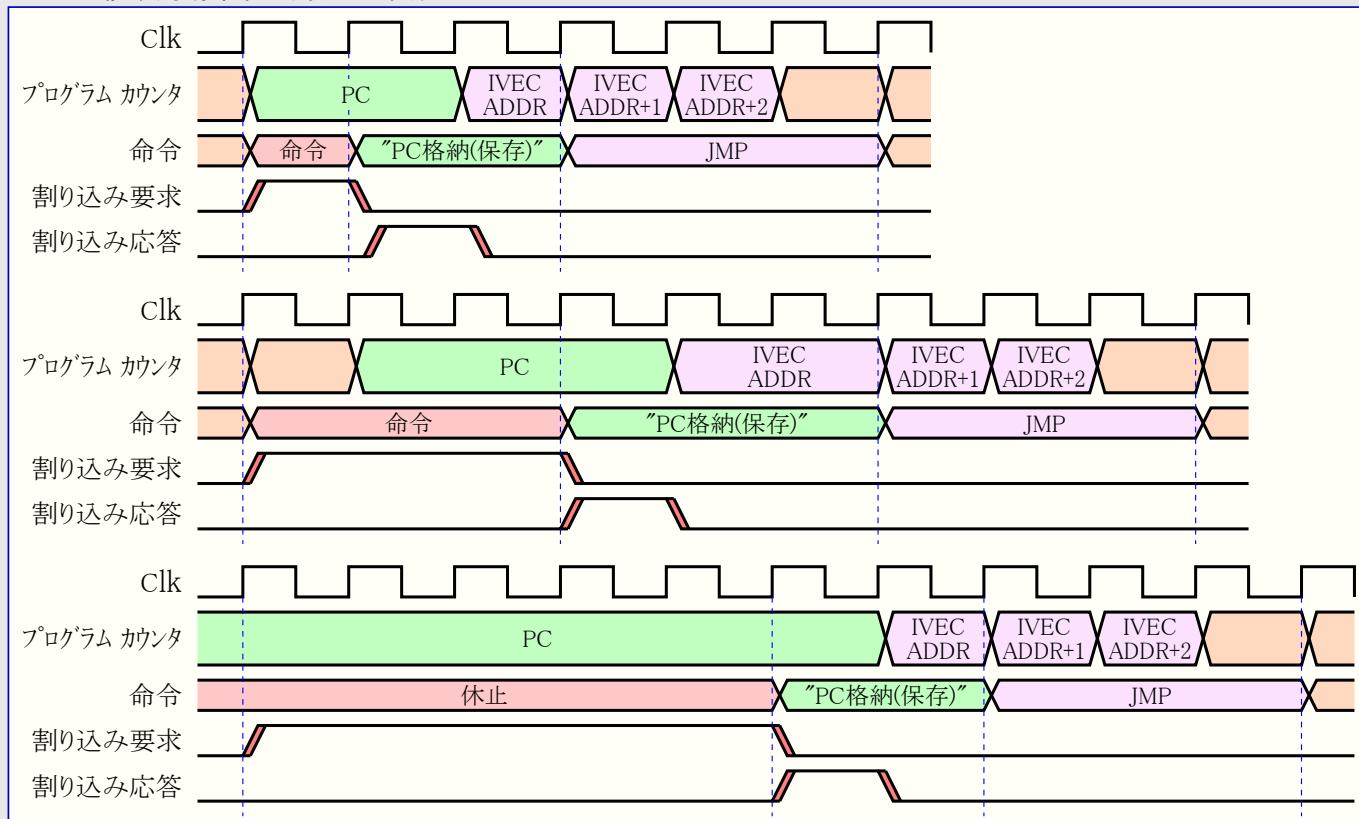
10.4.2. 割り込み応答時間

許可された全ての割り込みに対する割り込み応答時間は、進行中の命令終了に1周期と、プログラムカウンタをスタックに格納するのに2周期の最小3CPUクロック周期です。プログラムカウンタがスタックに押し込まれた後、その割り込みに対するプログラムベクタが実行されます。

割り込み処理部への無条件分岐(JMP)は3クロック周期かかります。

複数周期命令の実行の間に割り込みが起きた場合、その割り込みが処理される前にその命令が完了されます。より多くの詳細については図10-2をご覧ください。

図10-2. 複数周期命令の割り込み実行



デバイスが休止形態動作の時に割り込みが起きた場合、割り込み応答時間が5クロック周期増やされます。加えて応答時間は選択した休止形態動作からの始動時間によって増加されます。

割り込み処理ルーチンからの復帰はプログラムカウンタの大きさに依存して4~5クロック周期かかります。これらのクロック周期の間にプログラムカウンタがスタックから引き出され、スタックポインタが増やされます。

10.5. 割り込みレベル

割り込みレベルは各割り込み元に対して無関係に設定されます。どの割り込み要求についてもPMICがその割り込みに対する割り込みレベルを受け取ります。割り込みレベルと全ての割り込みの割り込みレベル形態設定に対するそれらの対応するビット値は表10-1.で示されます。

割り込み要求の割り込みレベルは現在のレベルと割り込み制御器の状態に対して比較されます。より高いレベルの割り込み要求はより低いレベルの割り込みからのどんな実行中の割り込み処理にも割り込みます。高いレベルの割り込み処理からの復帰時、より低いレベルの割り込み処理の実行が継続されます。

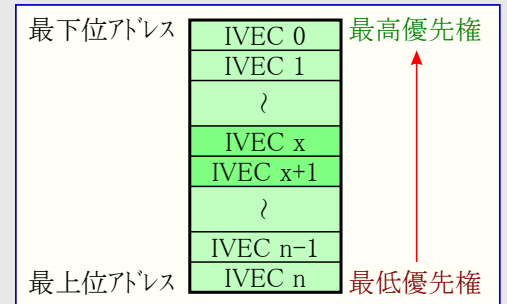
10.6. 割り込み優先権

各割り込みレベル内では全ての割り込みが優先権を持っています。多くの割り込み要求が保留中のとき、どの順で割り込みが応答されるかはその割り込み要求のレベルと優先権の両方によって決められます。割り込みは静的または動的(ラウンド・ロビン)な優先権の仕組みに構成することができます。高位及び中位の割り込みとNMIは常に静的な優先権です。低位割り込みについては静的または動的な優先権計画を選択できます。

10.6.1. 静的優先権

割り込みベクタ(IVEC)は固定アドレスに配置されています。静的優先権については、この割り込みベクタ アドレスが或る割り込みレベル内の優先権を決め、それは最下位割り込みベクタ アドレスが最高優先権を持ちます。割り込み能力を持つ全ての部署と周辺機能に対する基準アドレスと割り込みベクタ表についてはデバイスのデータシートを参照してください。各種の部署と周辺機能内のそれらに対応する差分アドレスと割り込みの一覧については、本手引書の各部署と周辺機能の割り込みベクタ要約を参照してください。

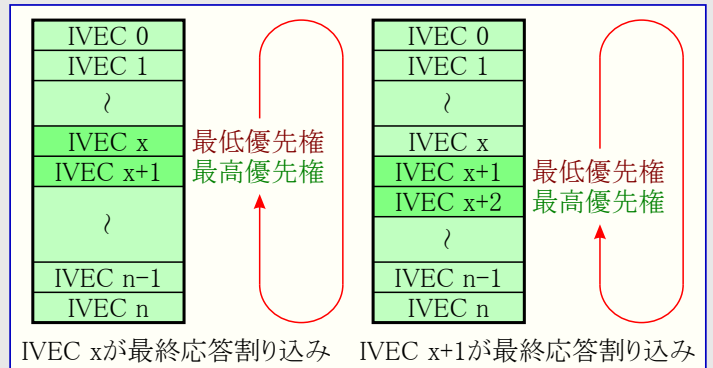
図10-3. 静的優先権



10.6.2. 動的優先権(ラウンド・ロビン)

いくつかの割り込みが決して処理されないかもしれない、静的優先権を持つ低位割り込みに対する欠落問題の可能性を避けるため、PMICは低位割り込みに対してラウンド・ロビン計画を提供します。ラウンド・ロビン計画が許可されると、最後に応答された低位割り込みに対する割り込みベクタ アドレスが最低優先権を持ち、次回に低位からの1つ以上の割り込みが要求されます。

図10-4. 動的優先権(ラウンド・ロビン)



10.7. 割り込みベクタ位置

表10-2.はBOOTRSTと割り込みベクタ選択(IVSEL)の設定の様々な組み合わせに対するリセットと割り込みのベクタ配置を示します。プログラムが決して割り込み元を許可しないなら、割り込みベクタは使用されず、これらの位置に通常のプログラム コードを配置することができます。これはリセット ベクタが応用領域で、一方割り込みベクタがブート領域、またはその逆の場合でもです。

表10-2. リセットと割り込みのベクタ配置

BOOTRST	IVSEL	リセット アドレス	割り込みベクタ先頭アドレス
非プログラム(1)	0	\$0000	\$0002
	1	\$0000	ブート リセット アドレス+\$0002
プログラム(0)	0	ブート リセット アドレス	\$0002
	1	ブート リセット アドレス	ブート リセット アドレス+\$0002

10.8. レジスタ説明

10.8.1. STATUS – 状態レジスタ (Status register)

ビット +\$00	7	6	5	4	3	2	1	0	
	NMIEX	–	–	–	–	HILVLEX	MEDLVLEX	LOLVLEX	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

- ビット7 – NMIEX : 遮蔽不可割り込み実行中フラグ (Non-Maskable Interrupt Executing)

このフラグは遮蔽不可割り込みが実行中の場合に設定(1)されます。このフラグは割り込み処理から復帰(RET)する時に、解除(0)されます。

- ビット6~3 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット2 – HILVLEX : 高位割り込み実行中フラグ (High Level Interrupt Executing)

このフラグは高位割り込みが実行中、または割り込み処理がNMIによって割り込まれている時に設定(1)されます。このフラグは割り込み処理から復帰(RET)する時に解除(0)されます。

- ビット1 – MEDLVLEX : 中位割り込み実行中フラグ (Medium Level Interrupt Executing)

このフラグは中位割り込みが実行中、または割り込み処理がNMIまたは高位からの割り込みによって割り込まれている時に設定(1)されます。このフラグは割り込み処理から復帰(RET)する時に解除(0)されます。

- ビット0 – LOLVLEX : 低位割り込み実行中フラグ (Low Level Interrupt Executing)

このフラグは低位割り込みが実行中、または割り込み処理がNMIまたはより高いレベルからの割り込みによって割り込まれている時に設定(1)されます。このフラグは割り込み処理から復帰(RET)する時に解除(0)されます。

10.8.2. INTPRI – 割り込み優先権レジスタ (Interrupt priority register)

ビット +\$01	7	6	5	4	3	2	1	0	
	INTPRI7~0								INTPRI
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~0 – INTPRI7~0 : 割り込み優先権 (Interrupt Priority)

ラウンド ロビン計画が許可されている時に、このレジスタは最後に応答された低位割り込みの割り込みベクタを格納します。1つ以上の低位割り込みが保留中の次回に、格納された割り込みベクタが最低優先権を持ちます。このレジスタは優先順を変更するためにソフトウェアからアクセス可能です。このレジスタはラウンド ロビン計画が禁止された場合にその初期値に再初期化されず、故に既定の静的優先権が必要な場合、レジスタは0を書かれなければなりません。

10.8.3. CTRL – 制御レジスタ (Control register)

ビット +\$02	7	6	5	4	3	2	1	0	
	RREN	IVSEL	–	–	–	HILVLEN	MEDLVLEN	LOLVLEN	CTRL
Read/Write	R/W	R/W	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7 – RREN : ラウンド ロビン許可 (Round-robin Scheduling Enable)

RRENビットが設定(1)されると、ラウンド ロビン計画の仕組みが低位割り込みに対して許可されます。このビットが解除(0)されると、最下位アドレスが最高優先権を持つ割り込みベクタ アドレスに対応した静的優先権です。

- ビット6 – IVSEL : 割り込みベクタ選択 (Interrupt Vector Select)

IVSELビットが解除(0)されると、割り込みベクタはフラッシュの応用領域の先頭に配置されます。このビットが設定(1)されると、割り込みベクタはフラッシュのブート領域の先頭に移動されます。絶対アドレスについてはデバイスのデータシートを参照してください。

このビットは形態設定変更保護機構によって保護されています。詳細については10ページの「形態設定変更保護」を参照してください。

- ビット5~3 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット2 – HILVLEN : 高位割り込み許可 (High Level Interrupt Enable) (注)

このビットが設定(1)されると、高位割り込みが許可されます。このビットが解除(0)された場合、高位割り込み要求は無視されます。

● ビット1 – MEDLVLEN : 中位割り込み許可 (Medium Level Interrupt Enable) (注)

このビットが設定(1)されると、中位割り込みが許可されます。このビットが解除(0)された場合、中位割り込み要求は無視されます。

● ビット0 – LOLVLEN : 低位割り込み許可 (Low Level Interrupt Enable) (注)

このビットが設定(1)されると、低位割り込みが許可されます。このビットが解除(0)された場合、低位割り込み要求は無視されます。

注: 割り込み無視はそのビットが解除(0)された後の1周期で実施します。

10.9. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$02	CTRL	RREN	IVSEL	–	–	–	HILVLEN	MEDLVLEN	LOLVLEN	71
+\$01	INTPRI	INTPRI7~0								71
+\$00	STATUS	NMIEX	–	–	–	–	HILVLEX	MEDLVLEX	LOLVLEX	71

11. 入出力ポート

11.1. 要点

- 個別形態設定を持つ汎用入出力ピン
- 形態設定可能な駆動部と引き込み設定を持つ出力駆動部
 - コンプリメンタリ
 - ワイヤードAND
 - ワイヤードOR
 - バス保持
 - 反転入出力
- 割り込みと事象を持つ同期と/または非同期の感知付き入力
 - 両端感知
 - 上昇端感知
 - 下降端感知
 - Lowレベル感知
- 入力とワイヤードOR/AND形態設定での任意選択のプルアップとプルダウンの抵抗
- 全休止形態からデバイスを起動できる非同期ピン変化感知
- 入出力ポート毎でピン遮蔽を持つ2つのポート割り込み
- ポートピンへの効率的で安全なアクセス
 - 専用の切り換え、解除(0)、設定(1)用レジスタ通すハードウェア読み-変更-書き
 - 単一操作で複数ピンの形態設定
 - ビットアクセス可能なI/Oメモリ空間へポートレジスタの割り当て
- ポートピンでの周辺クロック出力
- ポートピンでの実時間計数器クロック出力
- 事象チャネルがポートピンで出力可能
- デジタル周辺機能ピンの再割り当て
 - 選択可能なUSART、SPI、タイマ/カウンタの入出力ピン位置

11.2. 概要

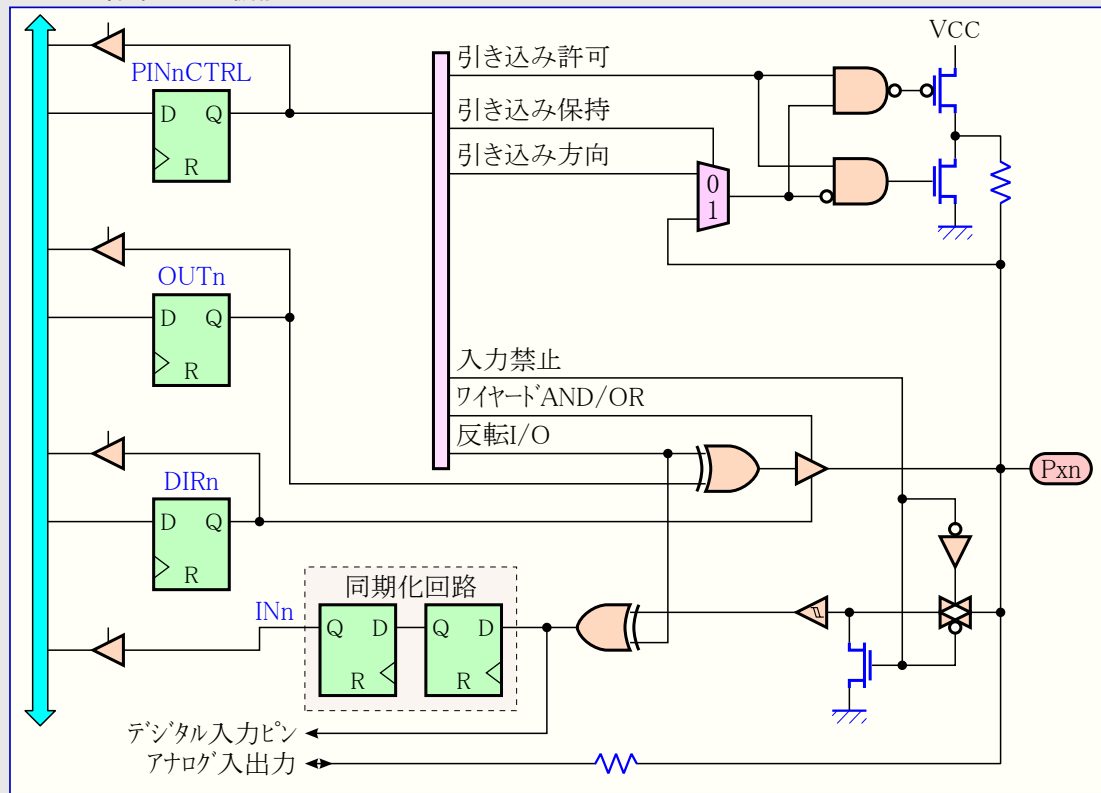
AVR XMEGAマイクロコントローラは柔軟な汎用I/Oポートを持ちます。1つのポートはピン0～7で最大8つのポートピンから成ります。各ポートピンは形態設定可能な駆動部と引き込み設定を持つ入力または出力として形態設定することができます。それらは選択可能なピン変化条件用の割り込みと事象を持つ同期と非同期の入力感知も実装します。非同期ピン変化感知はクロックが全く動かない形態を含む全ての休止形態からピン変化がデバイスを起こせることを意味します。

全ての機能はピン毎に個別で形態設定可能ですが、単一操作で多数のピンを形態設定することができます。ピンは駆動値と/または引き込み抵抗の形態設定の安全で正しい変更のためのハードウェア読み-変更-書き(RMW)機能を持ちます。1つのポートピンの方向は他のどのピンの方向をも予期せず変更することなく変えることができます。

ポートピン形態設定は他のデバイス機能の入出力選択も制御します。それはポートピンへの周辺クロックと実時間クロックの両出力を持つことが可能で、それは外部使用に利用可能です。同じことが外部機能の同期と制御に使用できる、事象システムからの事象に適用されます。応用の必要性に対するピン配置の最適化のため、USART、SPI、タイマ/カウンタのような他のデジタル周辺機能は選択可能なピン位置に再割り当てすることができます。

図11-1. はI/Oピン機能とピン制御に対して利用可能なレジスタを示します。

図11-1. 標準I/Oピン機能



11.3. I/Oピンの使い方と形態設定

各ポートはポートピン制御に使用される1つのデータ方向(DIR)レジスタと1つのデータ出力値(OUT)レジスタを持ちます。データ入力値(IN)レジスタはポートピンを読むのに使用されます。加えて各ピンは付加的なピン形態用のピン形態設定(PINnCTRL)レジスタを持っています。

ピンの方向はDIRレジスタのDIRnビットによって決められます。DIRnが1を書かれた場合、ピンは出力ピンとして形態設定されます。DIRnが0を書かれた場合、ピンは入力ピンとして形態設定されます。

方向が出力として設定されると、OUTレジスタのOUTnビットはピンの値を設定するのに使用されます。OUTnが1を書かれた場合、ピンはHighに駆動されます。OUTnが0を書かれた場合、ピンはLowに駆動されます。

INレジスタはピン値を読むのに使用されます。デジタル入力が禁止される場合を除き、ピンが入力または出力のどちらとして形態設定されているかに拘らず、ピン値は常に読むことができます。

I/Oピンは例えばクロックが動作していなくてもリセット条件が活性(有効)になるとHi-Zにされます。

ピン形態設定(PINnCTRL)レジスタは付加的なI/Oピン形態に使用されます。ピンはコンプリメンタリ、ワイヤードAND、ワイヤードOR形態に設定できます。ピンに対して反転入出力を許可することも可能です。

コンプリメンタリ出力は、コンプリメンタリ(プッシュプル)、プルダウン、プルアップ、バス保持の4つの可能な引き込み形態設定を持ちます。バス保持は両方向で活性(有効)です。これは出力禁止時の発振を避けるためです。プルアップとプルダウン付きのコンプリメンタリ形態はピンが入力として設定される時にだけ活性(有効)になる抵抗器を持ちます。この機能は unnecessary 電力消費を無くします。

ワイヤードANDとワイヤードOR形態については、任意選択のプルアップとプルダウン抵抗が入力と出力の両方向で活性(有効)です。

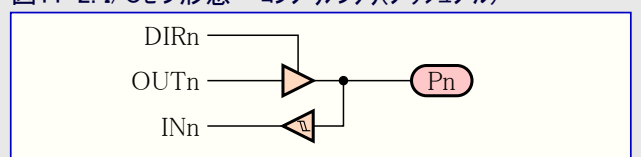
引き込み形態がピン形態設定レジスタを通して形態設定されるため、ピン方向とピン値の切り換え間のポート中間状態が避けられます。

I/Oピン形態は図11-2.～図11-7.での簡略化された回路図で要約されます。

11.3.1. コンプリメンタリ

コンプリメンタリ(プッシュプル)形態では、ピンが対応するデータ出力値(OUT)レジスタ設定に従ってLowまたはHighに駆動されます。この形態ではそのピンが持つ可能な能力以外に吸い込み(シンク)と吐き出し(ソース)に対して何の制限もありません。ピンが入力に形態設定された場合、外部の引き込み(プルアップ/プルダウン)抵抗が接続されないなら、そのピンは浮き状態になります。

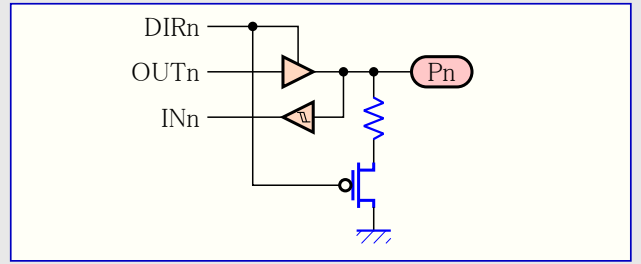
図11-2. I/Oピン形態 - コンプリメンタリ(プッシュプル)



11.3.1.1. プルダウン付きコンプリメンタリ

この形態では入力として設定される時にピンが内部プルダウン抵抗とで形態設定されるのを除いて、コンプリメンタリと同様です。

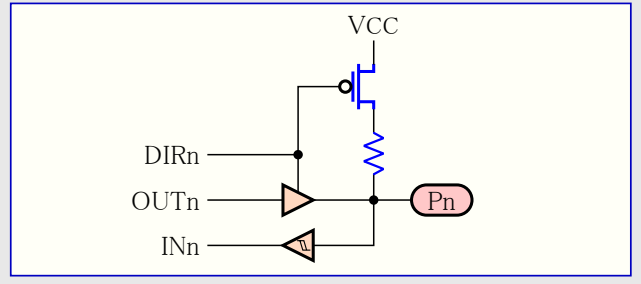
図11-3. I/Oピン形態 – 入力プルダウン付きコンプリメンタリ



11.3.1.2. プルアップ付きコンプリメンタリ

この形態では入力として設定される時にピンが内部プルアップとで形態設定されるのを除いて、コンプリメンタリと同様です。

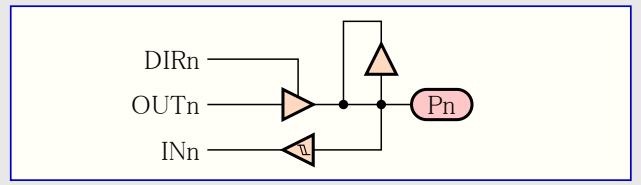
図11-4. I/Oピン形態 – 入力プルアップ付きコンプリメンタリ



11.3.2. バス保持

バス保持形態ではピンがもはやHighまたはLowに駆動されない時にその論理レベルでピンを保持する弱いバス保持器を提供します。ピン/バス上の最後のレベルが1だったなら、バス保持形態設定はバスをHighに保持するために内部プルアップ抵抗を使用します。ピン/バス上の最後のレベルが0だったなら、バス保持器はバスをLowに保持するために内部プルダウン抵抗を使用します。

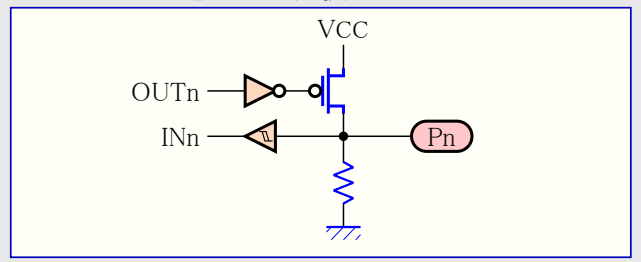
図11-5. I/Oピン形態 – バス保持付きコンプリメンタリ



11.3.3. ワイヤードOR

ワイヤードOR形態設定ではデータ出力値(OUT)レジスタとデータ方向(DIR)レジスタで対応するビットが1を書かれる時にピンがHighに駆動されます。OUTレジスタが0に設定されると、ピンは開放され、内部または外部のプルダウン抵抗でLowに引かれることをピンに許します。内部プルダウンが使用される場合、ピンが入力として設定される場合にもこれは活性(有効)です。

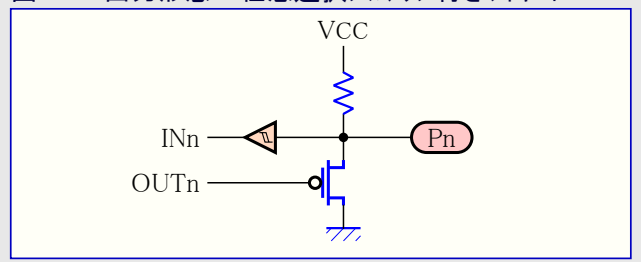
図11-6. 出力形態 – 任意選択プルダウン付きワイヤードOR



11.3.4. ワイヤードAND

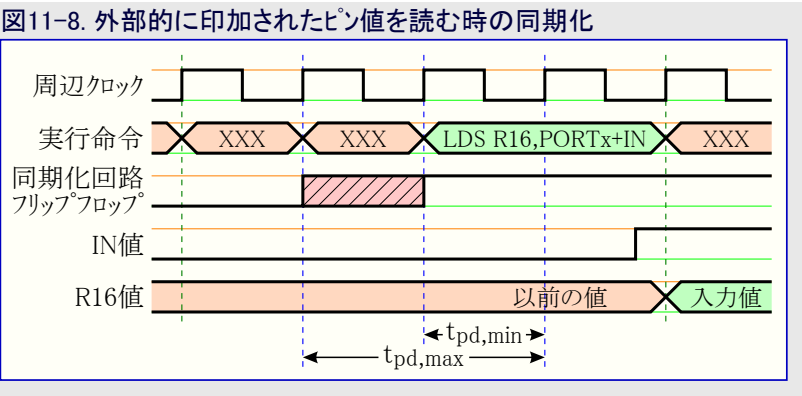
ワイヤードAND形態設定ではデータ出力値(OUT)レジスタとデータ方向(DIR)レジスタで対応するビットが0を書かれる時にピンがLowに駆動されます。OUTレジスタが1に設定されると、ピンは開放され、内部または外部のプルアップ抵抗でHighに引かれることをピンに許します。内部プルアップが使用される場合、ピンが入力として設定される場合にもこれは活性(有効)です。

図11-7. 出力形態 – 任意選択プルアップ付きワイヤードAND



11.4. ピン値の読み方

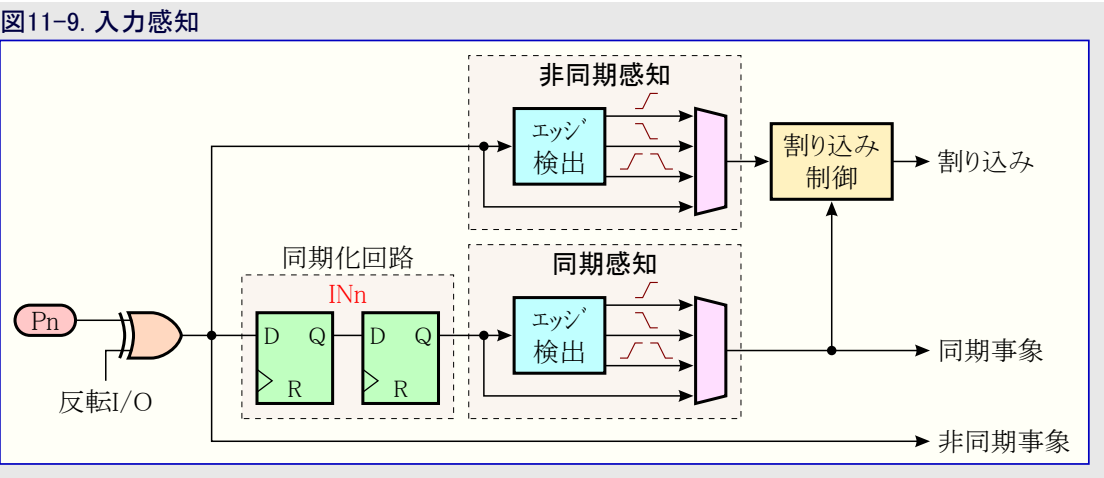
ピンのデータ方向と無関係に、ピン値は74頁の図11-1.で示されるように、データ入力値(IN)レジスタから読むことができます。デジタル入力が禁止される場合、ピン値は読めません。INレジスタビットと先行するフリップフロップが同期化回路を構成します。同期化回路は内部信号線での遅延を生じます。図11-8.は外部的に印加されたピン値を読む時の同期化タイミング構成図を示します。最大と最小の伝播遅延は、各々 $t_{pd,max}$ と $t_{pd,min}$ として記されます。



11.5. 入力感知形態設定

入力感知はI/Oピン入力でのエッジまたはレベルの検出に使用されます。各ピンに対して利用可能な各種検知条件は上昇端、下降端、両端の検出、またはLowレベルの検出です。Highレベルは反転入力形態設定を使用することによって検出することができます。入力感知はピンでの変化があった時に割り込み要求(IREQ)または事象を起動することができます。

I/Oピンは同期と非同期の入力感知を支援します。同期感知は周辺クロックの存在を必要とし、一方非同期感知はどのクロックも必要としません。



11.6. ポート割り込み

各ポートは2つの割り込みベクタを持ち、各割り込みを起動するポートのピンが形態設定可能です。ポート割り込みはそれらが使用される前に許可されなければなりません。どの感知形態が割り込み生成に使用できるかは、選択したピンに対して同期と非同期の入力感知のどちらが利用可能かに依存します。

同期感知については、全ての感知形態が割り込み生成に使用できます。エッジ検出に対しては、割り込み要求が生成されるために、変更されたピン値が周辺クロックによって1度採取されなければなりません。

非同期感知については、各ポートのポートピン2だけが完全な非同期感知支援を持ちます。これはエッジ検出に関してピン2がどのエッジもラッチして検出し、常に割り込み要求を起動することを意味します。他のポートピンは制限された非同期感知支援を持ちます。これはエッジ検出に関して、デバイス起動してクロックが存在するまで、変更された値が保持されなければならないことを意味します。デバイスの起動時間が終わる前にピン値が戻る場合、デバイスは起動したままですが、割り込み要求は生成されません。

Lowレベルは周辺クロックが存在するか否かに拘らず全てのピンで常に検出できます。ピンがLowレベル感知に形態設定された場合、そのピンがLowを保持している限り、割り込みを起動します。活動動作に於いては、割り込みを生成するために現在実行中の命令の完了までLowレベルが保たれなければなりません。全ての休止形態動作に於いて、割り込みを生成するためにデバイス起動時間の終りまでLowレベルが保持されなければなりません。起動時間の終了前にLowレベルが消滅した場合、デバイスは起動したままですが、割り込み要求は生成されません。

表11-1、表11-2、表11-3.は様々な入力感知形態に対して割り込みが起動され得る時を要約します。

表11-1. 同期感知支援		
感知設定	支援有無	割り込み内容
上昇端	有	常に起動
下降端	有	常に起動
両端	有	常に起動
Lowレベル	有	起動中、ピン値は無変化を維持されなければなりません。

表11-2. 完全な非同期感知支援

感知設定	支援有無	割り込み内容
上昇端	有	常に起動
下降端	有	常に起動
両端	有	常に起動
Lowレベル	有	起動中、ピン値は無変化を維持されなければなりません。

表11-3. 制限された非同期感知支援

感知設定	支援有無	割り込み内容
上昇端	無	–
下降端	無	–
両端	有	起動中、ピン値は無変化を維持されなければなりません。
Lowレベル	有	起動中、ピン値は無変化を維持されなければなりません。

11.7. ポート事象

ポートピンはそれらがピンで変化する時に事象を生成できます。感知形態設定は各ピンに対して事象を生成する条件を決めます。事象生成は周辺クロックの存在を必要とし、非同期事象生成は不可能です。エッジ感知については、生成されるべき事象に対して変更されたピン値が周辺クロックによって1度採取されなければなりません。

レベル感知に関して、Lowレベルのピン値は事象を生成せず、Highのピン値は継続的に事象を生成します。Lowレベルで生成されるべき事象については、ピン形態設定が**反転I/O**に設定されなければなりません。

表11-4. 事象感知支援

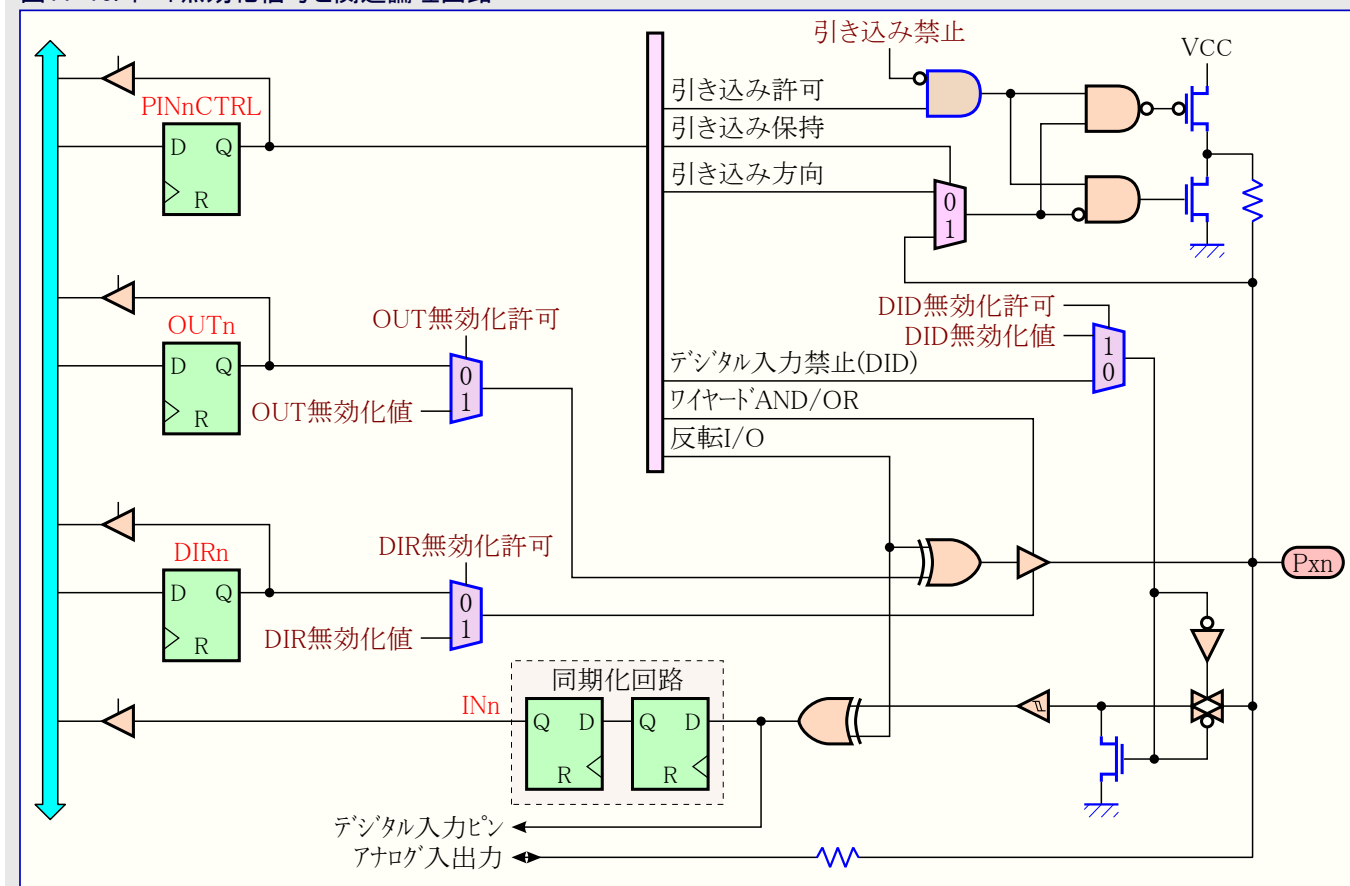
感知設定	合図事象	データ事象
上昇端	上昇端	ピン値
下降端	下降端	ピン値
両端	何れか端	ピン値
Lowレベル	ピン値	ピン値

11.8. ポート機能交換

殆どのポートピンは汎用I/Oピンであることに加えて交換ピン機能を持ちます。機能交換が許可されると、それは通常ポートピン機能またはピン値を無効にするかもしれません。これは他の周辺機能で必要とするピンが許可または使用ピンに形態設定される時に起きます。周辺機能がどう無効にして、ピンをどう使用するかはその周辺機能に関する章で記述されます。

ポート無効化信号と関連する論理回路(暗背景青枠、**訳注**:原書は灰色)が図11-10.で示されます。この信号はソフトウェアからアクセス不能で、無効化する周辺機能とポートピン間の内部信号です。

図11-10. ポート無効化信号と関連論理回路



11.9. クロックと事象の出力

周辺クロックと(事象制御(EVCTRL)レジスタを使用して)事象チャネルのどれをもポートピンに出力することが可能です。これはクロック、制御、そして外部の機能とハードウェアを内部デバイスタイミングと同期するのに使用することができます。出力ポートピンは選択可能です。事象が起きた場合、その事象が継続する限り、そのポートピンで**見ることができ**、通常1周辺クロック周期です。

11.10. 複数ピン形態設定

複数ピン形態設定機能は、ポートピン形態設定レジスタの1つだけへの単一書き込み操作を用いて、複数ポートピンの形態設定に使用することができます。複数ピン全体形態設定許可(MPCMASK)レジスタは或るポートピンレジスタが書かれる時にどのポートピンが形態設定されるかを決め、同時に同じ書き込み操作中に同じ方法で多数のピンの書き込みを避けます。

11.11. 仮想ポート

仮想ポートレジスタはビットアクセス可能なI/Oメモリ空間へ仮想的に割り当てられることをポートレジスタに許します。これが行われると、仮想ポートレジスタへの書き込みは現実のポートレジスタへの書き込みと同じです。これは通常、拡張I/Oメモリ空間に属するポートレジスタで、ビット操作命令のようなI/Oメモリ特定命令の使用を許します。4つの仮想ポートがあり、故に同時に4ポートを割り当てることができます。

11.12. レジスタ説明 – ポート

11.12.1. DIR – データ方向レジスタ (Data Direction register)

ビット	7	6	5	4	3	2	1	0	
+\$00	DIR7~0								DIR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – DIR7~0 : データ方向 (Data Direction)

このレジスタはポートの個別ピンに対するデータ方向を設定します。DIRnが1を書かれるなら、ピンnは出力ピンとして形態設定されます。DIRnが0を書かれるなら、ピンnは入力ピンとして形態設定されます。

11.12.2. DIRSET – データ方向設定レジスタ (Data Direction Set register)

ビット	7	6	5	4	3	2	1	0	
+\$01	DIRSET7~0								DIRSET
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – DIRSET7~0 : データ方向設定 (Port Data Direction Set)

このレジスタは出力として個別ピンを設定するための読み-変更-書きの代わりに使用できます。ビットへの1書き込みがデータ方向(DIR)レジスタの対応ビットを設定(1)します。このレジスタの読み込みはDIRレジスタ値を返します。

11.12.3. DIRCLR – データ方向解除レジスタ (Data Direction Clear register)

ビット	7	6	5	4	3	2	1	0	
+\$02	DIRCLR7~0								DIRCLR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – DIRCLR7~0 : データ方向解除 (Port Data Direction Clear)

このレジスタは入力として個別ピンを設定するための読み-変更-書きの代わりに使用できます。ビットへの1書き込みがデータ方向(DIR)レジスタの対応ビットを解除(0)します。このレジスタの読み込みはDIRレジスタ値を返します。

11.12.4. DIRTGL – データ方向交互切換レジスタ (Data Direction Toggle register)

ビット	7	6	5	4	3	2	1	0	
+\$03	DIRTGL7~0								DIRTGL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – DIRTGL7~0 : データ方向交互切換 (Port Data Direction Toggle)

このレジスタは個別ピンの方向を交互切り換えするための読み-変更-書きの代わりに使用できます。ビットへの1書き込みがデータ方向(DIR)レジスタの対応ビットを切り換え(反転)します。このレジスタの読み込みはDIRレジスタ値を返します。

11.12.5. OUT – データ出力値レジスタ (Data Output Value register)

ビット	7	6	5	4	3	2	1	0	
+\$04	OUT7~0								OUT
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – OUT7~0 : データ出力値 (Port Data Output Value)

このレジスタはポートの個別ピンに対するデータ出力値を設定します。OUTnが1を書かれるなら、ピンnはHighを駆動します。OUTnが0を書かれるなら、ピンnはLowを駆動します。この設定が何らかの効果を持つにはピン方向が出力として設定されなければなりません。

11.12.6. OUTSET – データ出力値設定レジスタ (Data Output Value Set register)

ビット	7	6	5	4	3	2	1	0	
+\$05	OUTSET7~0								OUTSET
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7~0 – OUTSET7~0 : データ出力値設定 (Data Output Value Set)

このレジスタは個別ピンの出力値を1に設定するための読み-変更-書きの代わりに使用できます。ビットへの1書き込みがデータ出力値(OUT)レジスタの対応ビットを設定(1)します。このレジスタの読み込みはOUTレジスタ値を返します。

11.12.7. OUTCLR – データ出力値解除レジスタ (Data Output Value Clear register)

ビット	7	6	5	4	3	2	1	0	
+\$06	OUTCLR7~0								OUTCLR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7~0 – OUTCLR7~0 : データ出力値解除 (Data Output Value Clear)

このレジスタは個別ピンの出力値を0に設定するための読み-変更-書きの代わりに使用できます。ビットへの1書き込みがデータ出力値(OUT)レジスタの対応ビットを解除(0)します。このレジスタの読み込みはOUTレジスタ値を返します。

11.12.8. OUTTGL – データ出力値交互切換レジスタ (Data Output Value Toggle register)

ビット	7	6	5	4	3	2	1	0	
+\$07	OUTTGL7~0								OUTTGL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7~0 – OUTTGL7~0 : データ出力値交互切換 (Port Data Output Value Toggle)

このレジスタは個別ピンで出力値を交互切り換えするための読み-変更-書きの代わりに使用できます。ビットへの1書き込みがデータ出力値(OUT)レジスタの対応ビットを切り換え(反転)します。このレジスタの読み込みはOUTレジスタ値を返します。

11.12.9. IN – データ入力値レジスタ (Data Input Value register)

ビット	7	6	5	4	3	2	1	0	
+\$08	IN7~0								IN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

●ビット7~0 – IN7~0 : データ入力値 (Data Input Value)

このレジスタはデジタル入力緩衝部が許可されている場合のピンに存在する値を示します。INnはポートのピン値を示します。デジタル入力緩衝部が禁止されている場合、入力が採取されず、読むことができません。

11.12.10. INTCTRL – 割り込み制御レジスタ (Interrupt Control register)

ビット	7	6	5	4	3	2	1	0	
+\$09	–	–	–	–	INT1LVL1,0		INT0LVL1,0		INTCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

●ビット3,2,1,0 – INTnLVL1,0 : 割り込みnレベル (Interrupt n Level)

これらのビットはポート割り込みnを許可して、68頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選びます。

11.12.11. INTOMASK – 割り込み0許可レジスタ (Interrupt 0 Mask register)

ビット	7	6	5	4	3	2	1	0	
+\$0A	INTOMASK7~0								INTOMASK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – INTOMASK7~0 : 割り込み0許可 (Interrupt 0 Mask)

これらのビットはポート割り込み0に対する供給元としてどのピンを使用するか許可/遮蔽に使用されます。INTOMASKnが1を書かれるなら、ピンnはポート割り込み0に対する供給元として使用されます。各ピンに対する入力感知形態はピン形態設定(PINnCTRL)レジスタによって決められます。

11.12.12. INT1MASK – 割り込み1許可レジスタ (Interrupt 1 Mask register)

ビット	7	6	5	4	3	2	1	0	
+\$0B	INT1MASK7~0								INT1MASK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – INT1MASK7~0 : 割り込み1許可 (Interrupt 1 Mask)

これらのビットはポート割り込み1に対する供給元としてどのピンを使用するか許可/遮蔽に使用されます。INT1MASKnが1を書かれるなら、ピンnはポート割り込み1に対する供給元として使用されます。各ピンに対する入力感知形態はピン形態設定(PINnCTRL)レジスタによって決められます。

11.12.13. INTFLAGS – 割り込み要求フラグ レジスタ (Interrupt Flag register)

ビット	7	6	5	4	3	2	1	0	
+\$0C	–	–	–	–	–	–	INT1IF	INT0IF	INTFLAGS
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1,0 – INTnIF : 割り込みn要求フラグ (Interrupt n Flag)

ピンがポート割り込みnに対する供給元として設定され、且つピンの変化/状態が入力感知形態設定と一致する時にINTnIFフラグが設定(1)されます。このフラグのビット位置への1書き込みがこのフラグを解除(0)します。割り込みの許可と実行については割り込みレベル記述を参照してください。

11.12.14. REMAP – ピン再割り当てレジスタ (Pin Remap register)

ピン再割り当て機能はポートC~Fでだけ利用可能です。

ビット	7	6	5	4	3	2	1	0	
+\$0E	–	–	SPI	USART0	TC0D	TC0C	TC0B	TC0A	REMAP
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット5 – SPI : SPI再割り当て (SPI Remap)

このビットの1設定はUSARTがSPI主装置として動作する時にSPIとUSART間のピン互換を持つようにSCKとMISOピンのピン位置を入れ換えます。

● ビット4 – USART0 : USART0再割り当て (USART0 Remap)

このビットの1設定はUSART0のピン位置をPx3~0からPx7~4に移します。

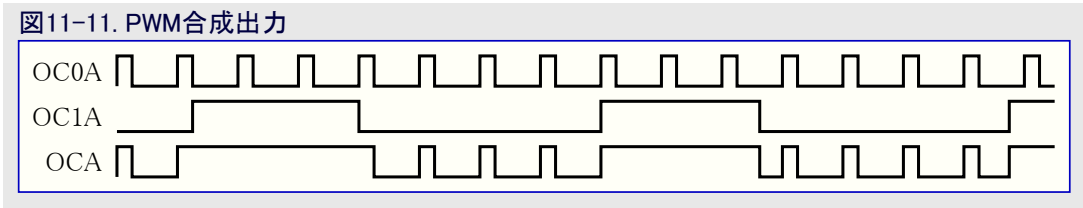
● ビット3 – TC0D : タイマ/カウンタ0比較出力D再割り当て (Timer/Counter 0 Output Compare D)

このビットの設定(1)はOC0Dの位置をPx3からPx7に移します。

● ビット2 – TC0C : タイマ/カウンタ0比較出力C再割り当て (Timer/Counter 0 Output Compare C)

このビットの設定(1)はOC0Cの位置をPx2からPx6に移します。

- **ビット1 – TC0B : タイマ/カウンタ0比較出力B再割り当て (Timer/Counter 0 Output Compare B)**
このビットの設定(1)はOC0Bの位置をPx1からPx5に移します。このビットが設定(1)され、タイマ/カウンタ0とタイマ/カウンタ1の両方からのPWMが許可されている場合、PWMの結果は2つのPWM間のOR変調になります。
- **ビット0 – TC0A : タイマ/カウンタ0比較出力A再割り当て (Timer/Counter 0 Output Compare B)**
このビットの設定(1)はOC0Aの位置をPx0からPx4に移します。このビットが設定(1)され、タイマ/カウンタ0とタイマ/カウンタ1の両方からのPWMが許可されている場合、PWMの結果は2つのPWM間のOR変調になります。図11-11をご覧ください。



11.12.15. PINnCTRL – ピンn形態設定レジスタ (Pin n Configuration register)

ビット	7	6	5	4	3	2	1	0	
+\$10+n	–	INVEN	OPC2~0			ISC2~0			PINnCTRL
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7 – 予約 (Reserved)**
このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。
- **ビット6 – INVEN : 反転I/O許可 (Inverted I/O Enable)**
このビットの設定(1)がピンnの入力データと出力データの反転を許可します。
- **ビット5~3 – OPC2~0 : 出力/引き込み形態設定 (Output and Pull Configuration)**
これらのビットは表11-5に従ってピンnの出力/引き込み形態を設定します。

表11-5. 出力/引き込み形態

OPC2~0	群形態設定	内容	
		出力形態	引き込み形態
0 0 0	TOTEM	コンプリメンタリ	(なし)
0 0 1	BUSKEEPER	コンプリメンタリ	バス保持
0 1 0	PULLDOWN	コンプリメンタリ	入力でのプルダウン
0 1 1	PULLUP	コンプリメンタリ	入力でのプルアップ
1 0 0	WIREDOR	ワイヤードOR	(なし)
1 0 1	WIREDAND	ワイヤードAND	(なし)
1 1 0	WIREDORPULL	ワイヤードOR	プルダウン
1 1 1	WIREDANDPULL	ワイヤードAND	プルアップ

- **ビット2~0 – ISC2~0 : 入力/感知形態設定 (Input/Sense Configuration)**

これらのビットは表11-6に従ってピンn入力と感知の形態を設定します。感知形態はピンがポート割り込みと事象をどう起動し得るかを決めます。入力緩衝部が禁止されていると、入力は入力値(IN)レジスタで読むことができません。

表11-6. 入力/感知形態

ISC2~0	群形態設定	内容
0 0 0	BOTHEDGES	両端感知
0 0 1	RISING	上昇端感知
0 1 0	FALLING	下降端感知
0 1 1	LEVEL	Lowレベル感知 (注1)
1 0 0	–	(予約)
1 0 1	–	(予約)
1 1 0	–	(予約)
1 1 1	INPUT_DISABLE	デジタル入力緩衝部禁止 (注2)

注1: Lowレベルのピン値は事象を生成せず、Highレベルのピン値が継続的な事象を生成します。
注2: ポートA~Fだけが入力緩衝部禁止任意選択を支援します。ピンがA/D変換器(ADC)やアナログ比較器(AC)のようなアナログ機能に使用される場合、ピンをINPUT_DISABLEに形態設定することが推奨されます。

11.13. レジスタ説明 – ポート形態設定

11.13.1. MPCMASK – 複数ピン形態設定許可レジスタ (Multi-pin Configuration Mask register)

ビット	7	6	5	4	3	2	1	0	
+\$00	MPCMASK7~0								MPCMASK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – MPCMASK7~0 : 複数ピン形態設定許可 (Multi-pin Configuration Mask)

MPCMASKレジスタは同時に形態設定されるべきポートの多数のピンを許可します。ビットへの1書き込みはピンを複数ピン形態設定の一部にします。MPCMASKレジスタの1つ以上のビットが設定(1)されると、ピン形態設定(PINnCTRL)レジスタの何れかの書き込みはそのポートに対してMPCMASKレジスタ内の遮蔽に一致するPINnCTRLだけを更新します。MPCMASKレジスタはPINnCTRLレジスタのどれかが書かれた後で自動的に解除(=0)されます。

11.13.2. VPCTRLA – 仮想ポート割り当て制御レジスタA (Virtual Port-map Control register A)

ビット	7	6	5	4	3	2	1	0	
+\$02	VP1MAP3~0				VP0MAP3~0				VPCTRLA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – VP1MAP3~0 : 仮想ポート1割り当て (Virtual Port 1 Mapping)

これらのビットは仮想ポート1にどのポートが割り当てられるべきかを決めます。方向(DIR)、出力値(OUT)、入力値(IN)、割り込み要求フラグ(INTFLAGS)のレジスタが割り当てられます。仮想ポートレジスタのアクセスは実際のポートレジスタアクセスと等価です。形態設定については表12-6をご覧ください。

● ビット3~0 – VP0MAP3~0 : 仮想ポート0割り当て (Virtual Port 0 Mapping)

これらのビットは仮想ポート0にどのポートが割り当てられるべきかを決めます。方向(DIR)、出力値(OUT)、入力値(IN)、割り込み要求フラグ(INTFLAGS)のレジスタが割り当てられます。仮想ポートレジスタのアクセスは実際のポートレジスタアクセスと等価です。形態設定については表11-6をご覧ください。

11.13.3. VPCTRLB – 仮想ポート割り当て制御レジスタB (Virtual Port-map Control register B)

ビット	7	6	5	4	3	2	1	0	
+\$03	VP3MAP3~0				VP2MAP3~0				VPCTRLB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – VP3MAP3~0 : 仮想ポート3割り当て (Virtual Port 3 Mapping)

これらのビットは仮想ポート3にどのポートが割り当てられるべきかを決めます。方向(DIR)、出力値(OUT)、入力値(IN)、割り込み要求フラグ(INTFLAGS)のレジスタが割り当てられます。仮想ポートレジスタのアクセスは実際のポートレジスタアクセスと等価です。形態設定については表11-6をご覧ください。

● ビット3~0 – VP2MAP3~0 : 仮想ポート2割り当て (Virtual Port 2 Mapping)

これらのビットは仮想ポート2にどのポートが割り当てられるべきかを決めます。方向(DIR)、出力値(OUT)、入力値(IN)、割り込み要求フラグ(INTFLAGS)のレジスタが割り当てられます。仮想ポートレジスタのアクセスは実際のポートレジスタアクセスと等価です。形態設定については表11-7をご覧ください。

表11-7. 仮想ポート割り当て

VPnMAP3~0	群形態設定	内容	VPnMAP3~0	群形態設定	内容
0 0 0 0	PORTA	ポートAを仮想ポートnに割り当て	1 0 0 0	-	(将来の使用に予約)
0 0 0 1	PORTB	ポートBを仮想ポートnに割り当て	1 0 0 1	-	(将来の使用に予約)
0 0 1 0	PORTC	ポートCを仮想ポートnに割り当て	1 0 1 0	-	(将来の使用に予約)
0 0 1 1	PORTD	ポートDを仮想ポートnに割り当て	1 0 1 1	-	(将来の使用に予約)
0 1 0 0	PORTE	ポートEを仮想ポートnに割り当て	1 1 0 0	-	(将来の使用に予約)
0 1 0 1	PORTF	ポートFを仮想ポートnに割り当て	1 1 0 1	-	(将来の使用に予約)
0 1 1 0	-	(将来の使用に予約)	1 1 1 0	-	(将来の使用に予約)
0 1 1 1	-	(将来の使用に予約)	1 1 1 1	PORTR	ポートRを仮想ポートnに割り当て

11.13.4. CLKEVOUT – クロック/事象出力レジスタ (Clock and Event Out register)

ビット +\$04	7	6	5	4	3	2	1	0	
	CLKEVPIN	RTCOUT	EVOUT1,0		CLKOUTSEL1,0		CLKOUT1,0		CLKEVOUT
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – CLKEVPIN : クロックと事象出力ピン選択 (Clock and Event Output Pin Select)

このビットの設定(1)はポートのピン7の代わりにポートのピン4でのクロックと事象ピンの出力を許可します。

● ビット6 – RTCOUT : RTCクロック出力許可 (RTC Clock Output Enable)

このビットの設定(1)はポートCのピン6でのRTCクロック元の出力を許可します。

● ビット5,4 – EVOUT1,0 : 事象出力ポート (Event Output Port)

これらのビットは事象システムからの事象チャネルがどのポートに出力されるべきかを決めます。選択されたポートのピン7が既定で使用され、クロック出力ポート(CLKOUT)ビットはEVOUTのそれらと違うように設定されなければなりません。ピンで利用可能にすべき事象のために、ポートピンは出力として形態設定されなければなりません。

表11-7.が可能な形態を示します。

表11-7. 事象チャネル出力形態設定

EVOUT1,0	群形態設定	内容
0 0	OFF	事象出力禁止
0 1	PC	ポートCでの事象チャネル出力
1 0	PD	ポートDでの事象チャネル出力
1 1	PE	ポートEでの事象チャネル出力

● ビット3,2 – CLKOUTSEL1,0 : クロック出力選択 (Clock Output Select)

これらのビットはクロック出力ポート(CLKOUT)が形態設定された場合に、どの周辺クロックがポートピンへ出力されるかの選択に使用されます。

表11-8. 周辺クロック出力選択

CLKOUTSEL1,0	群形態設定	内容
0 0	CLK1X	ピンへclk _{PER} 出力
0 1	CLK2X	ピンへclk _{PER2} 出力
1 0	CLK4X	ピンへclk _{PER4} 出力
1 1	–	(予約)

● ビット1,0 – CLKOUT1,0 : クロック出力ポート (Clock Output Port)

これらのビットは周辺クロックがどのポートに出力されるべきかを決めます。選択されたポートのピン7が既定で使用されます。CLKOUT設定はEVOUT設定を無効にします。従って、両方が同じポートピンで許可される場合、周辺クロックが見えます。ピンで利用可能にすべきクロックのために、ポートピンは出力ピンとして形態設定されなければなりません。

表11-9.が可能な形態を示します。

表11-9. クロック出力形態設定

CLKOUT1,0	群形態設定	内容
0 0	OFF	クロック出力禁止
0 1	PC	ポートCでのクロック出力
1 0	PD	ポートDでのクロック出力
1 1	PE	ポートEでのクロック出力

11.13.5. EVCTRL – 事象制御レジスタ (Event Control register)

ビット +\$06	7	6	5	4	3	2	1	0	
	–	–	–	–	–	–	EVOUTSEL1,0		EVCTRL
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1,0 – EVCTRL1,0 : 事象チャネル出力選択 (Event Channel Output Selection)

これらのビットは事象システムからのどのチャネルがポートピンに出力されるかを定義します。表11-10.は利用可能な選択を示します。

表11-10. 事象チャネル出力選択

EVOUTSEL1,0	群形態設定	内容
0 0	0	ピンへ事象チャネル0出力
0 1	1	ピンへ事象チャネル1出力
1 0	2	ピンへ事象チャネル2出力
1 1	3	ピンへ事象チャネル3出力

11.14. レジスタ説明 – 仮想ポート

11.14.1. DIR – データ方向レジスタ (Data Direction register)

ビット	7	6	5	4	3	2	1	0	
+\$00	DIR7~0								DIR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – DIR7~0 : データ方向 (Data Direction)

このレジスタはVPCTRLA – 仮想ポート割り当て制御レジスタAまたはVPCTRLB – 仮想ポート割り当て制御レジスタBによって割り当てされたポート内の個別ピンに対するデータ方向を設定します。ポートが仮想として割り当てられたとき、このレジスタのアクセスはそのポートに対する実際のデータ方向(DIR)レジスタのアクセスと同じです。

11.14.2. OUT – データ出力値レジスタ (Data Output Value register)

ビット	7	6	5	4	3	2	1	0	
+\$01	OUT7~0								OUT
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – OUT7~0 : データ方向設定 (Port Data Output Value)

このレジスタはVPCTRLA – 仮想ポート割り当て制御レジスタAまたはVPCTRLB – 仮想ポート割り当て制御レジスタBによって割り当てされたポートの個別ピンに対するデータ出力値を設定します。ポートが仮想として割り当てられたとき、このレジスタのアクセスはそのポートに対する実際のデータ出力値(OUT)レジスタのアクセスと同じです。

11.14.3. IN – データ入力値レジスタ (Data Input Value register)

ビット	7	6	5	4	3	2	1	0	
+\$02	IN7~0								IN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

● ビット7~0 – IN7~0 : データ入力値 (Data Input Value)

このレジスタはデジタル入力緩衝部が許可されている場合のピンに存在する値を示します。VPCTRLA – 仮想ポート割り当て制御レジスタAまたはVPCTRLB – 仮想ポート割り当て制御レジスタBの形態設定がこのレジスタ内の値を決めます。ポートが仮想として割り当てられたとき、このレジスタのアクセスはそのポートに対する実際のデータ入力値(IN)レジスタのアクセスと同じです。

11.14.4. INTFLAGS – 割り込み要求フラグ レジスタ (Interrupt Flag register)

ビット	7	6	5	4	3	2	1	0	
+\$03	–	–	–	–	–	–	INT1IF	INT0IF	INTFLAGS
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1,0 – INTnIF : 割り込みn要求フラグ (Interrupt n Flag)

ピンがポート割り込みnに対する供給元として設定され、且つピンの変化/状態が入力感知形態と一致する時にINTnIFフラグが設定(1)されます。このフラグのビット位置への1書き込みがこのフラグを解除(0)します。割り込みの許可と実行については割り込みレベル記述を参照してください。

VPCTRLA – 仮想ポート割り当て制御レジスタAまたはVPCTRLB – 仮想ポート割り当て制御レジスタBの形態設定がどのフラグが割り当てられるかを決めます。ポートが仮想として割り当てられた時に、このレジスタのアクセスはそのポートに対する実際の割り込み要求フラグ(INTFLAGS)レジスタのアクセスと同じです。

11.15. レジスタ要約 – ポート

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$1F	予約	–	–	–	–	–	–	–	–	
+\$1E	予約	–	–	–	–	–	–	–	–	
+\$1D	予約	–	–	–	–	–	–	–	–	
+\$1C	予約	–	–	–	–	–	–	–	–	
+\$1B	予約	–	–	–	–	–	–	–	–	
+\$1A	予約	–	–	–	–	–	–	–	–	
+\$19	予約	–	–	–	–	–	–	–	–	
+\$18	予約	–	–	–	–	–	–	–	–	
+\$17	PIN7CTRL	–	INVEN		OPC2~0			ISC2~0		82
+\$16	PIN6CTRL	–	INVEN		OPC2~0			ISC2~0		82
+\$15	PIN5CTRL	–	INVEN		OPC2~0			ISC2~0		82
+\$14	PIN4CTRL	–	INVEN		OPC2~0			ISC2~0		82
+\$13	PIN3CTRL	–	INVEN		OPC2~0			ISC2~0		82
+\$12	PIN2CTRL	–	INVEN		OPC2~0			ISC2~0		82
+\$11	PIN1CTRL	–	INVEN		OPC2~0			ISC2~0		82
+\$10	PIN0CTRL	–	INVEN		OPC2~0			ISC2~0		82
+\$0F	予約	–	–	–	–	–	–	–	–	
+\$0E	REMAP	–	–	SPI	USART0	TC0D	TC0C	TC0B	TC0A	81
+\$0D	予約	–	–	–	–	–	–	–	–	
+\$0C	INTFLAGS	–	–	–	–	–	–	INT1IF	INT0IF	81
+\$0B	INT1MASK					INT1MASK7~0				81
+\$0A	INT0MASK					INT0MASK7~0				81
+\$09	INTCTRL	–	–	–	–	INT1LVL1,0		INT0LVL1,0		80
+\$08	IN					IN7~0				80
+\$07	OUTTGL					OUTTGL7~0				80
+\$06	OUTCLR					OUTCLR7~0				80
+\$05	OUTSET					OUTSET7~0				80
+\$04	OUT					OUT7~0				79
+\$03	DIRTGL					DIRTGL7~0				79
+\$02	DIRCLR					DIRCLR7~0				79
+\$01	DIRSET					DIRSET7~0				79
+\$00	DIR					DIR7~0				79

11.16. レジスタ要約 – ポート形態設定

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$06	EVCTRL	–	–	–	–	–	–	EVCTRL1,0		84
+\$05	予約	–	–	–	–	–	–	–	–	
+\$04	CLKEVOUT	CLKEVPIN	RTCOUT	EVOUT1,0		CLKOUTSEL1,0		CLKOUT1,0		84
+\$03	VPCTRLB		VP3MAP3~0				VP2MAP3~0			83
+\$02	VPCTRLA		VP1MAP3~0				VP0MAP3~0			83
+\$01	予約	–	–	–	–	–	–	–	–	
+\$00	MPCMASK					MPCMASK7~0				83

11.17. レジスタ要約 – 仮想ポート

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$03	INTFLAGS	–	–	–	–	–	–	INT1IF	INT0IF	85
+\$02	IN	IN7~0								85
+\$01	OUT	OUT7~0								85
+\$00	DIR	DIR7~0								85

11.18. 割り込みベクタ要約 – ポート

変位	記述例	割り込み内容
\$00	INT0_vect	ポート割り込み0ベクタ
\$02	INT1_vect	ポート割り込み1ベクタ

12. TC0/1 – 16ビット タイマ/カウンタ0型と1型

12.1. 要点

- 16ビット タイマ/カウンタ
- 2つタイマ/カウンタの縦列接続によって支援される32ビット タイマ/カウンタ
- 4つまでの組み合わせた比較と捕獲(CC)チャネル
 - 0型のタイマ/カウンタに対して4つのCCチャネル
 - 1型のタイマ/カウンタに対して2つのCCチャネル
- 2重緩衝されたタイマ定期間設定
- 2重緩衝された比較と捕獲のチャネル
- 波形生成:
 - 周波数生成
 - 単一傾斜パルス幅変調
 - 2傾斜パルス幅変調
- 捕獲:
 - 雑音消去付き捕獲入力
 - 周波数捕獲
 - パルス幅捕獲
 - 32ビット捕獲入力
- タイマ経過溢れとタイマ異常の割り込み/事象
- CCチャネル当たり1つの比較一致または捕獲の割り込み/事象
- 事象システムと共に以下が使用可能:
 - 直交復号
 - 計数と方向の制御
 - 捕獲
- Hi-Res – 高分解能拡張
 - 周波数と波形の分解能を2ビット(×4)または3ビット(×8)増加
- AWeX – 新波形拡張
 - 設定可能な沈黙時間挿入(DTI)を持つLow側とHigh側の出力
 - 駆動部の安全な禁止のための事象制御された誤り保護

12.2. 概要

Atmel AVR XMEGAデバイスには柔軟な16ビット タイマ/カウンタ(TC)の組を持ちます。それらの能力には正確なプログラム実行タイミング、周波数と波形の生成、事象管理、デジタル信号の時間と周波数の測定付きの捕獲入力を含みます。2つのタイマ/カウンタは任意選択の32ビット捕獲を持つ32ビット タイマ/カウンタを作成するために縦列接続することができます。

タイマ/カウンタは基本計数器と比較または捕獲(CC)チャネルの組から成ります。基本計数器はクロック周期または事象を計数するのに使用できます。これは方向制御とタイミングに使用することができる定期設定を持ちます。CCチャネルは基本計数器と共に、比較一致制御、周波数生成、パルス幅波形変調は勿論、様々な入力捕獲動作を行うのにも使用することができます。タイマ/カウンタは比較または捕獲のどちらの機能にも形態設定できますが、同時に両方を実行することはできません。

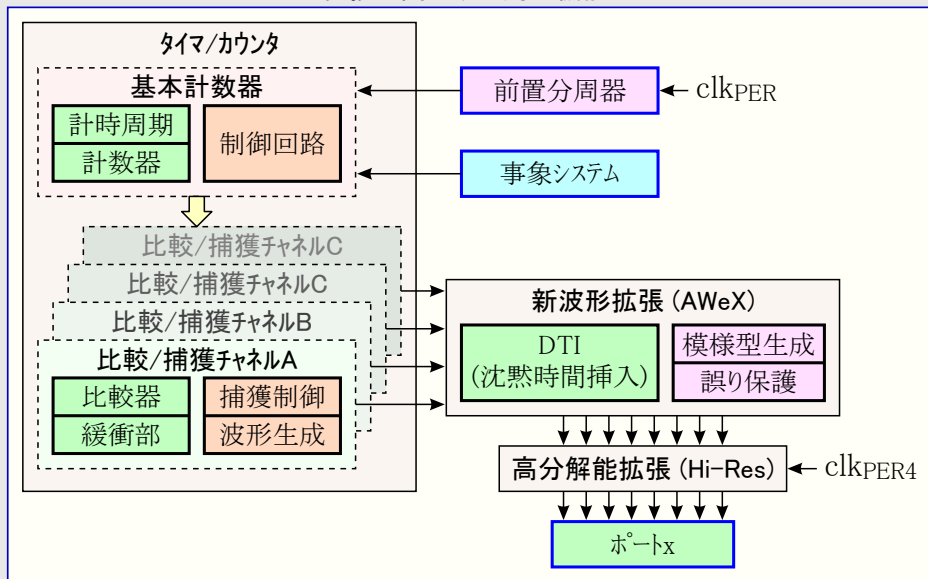
タイマ/カウンタは任意選択の前置分周付きの周辺クロックまたは事象システムからクロック駆動と計時を行うことができます。事象システムは方向制御と捕獲起動、または動作の同期にも使用することができます。

タイマ/カウンタの0型と1型間には2つの違いがあります。タイマ/カウンタ0は4つのCCチャネルを持ち、タイマ/カウンタ1は2つのCCチャネルを持ちます。CCチャネルCとCCチャネルDに関連する全ての情報はタイマ/カウンタ0に対してだけ有効です。タイマ/カウンタ0だけが各々4つの比較チャネルを持つ2つ8ビット タイマ/カウンタに分割する分割動作機能を持ちます。

いくつかのタイマ/カウンタはもっと特殊化された波形と周波数の生成を許すための拡張を持ちます。[新波形拡張\(AWeX\)](#)は電動機制御や他の電力制御応用を意図されています。それは沈黙時間挿入付きのLow側とHigh側の出力は勿論、禁止用の誤り保護や外部駆動部切断も許します。ポートピンの向こう側への同期したビット様式を生成することもできます。[高分解能\(Hi-Res\)拡張](#)は周辺クロックよりも最大4倍速く走行する内部クロック元を使用することによって、波形出力分解能を4または8倍に増すのに使用することができます。

密接に関連する(青枠の(訳注:原書は灰色の))周辺機能部署と拡張を伴う16ビット タイマ/カウンタの構成図が[図12-1](#)で示されます。

図12-1. 16ビット タイマ/カウンタと密接に関連する周辺機能



12.2.1. 定義

以下の定義が資料を全体を通して使用されています。

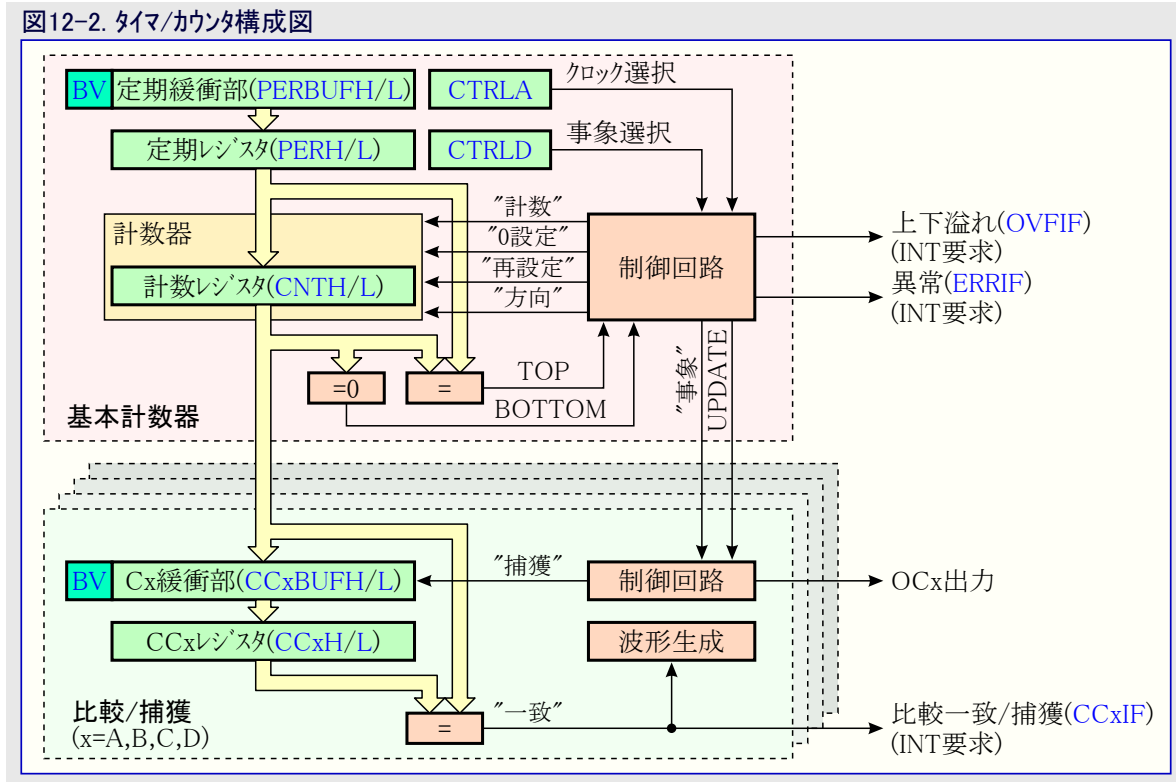
表12-1. タイマ/カウンタ用語定義

用語	意味
BOTTOM	計数器が底(BOTTOM)に到達し、それが0になる時。
MAX	計数器が最大(MAXimum)に到達し、それが全て1になる時。
TOP	計数器が頂上(TOP)に到達し、それが計数の流れ内での最高値と等しくなった時。TOP値は定期(PER)レジスタまたは比較チャンネルA(CCA)レジスタの設定に等しくできます。これは波形生成動作種別によって選択されます。
UPDATE	タイマ/カウンタが更新(UPDATE)を合図し、それが波形生成動作種別に依存してBOTTOMまたはTOPに到達する時。

一般的に用語'計時器'はタイマ/カウンタのクロック制御が内部供給元によって扱われる時に使用され、用語'計数器'はクロックが外部的に扱われる(換言すると、外部事象計数)時に使用されます。CCチャンネルは比較操作に使用される時に'比較チャンネル'として参照されます。捕獲操作に使用される時にCCチャンネルは'捕獲チャンネル'として参照されます。

12.3. 構成図

図12-2は拡張(部)を除くタイマ/カウンタの詳細な構成図を示します。



計数器(CNT)レジスタ、定期(PER)レジスタと定期緩衝(PERBUF)レジスタ、比較/捕獲(CCx)レジスタと比較/捕獲緩衝(CCxBUF)レジスタは16ビットレジスタです。全ての緩衝レジスタは緩衝内容が新しい値の時を示す緩衝有効(BV)フラグを持ちます。

標準動作の間、計数器値は計数器がTOPまたはBOTTOMに達したかどうかを決めるために0と定期(PER)値と継続的に比較されます。

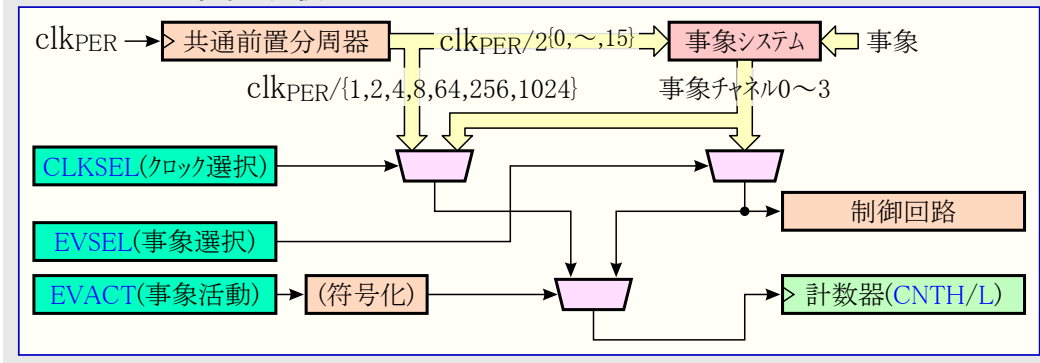
計数器値はCCxレジスタとも比較されます。これらの比較は割り込み要求の生成、事象システムに対する事象生成に使用することができます。波形生成器動作は波形周期またはパルス幅を設定するのに比較器を使用します。

前置分周された周辺クロックと事象システムからの事象が計数器を制御するのに使用できます。事象システムは捕獲入力への供給元としても使用されます。**事象システムQDECの直交復号機能**とタイマ/カウンタの組み合わせは高速直交復号に使用できます。

12.4. クロック元と事象元

タイマ/カウンタは周辺クロック(clkPER)または事象システムからクロック駆動でき、図12-3がクロックと事象の選択論理を示します。

図12-3. クロックと事象の選択



周辺クロックは共通前置分周器(デバイス内の全タイマ/カウンタに対して共通)に供給されます。1~1/1024の前置分周器出力はタイマ/カウンタによる選択が直接的に利用可能です。加えて1~2¹⁵前置分周器範囲全体が事象システムを通して利用可能です。

クロック選択(CLKSEL)は計数器(CNT)入力として前置分周器出力の1つを直接的に、または事象チャンネルを選びます。これは計数器の標準動作としての参照です。詳細については92頁の「標準動作」を参照してください。事象システムの使用により、何れかのI/Oピンの外部クロック信号のようななどの事象元もクロック入力として使用できます。

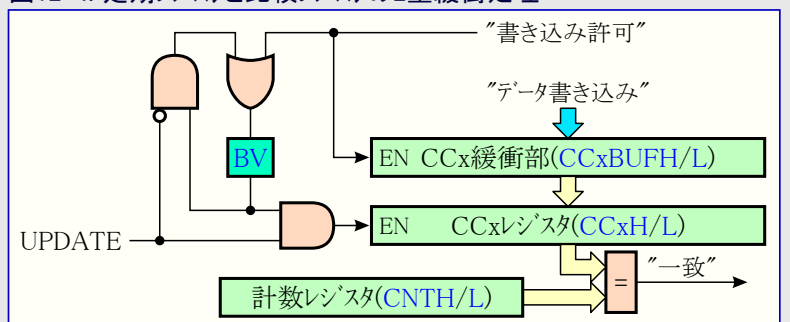
加えてタイマ/カウンタは事象システムを経由して制御ができます。事象選択(EVSEL)と事象活動(EVACT)の設定は1つ以上の事象から事象活動を起動するのに使用されます。これは計数器の事象活動制御動作として参照されます。詳細については92頁の「事象活動制御動作」を参照してください。事象活動制御動作が使用されるとき、クロック選択は計数器入力として事象チャンネルの使用に設定されなければなりません。

既定ではクロック入力なしが選択され、タイマ/カウンタは動作しません。

12.5. 2重緩衝

定期(PER)レジスタと比較/捕獲(CC)レジスタは、全て2重緩衝されます。各々の緩衝レジスタは緩衝有効(BV)フラグを持ち、これは緩衝が有効、換言すると対応する定期やCCレジスタ内に複写することができる新しい値を含んでいることを示します。定期レジスタとCCチャンネルが比較動作に使用される時は、データが緩衝レジスタに書かれる時に緩衝有効フラグが設定(1)され、UPDATE条件で解除(0)されます。これは比較レジスタに関して図12-4で示されます。

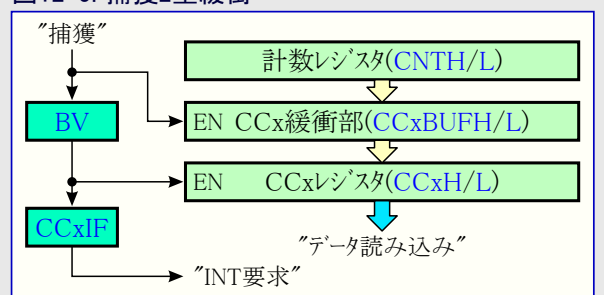
図12-4. 定期レジスタと比較レジスタの2重緩衝処理



CCxチャンネルが捕獲動作に使用される時には同じ2重緩衝機構が使用されますが、この場合は図12-5で示されるように緩衝有効フラグが捕獲事象で設定(1)されます。捕獲に関しては緩衝レジスタと対応するCCxレジスタがFIFOのように動きます。CCxレジスタが使用、または読まれると、緩衝レジスタのどんな内容もCCxレジスタに渡されます。緩衝有効フラグはCCx割り込み要求フラグ(CCxIF)を設定(1)するために渡されて、任意選択の割り込みを生成します。

CCxとCCxBUFの両レジスタはI/Oレジスタとして利用可能です。これは緩衝レジスタの初期化と迂回そして2重緩衝機能を許します。

図12-5. 捕獲2重緩衝



12.6. 計数器動作

動作種別に依存して計数器は各タイマ/カウンタクロック入力で、0設定、再設定、増加、減少されます。

12.6.1. 標準動作

標準動作では計数器がTOPまたはBOTTOMに達するまで、各クロックに対して方向(DIR)ビットによって設定された方向で計数します。上昇計数でTOP到達時、計数器は次のクロックが与えられた時に0が設定されます。下降計数時の計数器はBOTTOM到達時に定期(PER)レジスタで再設定されます。

図12-6.で示されるように、計数器動作時に計数器値変更が可能です。書き込みアクセスは、計数、0設定、再設定より高い優先権を持ち、直ちに行われます。計数器の方向は標準動作中でも変更できます。

捕獲チャネルに対する基準計時として計数器を使用する時に標準動作が使用されなければなりません。

12.6.2. 事象活動制御動作

事象選択(EVSEL)と事象活動設定(EVACT)が事象システムからの計数器制御に使用できます。計数器に関して以下の事象活動を選択することができます。

- 事象システム制御上昇/下降計数
 - 事象nは計数許可として使用されます。
 - 事象n+1は上昇(1)と下降(0)間の選択に使用されます。ピン形態設定はLowレベル感知に設定されなければなりません。
- 事象システム制御直交復号計数

12.6.3. 32ビット動作

32ビット計数器動作を許可するのに2つのタイマ/カウンタを共に使用することができます。2つのタイマ/カウンタを使用することによって、1つのタイマ/カウンタ(下位計数器)からの上昇溢れ事象は事象システム経由で経路付けでき、別のタイマ/カウンタ(上位計数器)に対するクロック入力として使用できます。

12.6.4. 周期変更

計数器の周期は新しいTOP値を定期(PER)レジスタへ書くことによって変更されます。2重緩衝が使用されない場合、図12-7.で示されるようにどんな周期変更も直ちに行われます。

図12-8.で示されるように緩衝なしでの上昇計数時、どの動作形態でも丸められた計数器が起こり得ます。これは計数器(CNT)レジスタと定期(PER)レジスタが継続的に比較され、現在のCNTよりも低い新しいTOP値がPERに書かれた場合、比較一致が起こる前に丸められます。

2重緩衝使用時、緩衝部は何時でも書け、未だ正しい動作を維持します。図12-9.で示されるように定期レジスタは常に“更新”条件で更新されます。これは丸めと奇数波形の生成を防ぎます。

図12-6. 標準動作

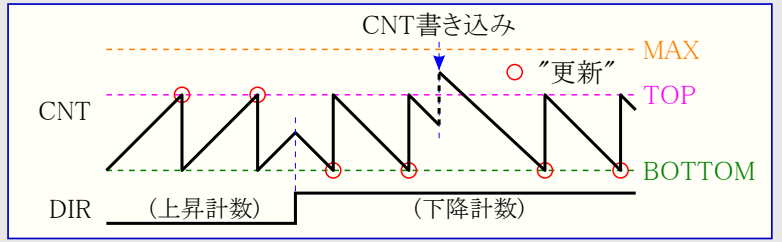


図12-7. 緩衝なし周期変更

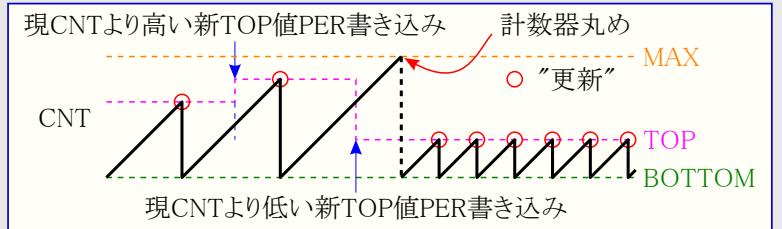


図12-8. 緩衝なし2傾斜動作

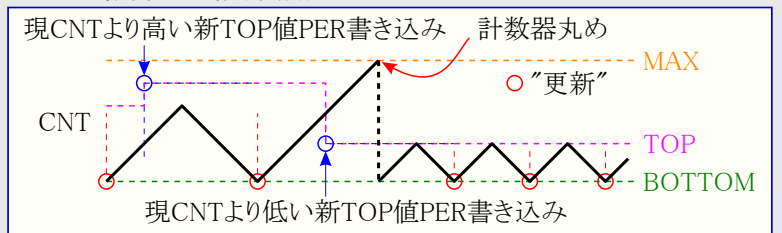
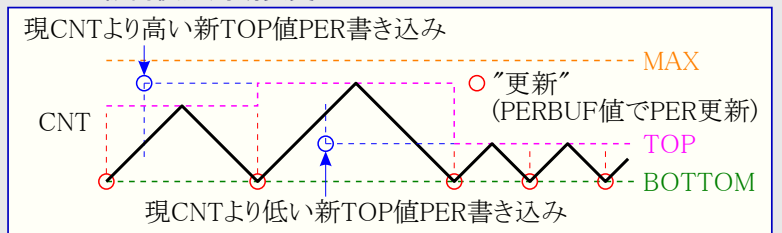


図12-9. 緩衝使用周期変更



12.7. 捕獲チャネル

比較/捕獲(CC)チャネルは外部事象の捕獲のためのチャネルとして使用でき、それらに時刻印を与えます。捕獲を使用するには計数器が標準動作に設定されていなければなりません。

事象が捕獲の起動に使用され、換言すると、どのピンからのピン変化も含む事象システムからのどの事象も捕獲動作を起動できます。事象元選択設定はどのCCチャネルAを起動するか選択します。形態設定されるなら、後続する事象チャネルが後続するCCチャネルでの事象を起動します。例えば事象チャネル2を選択する事象元設定は事象チャネル2に接続されたCCチャネルA、事象チャネル3へのCCチャネルB、以下同様の結果になります。

タイマ/カウンタの**事象活動設定(EVSEL)**が行われる捕獲形式を決めます。

使用するCCチャネルは捕獲が行われ得る前に**個別に許可**されなければなりません。捕獲条件が起ると、タイマ/カウンタは計数器(CNT H/L)レジスタの現在のCNT値を許可された**CCチャネル(CCxH/L)レジスタ**内に複写することによって事象の時刻印を記します。

入出力ピンが捕獲に対する事象元として使用されるとき、そのピンはエッジ感知に形成設定されなければなりません。入出力ピンの感知形態設定の詳細については76頁の「**入力感知形態設定**」を参照してください。定期レジスタ値が\$8000よりも低い場合、入出力ピンのエッジ極性が捕獲レジスタの最上位ビット(MSB)に格納されます。捕獲レジスタのMSBが0なら、下降端で生成された捕獲です。MSBが1なら、上昇端で生成された捕獲です。

12.7.1. 入力捕獲

入力捕獲事象活動の選択は許可された捕獲チャネルに事象での入力捕獲を実行させます。**割り込み要求フラグ(CCxIF)**が設定(1)され、対応するCCxレジスタの捕獲結果が有効なことを示します。同時に**緩衝有効(CCxBV)フラグ**が**緩衝(CCxBUF)レジスタ**内のデータ有効を示します。

計数器は図12-11.で示されるように、BOTTOMからTOPへ計数し、そしてBOTTOMから再び始めます。

図12-10. 捕獲操作事象元選択

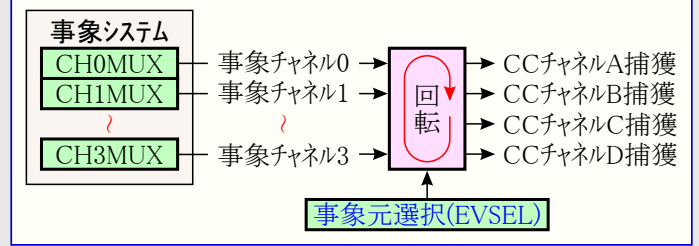
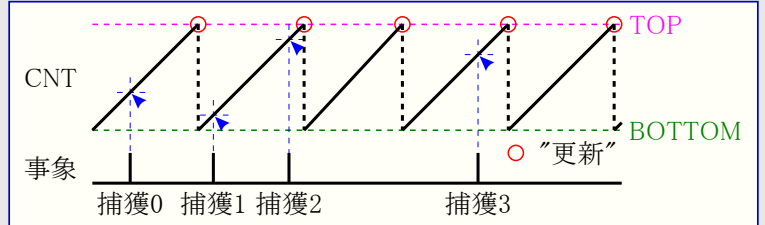


図12-11. 入力捕獲タイミング



12.7.2. 周波数捕獲

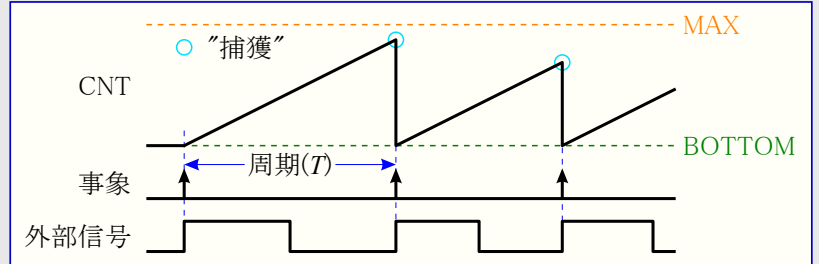
周波数捕獲事象活動の選択は許可された捕獲チャネルに正端事象での入力捕獲と再始動を実行させます。これは信号の直接的な周期または周波数の測定をタイマ/カウンタに許します。捕獲結果は直前のタイマ/カウンタ再始動から事象発生までの時間 T です。これはその信号の周波数を計算するのに使用できます。

$$f = \frac{1}{T}$$

図12-12.は2度測定された外部信号の周期の例を示します。

全捕獲チャネルが同じ計数器(CNT)を使用するので、同時に1つのチャネルだけが許可されなければなりません。2つのチャネルが異なる供給元で使用された場合、計数器は両方の入力元からの正端事象で再始動し、結果は何の意味も持たないでしょう。

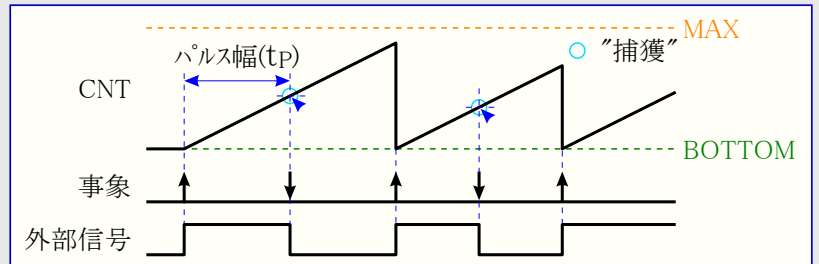
図12-12. 外部信号の周波数捕獲



12.7.3. パルス幅捕獲

パルス幅捕獲事象活動の選択は許可された捕獲チャネルに下降端事象での入力捕獲活動と上昇端事象での再始動活動を実行させます。そして計数器は正端事象で再開し、負端事象で入力捕獲が実行されます。事象元はI/Oピンでなければならず、そのピンに対する感知形態設定は両端での事象生成に設定されなければなりません。図12-13.は外部信号に対してパルス幅が2度測定される例を示します。

図12-13. 外部信号のパルス幅捕獲



12.7.4. 32ビット入力捕獲

32ビット入力捕獲を許可するために2つのタイマ/カウンタを共に使用することができます。代表的な32ビット入力捕獲初期設定では、下位計数器の上昇溢れ事象が事象システム経由で接続され、上位計数器に対するクロック入力として使用されます。

上位計数器は下位計数器で上昇溢れが起きた1周辺クロック後に更新されます。これを補償するため、上位計数器に対する捕獲事象は、このタイマ/カウンタに対する**事象遅延(EVDLY)ビット**の設定(1)によって同じ遅延にされなければなりません。

12.7.5. 捕獲緩衝部溢れ

タイマ/カウンタは入力捕獲チャネルの緩衝部溢れを検知できます。**緩衝有効(BV)フラグ**と**捕獲割り込み要求フラグ(CCxIF)**の両方が設定(1)され、新しい捕獲事象が検知された時に、新しい時刻印を格納する場所が何処にもありません。緩衝部溢れが検出された場合、新しい値は拒否され、**異常割り込み要求フラグ(ERRIF)**が設定(1)されて任意選択の割り込みが生成されます。

12.8. 比較チャネル

各比較チャネルは**計数器値(CNT)**と**比較/捕獲(CCx)レジスタ**を継続的に比較します。CNTとCCxが等しい場合に一致を合図します。この一致は次の計数器クロック周期でCCチャネルの**割り込み要求フラグ(CCxIF)**を設定(1)し、事象と任意選択の割り込みが生成されます。

比較緩衝(CCxBUF)レジスタは**定期緩衝(PERBUF)**のそれと等価な能力を持つ2重緩衝を提供します。2重緩衝は**UPDATE条件**に従った計数手順のTOPまたはBOTTOMに対して緩衝値でのCCxレジスタ更新を同期化します。同期化は奇数長の発生、グリッチなし出力のために非対称パルスを防ぎます。

12.8.1. 波形生成

比較チャネルは対応するポートピンでの波形生成に使用できます。接続されたポートピンで見ることができる波形を作成するには、以下の必要条件が完全に満たされなければなりません。

1. **波形生成動作(WGMODE)**が選択されなければなりません。
2. **事象活動(EVACT)**が禁止されなければなりません。
3. 使用されるCCチャネルが**許可(CCxEN)**されなければなりません。これは対応する**ポートピン出力(OUT)レジスタ**を無効にします。
4. 関連するポートピンに対する**方向(DIR)**が出力に設定されなければなりません。

反転波形出力はポートピンに対する**反転出力(INVEN)ビット**を設定(1)することによって達成されます。

12.8.2. 周波数(FRQ)波形生成

周波数生成では**定期(PER)レジスタ**に代わって**比較/捕獲A(CCA)レジスタ**によって周期(T)が制御されます。波形生成(WG)出力は図12-14.で示されるように計数器(CNT)とCCAレジスタ間の各比較一致で交互されます。

波形周波数(f_{FRQ})は次式によって定義されます。

$$f_{FRQ} = \frac{f_{clk_{PER}}}{2N(CCA+1)}$$

ここでNは使用した前置分周数を表します。生成された波形は前置分周が全く使用されずにCCAが0(\$0000)に設定される時に周辺クロック周波数($f_{clk_{PER}}$)の半分の最大周波数です。これは高分解能(Hi-Res)拡張使用時にも適用されます。それはこれが周波数ではなく分解能を増加するからです。

12.8.3. 単一傾斜PWM生成

単一傾斜PWM生成については、周期(T)が**定期(PER)レジスタ**によって制御され、一方**比較/捕獲(CCx)レジスタ**が波形生成(WG)出力のデューティサイクルを制御します。図12-15.は計数器がどうBOTTOMからTOPへ計数し、そしてBOTTOMから再始動するかを示します。WG出力は計数器(CNT)とCCxレジスタ間の比較一致で設定(1)され、TOPで解除(0)されます。

PERレジスタはPWM分解能を定義します。最小分解能は2ビット(PER=\$0003)で、最大分解能は16ビット(PER=MAX)です。

次式は単一傾斜PWMに対する正確な分解能($R_{PWM_{SS}}$)を計算します。

$$R_{PWM_{SS}} = \frac{\log(PER+1)}{\log(2)}$$

図12-14. 周波数波形生成

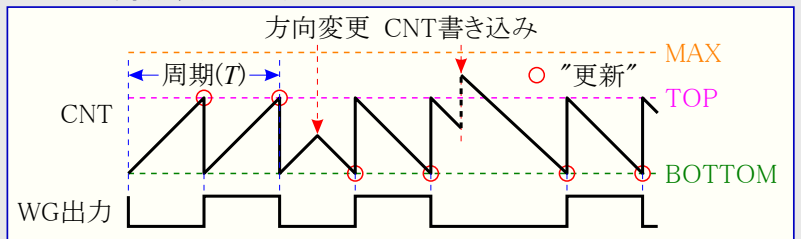
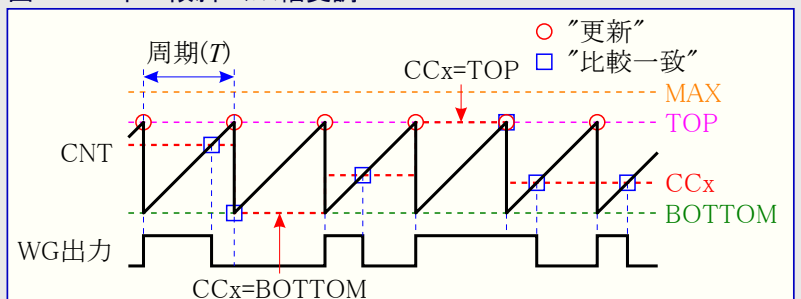


図12-15. 単一傾斜パルス幅変調



単一傾斜PWM周波数(f_{PWM_SS})は周期設定(PER)と周辺クロック周波数(f_{clk_PER})に依存し、次式によって計算できます。

$$f_{PWM_SS} = \frac{f_{clk_PER}}{N(PER+1)}$$

ここで N は使用した前置分周数を表します。生成された波形は前置分周が全く使用されずにCCAが0(\$0000)に設定される時に周辺クロック周波数(f_{clk_PER})の半分の最大周波数です。これは高分解能(Hi-Res)拡張使用時にも適用されます。それはこれが周波数ではなく分解能を増加するからです。

12.8.4. 2傾斜PWM生成

2傾斜PWM生成については周期(T)が**定期(PER)レジスタ**によって制御され、一方**比較/捕獲(CCx)レジスタ**が波形生成(WG)出力のデューティサイクルを制御します。図12-16. は2傾斜PWMに関してカウンタがBOTTOMからTOPへ、そしてその後TOPからBOTTOMへどう繰り返し計数するかを示します。波形生成(WG)出力はBOTTOMで設定(1)され、上昇計数時の比較一致で解除(0)され、下降計数時の比較一致で設定(1)されます。

2傾斜PWMの使用は単一傾斜PWM動作と比較してより低い最大動作周波数の結果となります。

PERレジスタはPWM分解能を定義します。最小分解能は2ビット(PER=\$0003)で、最大分解能は16ビット(PER=MAX)です。

次式は2傾斜PWMに対する正確な分解能(R_{PWM_DS})を計算します。

$$R_{PWM_DS} = \frac{\log(PER+1)}{\log(2)}$$

PWM周波数(f_{PWM_DS})は周期設定(PER)と周辺クロック周波数(f_{clk_PER})に依存し、次式によって計算できます。

$$f_{PWM_DS} = \frac{f_{clk_PER}}{2N \times PER}$$

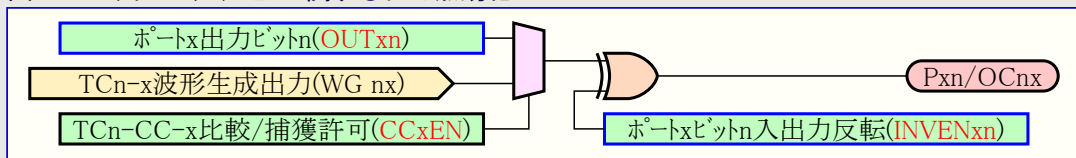
ここで N は使用した前置分周数を表します。生成された波形は前置分周が全く使用されずにCCAが0(\$0000)に設定される時に周辺クロック周波数(f_{clk_PER})の半分の最大周波数です。これは高分解能(Hi-Res)拡張使用時にも適用されます。それはこれが周波数ではなく分解能を増加するからです。

12.8.5. 波形生成に関するポート無効化

ポートピンで利用可能な波形生成を行うには対応するポートピンの方向が出力として設定されなければなりません。タイマ/カウンタは比較/捕獲(CC)チャネルが**許可(CCxEN)**され、**波形生成動作種別(WGMODE)**が選択されている時にポートピン値を無効にします。

図12-17. はタイマ/カウンタに関するポート無効化を示します。タイマ/カウンタのCCチャネルは対応するポートピン(Pxn)でポートピン出力値(OUTxn)を無効にします。ポートピンでの**反転/I/O許可(INVENxn)**は対応するWG出力を反転します。

図12-17. タイマ/カウンタ0と1に関するポート無効化



12.9. 割り込みと事象

タイマ/カウンタは割り込みと事象の両方を生成できます。カウンタは**上昇溢れ/下降溢れでの割り込み**を生成でき、各比較/捕獲(CC)チャネルは**比較または捕獲に使用される独立した割り込み**を持ちます。加えて、CCチャネルのどれかが捕獲に使用され、捕獲チャネルで緩衝部溢れが起きた場合に**異常割り込み**を生成できます。

事象は割り込みを生成し得る全条件に対して生成されます。事象生成と利用可能な事象の詳細については34頁の「**事象システム**」を参照してください。

12.10. タイマ/カウンタ指令

部署の状態を直ちに変更するために、ソフトウェアによって1組の指令をタイマ/カウンタに与えることができます。これらの指令は更新、再始動、リセットの信号の直接制御を行います。

更新指令は更新条件発生時と同じ効果を持ちます。更新指令は更新施錠(LUPD)ビットが設定(1)されている場合に無効とされます。ソフトウェアは再始動指令を発行することによって現在の波形周期の再始動を強制できます。この場合は計数器、方向と全ての比較出力が0に設定されます。

リセット指令は全てのタイマ/カウンタレジスタをそれらの初期値に設定します。リセットはタイマ/カウンタが非動作(OFF)の時にだけ与えることができます。

12.11. レジスタ説明

12.11.1. CTRLA – 制御レジスタA (Control register A)

ビット +\$00	7	6	5	4	3	2	1	0	
	–	–	–	–	CLKSEL3~0				CTRLA
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3~0 – CLKSEL3~0: クロック選択 (Clock Select)

これらのビットは表12-2.に従ってタイマ/カウンタに対するクロック元を選択します。

高分解能(Hi-Res)拡張が許可されている時に波形生成器からの正しい出力を保証するため、CLKSEL=0001が設定されなければなりません。

表12-2. クロック選択

CLKSEL3~0	群形態設定	内容
0 0 0 0	OFF	なし (換言するとタイマ/カウンタ'OFF'状態)
0 0 0 1	DIV1	前置分周器: clkPER
0 0 1 0	DIV2	前置分周器: clkPER/2
0 0 1 1	DIV4	前置分周器: clkPER/4
0 1 0 0	DIV8	前置分周器: clkPER/8
0 1 0 1	DIV64	前置分周器: clkPER/64
0 1 1 0	DIV256	前置分周器: clkPER/256
0 1 1 1	DIV1024	前置分周器: clkPER/1024
1 n n n	EVCHn	事象チャネルn (n=0~3)

12.11.2. CTRLB – 制御レジスタB (Control register B)

ビット +\$01	7	6	5	4	3	2	1	0	
	CCDEN	CCCEN	CCBEN	CCAEN	–	WGMODE2~0			CTRLB
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – CCxEN: 比較/捕獲x許可 (Compare or Capture Enable)

これらのビットの設定(1)はFRQまたはPWM波形生成動作で対応するOCn出力ピンに対するポート出力レジスタ値を無効にします。

入力捕獲動作が選択されている時のCCxENビットは対応する比較/捕獲(CC)チャネルに対する捕獲動作を許可します。

● ビット3 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット2~0 – WGMODE2~0: 波形生成動作種別 (Waveform Generation Mode)

これらのビットは波形生成動作種別を選択し、表12-3.に従ってカウンタの計数手順、TOP値、UPDATE条件、割り込み/事象条件、生成される波形形式を制御します。

波形生成なしは標準動作で実行されます。他の全ての動作種別に関しては、対応する比較/捕獲x許可(CCxEN)ビットがそれを許可に設定している場合に、波形生成器からの結果が単にポートピンへ直結されるだけです。そのポートピンの方向(DIR)は出力として設定されなければなりません。

表12-3. 波形生成動作種別

WGMODE2~0	群形態設定	動作種別	TOP	UPDATE	OVFIF/事象
0 0 0	NORMAL	標準	PER	TOP	TOP
0 0 1	FRQ	周波数(FRQ)	CCA	TOP	TOP
0 1 0	–	(予約)	–	–	–
0 1 1	SINGLESLOPE	単一傾斜PWM	PER	BOTTOM	BOTTOM
1 0 0	–	(予約)	–	–	–
1 0 1	DSTOP	2傾斜PWM	PER	BOTTOM	TOP
1 1 0	DSBOTH	2傾斜PWM	PER	BOTTOM	TOPとBOTTOM
1 1 1	DSBOTTOM	2傾斜PWM	PER	BOTTOM	BOTTOM

12.11.3. CTRLC – 制御レジスタC (Control register C)

ビット +\$02	7	6	5	4	3	2	1	0	
	–	–	–	–	CMPD	CMPC	CMPB	CMPA	CTRLC
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7～4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書き込んでください。

● ビット3～0 – CMPx : 比較x出力値 (Compare Output Value x)

これらのビットはタイマ/カウンタがOFF状態に設定されている時に波形生成器(WG)の比較出力値への直接アクセスを許します。これはタイマ/カウンタが動作していない時にWG出力値を設定(1)または解除(0)するのに使用されます。

12.11.4. CTRLD – 制御レジスタD (Control register D)

ビット +\$03	7	6	5	4	3	2	1	0	
	EVACT2~0			EVDLY	EVSEL3~0				CTRLD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7～5 – EVACT2~0 : 事象活動 (Event Action)

これらのビットは表12-4.に従って事象で実行する計時器の事象活動を定義します。

その場合に事象選択(EVSEL)設定はどの事象元または供給元が制御を持つかを決定します。

どれかの捕獲事象活動の設定は捕獲として使用されるべき関連する状態と制御のビットと比較/捕獲(CC)レジスタの動きを変更します。異常状態フラグ(ERRIF)はこの形態設定での緩衝部溢れを示します。

表12-4. 計時器事象活動選択

EVACT2~0	群形態設定	事象活動
0 0 0	OFF	なし
0 0 1	CAPT	入力捕獲
0 1 0	UPDOWN	外部制御された上昇/下降計数
0 1 1	QDEC	直交復号
1 0 0	RESTART	波形生成周期再始動
1 0 1	FRQ	周波数捕獲
1 1 0	PW	パルス幅捕獲
1 1 1	–	(予約)

● ビット4 – EVDLY : 事象遅延 (Timer Delay Event)

このビットが設定(1)されると、選択した事象元は1周辺クロック周期遅延されます。これは32ビット入力捕獲に対して意図されています。事象システム経由で2つの計数器を直列にする時にキャリー伝播遅延に対する補償用に事象遅延の追加が必要です。

● ビット3～0 – EVSEL3~0 : 事象元選択 (Timer Event Source Select)

これらのビットはタイマ/カウンタに対する事象チャネル元を選びます。選択した事象チャネルが効果を表すためには事象活動(EVACT)ビットが表12-5.に従って設定されなければなりません。事象活動が捕獲動作に設定されると、選択した事象チャネルnは比較/捕獲(CC)チャネルAに対する事象チャネル元になり、事象チャネルn+1,n+2,n+3(各々4の剰余)が各々CCチャネルB,C,Dに対する事象チャネル元になります。

表12-5. 事象元選択

EVSEL3~0	群形態設定	事象元
0 0 0 0	OFF	なし
0 0 0 1	–	(予約)
0 0 1 0	–	(予約)
0 0 1 1	–	(予約)
0 1 0 0	–	(予約)
0 1 0 1	–	(予約)
0 1 1 0	–	(予約)
0 1 1 1	–	(予約)
1 0 n n	CHn	事象チャネルn (n=0~3)
1 1 x x	–	(予約)

12.11.5. CTRL E – 制御レジスタE (Control register E)

ビット +\$04	7	6	5	4	3	2	1	0	
	–	–	–	–	–	–	BYTEM1,0		CTRL E
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7～2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1,0 – BYTEM1,0 : バイト動作 (Byte Mode)

これらのビットは表12-6に従ってタイマ/カウンタ動作形態を選択します。

表12-6. タイマ/カウンタ型式選択

BYTEM1,0	群形態設定	内容
0 0	NORMAL	タイマ/カウンタは標準形態(タイマ/カウンタ型式0)に設定されます。
0 1	BYTEMODE	計数器の上位バイト(CNTH)は各クロック周期後、0に設定されます。
1 0	SPLITMODE	タイマ/カウンタ0は2つの8ビット タイマ/カウンタ(タイマ/カウンタ型式2)に分割されます。
1 1	–	(予約)

12.11.6. INTCTRLA – 割り込み許可レジスタA (Interrupt Enable register A)

ビット +\$06	7	6	5	4	3	2	1	0	
	–	–	–	–	ERRINTLV1,0		OVFINTLV1,0		INTCTRLA
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7～4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3,2 – ERRINTLV1,0 : 異常割り込みレベル (Timer Error Interrupt Level)

これらのビットは異常割り込みを許可し、68頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選択します。

● ビット1,0 – OVFINTLV1,0 : 上昇/下降溢れ割り込みレベル (Timer Overflow/Underflow Interrupt Level)

これらのビットは上昇/下降溢れ割り込みを許可し、68頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選択します。

12.11.7. INTCTRLB – 割り込み許可レジスタB (Interrupt Enable register B)

ビット +\$07	7	6	5	4	3	2	1	0	
	CCDINTLV1,0		CCCINTLV1,0		CCBINTLV1,0		CCAINTLV1,0		INTCTRLB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7～0 – CCxINTLV1,0 : 比較/捕獲x割り込みレベル (Compare or Capture x Interrupt Level)

これらのビットはチャネルxに対する比較または捕獲の割り込みを許可し、68頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選択します。

12.11.8. CTRLFCLR,CTRLFSET – 制御レジスタF 解除/設定 (Control register F Clear/Set)

このレジスタは2つのI/Oメモリ位置に割り当てられ、書き込み時の1つは解除(0)用で、もう1つは設定(1)用です。両メモリ位置は読み込み時に同じ結果を与えます。

個別の状態ビットはCTRLxSETのそのビット位置への1書き込みによって設定(1)でき、CTRLxCLRのそのビット位置への1書き込みによって解除(0)できます。これは単一レジスタでの読み-変更-書きの使用なしで設定(1)または解除(0)される各ビットを許します。

12.11.8.1. CTRLFCLR

ビット	7	6	5	4	3	2	1	0	
+\$08	–	–	–	–	CMD1,0		LUPD	DIR	CTRLFCLR
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.11.8.2. CTRLFSET

ビット	7	6	5	4	3	2	1	0	
+\$09	–	–	–	–	CMD1,0		LUPD	DIR	CTRLFSET
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

●ビット3,2 – CMD1,0 : 指令 (Command)

これらのビットはタイマ/カウンタのリセット、再始動、更新のソフトウェア制御に使用できます。指令ビットは常に0として読めます。

表12-7. 指令選択

CMD1,0	群形態設定	指令動作
0 0	NONE	なし
0 1	UPDATE	強制更新
1 0	RESTART	強制再始動
1 1	RESET	強制ハード リセット (T/CがOFF状態でなければ無視されます。)

●ビット1 – LUPD : 更新施錠 (Lock Update)

このビットが設定(1)されていると、例えばUPDATE条件が起きても、緩衝されているレジスタの更新が実行されません。更新施錠は更新が実行される前に有効な沈黙時間挿入(DTI)を含む全緩衝を安全にします。

入力捕獲が許可されている時、このビットは無効です。

●ビット0 – DIR : 計数方向 (Counter Direction)

0の時、このビットは計数器が上昇計数(増加)することを示します。1は計数器は下降計数(減少)状態であることを示します。

通常、このビットは波形生成動作種別または事象活動によってハードウェアで制御されますが、このビットはソフトウェアからも変更できます。

12.11.9. CTRLGCLR,CTRLGSET – 制御レジスタG 解除/設定 (Control register G Clear/Set)

ビット	7	6	5	4	3	2	1	0	
+\$0A,+\$0B	–	–	–	CCDBV	CCCBV	CCBBV	CCABV	PERBV	CTRLGCLR CTRLGSET
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この形式の状態レジスタのアクセス方法の情報は「CTRLFCLR,CTRLFSET – 制御レジスタF 解除/設定」を参照してください。

●ビット7~5 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

●ビット4~1 – CCxBV : 比較/捕獲緩衝有効 (Compare or Capture x Buffer Valid)

これらのビットは対応する比較/捕獲緩衝(CCxBUF)レジスタに新しい値が書かれる時に設定(1)されます。これらのビットはUPDATE条件で自動的に解除(0)されます。

入力捕獲動作使用時、このビットが捕獲事象で設定(1)され、対応する比較/捕獲割り込み要求フラグ(CCxIF)が解除(0)された場合に解除(0)されることに注意してください。

● ビット0 – PERBV : 定期緩衝有効 (Period Buffer Valid)

これらのビットは新しい値が**定期緩衝(PERBUF)レジスタ**に書かれる時に設定(1)されます。このビットは**UPDATE条件**で自動的に解除(0)されます。

12.11.10. INTFLAGS – 割り込み要求フラグ レジスタ (Interrupt Flag register)

ビット +\$0C	7	6	5	4	3	2	1	0	
	CCDIF	CCCF	CCBIF	CCAIF	–	–	ERRIF	OVFIF	INTFLAGS
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – CCxIF : 比較/捕獲チャネルx割り込み要求フラグ (Compare or Capture Channel x Interrupt Flag)

比較/捕獲割り込み要求フラグ(CCxIF)は対応する比較/捕獲(CC)チャネルでの比較一致または入力捕獲事象で設定(1)されます。

捕獲を除く全動作種別に対して、CCxIFは**計数器(CNT)レジスタ**と対応する**比較(CCx)レジスタ**間で比較一致が起きる時に設定(1)されます。CCxIFは対応する割り込みベクタが実行される時に自動的に解除(0)されます。

入力捕獲動作については、対応する**比較/捕獲緩衝(CCxBUF)レジスタ**が有効な値を含む場合(換言すると**比較/捕獲緩衝有効(CCxBV)フラグ**が設定(1)される時に)、CCxIFが設定(1)されます。**比較/捕獲(CCx)レジスタ**が読まれると、このフラグが解除(0)されます。この動作では割り込みベクタ実行がフラグを解除(0)しません。

このフラグはこのビット位置への1書き込みによっても解除(0)できます。

● ビット3,2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1 – ERRIF : 異常割り込み要求フラグ (Error Interrupt Flag)

このフラグは動作種別に依存して複数の場合で設定(1)されます。

FRQまたは**PWM波形生成動作**では**新波形生成拡張(AWeX)の誤り保護機能**からの誤り検出状態でERRIFが設定(1)されます。利用可能なAWeX拡張を持たないタイマ/カウンタについては、このフラグはFRQまたはPWM波形生成動作で決して設定(1)されません。

捕獲動作に関しては、比較/捕獲(CC)チャネルのどれかで緩衝部溢れが起きた場合にERRIFが設定(1)されます。

事象制御された**直交復号(QDEC)動作**については、不正な指標信号が与えられた時に設定(1)されます。

このフラグは対応する割り込みベクタが実行される時に自動的に解除(0)されます。このフラグはこのビット位置への1書き込みによっても解除(0)できます。

● ビット0 – OVFIF : 上昇/下降溢れ割り込み要求フラグ (Overflow/Underflow Interrupt Flag)

このフラグは**波形生成動作種別(WGMODE)**設定に依存してTOP(上溢れ)またはBOTTOM(下溢れ)のどちらかで設定(1)されます。OVFIFは対応する割り込みベクタが実行される時に自動的に解除(0)されます。このフラグはこのビット位置への1書き込みによっても解除(0)できます。

12.11.11. TEMP – 一時レジスタ (Temporary bits for 16-bit Access)

TEMPレジスタはCPUによって16ビットタイマ/カウンタレジスタへの単一周期16ビットアクセスに使用されます。全ての16ビットタイマ/カウンタレジスタに対して1つの共通TEMPレジスタがあります。

より多くの詳細については9頁の「**16ビットレジスタのアクセス**」を参照してください。

ビット +\$0F	7	6	5	4	3	2	1	0	
	TEMP7~0								TEMP
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.11.12. CNTL – 計数レジスタ下位 (Counter register Low)

CNTHとCNTLレジスタ対は16ビット値CNTを表します。CNTはタイマ/カウンタの16ビット計数器値を含みます。CPUの書き込みアクセスは計数器の0設定、再設定、計数より上の優先権を持ちます。

16ビットレジスタ読み書きのより多くの詳細については9頁の「**16ビットレジスタのアクセス**」を参照してください。

ビット +\$20	7	6	5	4	3	2	1	0	
	CNT7~0								CNTL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – CNT7~0 : 計数器7~0 (Counter low byte)

これらのビットは16ビット計数器レジスタの下位バイト(LSB)を保持します。

12.11.13. CNTH – 計数レジスタ上位 (Counter register High)

ビット	7	6	5	4	3	2	1	0	
+\$21	CNT15~8								CNTH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – CNT15~8 : 計数器15~8 (Counter high byte)

これらのビットは16ビット計数器レジスタの上位バイト(MSB)を保持します。

12.11.14. PERL – 定期レジスタ下位 (Period register Low)

PERHとPERLレジスタ対は16ビット値PERを表します。PERはタイマ/カウンタの16ビットTOP値を含みます。

ビット	7	6	5	4	3	2	1	0	
+\$26	PER7~0								PERL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● ビット7~0 – PER7~0 : 定期値7~0 (Period low byte)

これらのビットは16ビット定期レジスタの下位バイト(LSB)を保持します。

12.11.15. PERH – 定期レジスタ上位 (Period register High)

ビット	7	6	5	4	3	2	1	0	
+\$27	PER15~8								PERH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● ビット7~0 – PER15~8 : 定期値15~8 (Period high byte)

これらのビットは16ビット定期レジスタの上位バイト(MSB)を保持します。

12.11.16. CCxL – 比較/捕獲xレジスタ下位 (Compare or Capture x register Low)

CCxHとCCxLレジスタ対は16ビット値CCxを表します。これらの16ビットレジスタは動作種別に依存して2つの機能を持ちます。

捕獲動作に対しては、これらのレジスタがCPUに対するアクセス位置と第2緩衝段階を構築します。

比較動作に関しては、これらのレジスタが計数器値と継続的に比較されます。通常、比較器からの出力はその後の波形生成に使用されます。

CCxレジスタはUPDATE条件発生時にそれらの対応する比較/捕獲緩衝(CCxBUF)レジスタからの緩衝値で更新されます。

ビット	7	6	5	4	3	2	1	0	
+\$28,A,C,E	CCx7~0								CCxL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – CCx7~0 : 比較/捕獲値7~0 (Compare or Capture x low byte)

これらのビットは16ビット比較/捕獲レジスタの下位バイト(LSB)を保持します。

12.11.17. CCxH – 比較/捕獲xレジスタ上位 (Compare or Capture x register High)

ビット	7	6	5	4	3	2	1	0	
+\$29,B,D,F	CCx15~8								CCxH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – CCx15~8 : 比較/捕獲値15~8 (Compare or Capture x high byte)

これらのビットは16ビット比較/捕獲レジスタの上位バイト(MSB)を保持します。

12.11.18. PERBUFL – 定期緩衝レジスタ下位 (Timer/Counter Period Buffer Low)

PERBUFHとPERBUFLレジスタ対は16ビット値PERBUFを表します。この16ビットレジスタは**定期(PER)レジスタ**に対する緩衝部として取り扱います。CPUを使用するこのレジスタのアクセスは**定期緩衝有効(PERBV)フラグ**に影響を及ぼします。

ビット	7	6	5	4	3	2	1	0	
+\$36	PERBUF7~0								PERBUFL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● ビット7~0 – PERBUF7~0 : 定期緩衝値7~0 (Period Buffer low byte)

これらのビットは16ビット定期緩衝レジスタの下位バイト(LSB)を保持します。

12.11.19. PERBUFH – 定期緩衝レジスタ上位 (Timer/Counter Period Buffer High)

ビット	7	6	5	4	3	2	1	0	
+\$37	PERBUF15~8								PERBUFH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● ビット7~0 – PERBUF15~8 : 定期緩衝値15~8 (Period Buffer high byte)

これらのビットは16ビット定期緩衝レジスタの上位バイト(MSB)を保持します。

12.11.20. CCxBUFL – 比較/捕獲x緩衝レジスタ下位 (Compare or Capture x Buffer register Low)

CCxBUFHとCCxBUFLレジスタ対は16ビット値CCxBUFを表します。これらの16ビットレジスタは関連する**比較/捕獲(CCx)レジスタ**に対する緩衝部として扱います。CPUを使用するこれらのどれかのレジスタのアクセスは対応する**比較/捕獲緩衝有効(CCxBV)状態フラグ**に影響を及ぼします。

ビット	7	6	5	4	3	2	1	0	
+\$38,A,C,E	CCxBUF7~0								CCxBUFL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – CCxBUF7~0 : 比較/捕獲緩衝値7~0 (Compare or Capture Buffer x low byte)

これらのビットは16ビット比較/捕獲緩衝レジスタの下位バイト(LSB)を保持します。

12.11.21. CCxBUFH – 比較/捕獲x緩衝レジスタ上位 (Compare or Capture x Buffer register High)

ビット	7	6	5	4	3	2	1	0	
+\$39,B,D,F	CCxBUF15~8								CCxBUFH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – CCxBUF15~8 : 比較/捕獲緩衝値15~8 (Compare or Capture Buffer x high byte)

これらのビットは16ビット比較/捕獲緩衝レジスタの上位バイト(MSB)を保持します。

12.12. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$3F	CCDBUFH				CCDBUF15~8 (比較/捕獲D緩衝レジスタ上位バイト)					103
+\$3E	CCDBUFL				CCDBUF7~0 (比較/捕獲D緩衝レジスタ下位バイト)					103
+\$3D	CCCBUFH				CCCBUF15~8 (比較/捕獲C緩衝レジスタ上位バイト)					103
+\$3C	CCCBUFL				CCCBUF7~0 (比較/捕獲C緩衝レジスタ下位バイト)					103
+\$3B	CCBBUFH				CCBBUF15~8 (比較/捕獲B緩衝レジスタ上位バイト)					103
+\$3A	CCBBUFL				CCBBUF7~0 (比較/捕獲B緩衝レジスタ下位バイト)					103
+\$39	CCABUFH				CCABUF15~8 (比較/捕獲A緩衝レジスタ上位バイト)					103
+\$38	CCABUFL				CCABUF7~0 (比較/捕獲A緩衝レジスタ下位バイト)					103
+\$37	PERBUFH				PERBUF15~8 (定期緩衝レジスタ上位バイト)					103
+\$36	PERBUFL				PERBUF7~0 (定期緩衝レジスタ下位バイト)					103
+\$30~\$35	予約	-	-	-	-	-	-	-	-	
+\$2F	CCDH				CCD15~8 (比較/捕獲Dレジスタ上位バイト)					102
+\$2E	CCDL				CCD7~0 (比較/捕獲Dレジスタ下位バイト)					102
+\$2D	CCCH				CCC15~8 (比較/捕獲Cレジスタ上位バイト)					102
+\$2C	CCCL				CCC7~0 (比較/捕獲Cレジスタ下位バイト)					102
+\$2B	CCBH				CCB15~8 (比較/捕獲Bレジスタ上位バイト)					102
+\$2A	CCBL				CCB7~0 (比較/捕獲Bレジスタ下位バイト)					102
+\$29	CAAH				CCA15~8 (比較/捕獲Aレジスタ上位バイト)					102
+\$28	CCAL				CCA7~0 (比較/捕獲Aレジスタ下位バイト)					102
+\$27	PERH				PER15~8 (定期レジスタ上位バイト)					102
+\$26	PERL				PER7~0 (定期レジスタ下位バイト)					102
+\$22~\$25	予約	-	-	-	-	-	-	-	-	
+\$21	CNTH				CNT15~8 (計数器レジスタ上位バイト)					102
+\$20	CNTL				CNT7~0 (計数器レジスタ下位バイト)					101
+\$10~\$1F	予約	-	-	-	-	-	-	-	-	
+\$0F	TEMP				TMP7~0 (一時レジスタ)					101
+\$0E	予約	-	-	-	-	-	-	-	-	
+\$0D	予約	-	-	-	-	-	-	-	-	
+\$0C	INTFLAGS	CCDIF	CCCIF	CCBIF	CCAIF	-	-	ERRIF	OVFIF	101
+\$0B	CTRLGSET	-	-	-	CCDBV	CCCBV	CCBBV	CCABV	PERBV	100
+\$0A	CTRLGCLR	-	-	-	CCDBV	CCCBV	CCBBV	CCABV	PERBV	100
+\$09	CTRLFSET	-	-	-	-	CMD1,0		LUPD	DIR	100
+\$08	CTRLFCLR	-	-	-	-	CMD1,0		LUPD	DIR	100
+\$07	INTCTRLB	CCDINTLVL1,0		CCCINTLVL1,0		CCBINTLVL1,0		CCAINTLVL1,0		99
+\$06	INTCTRLA	-	-	-	-	ERRINTLVL1,0		OVFINTLVL1,0		99
+\$05	予約	-	-	-	-	-	-	-	-	
+\$04	CTRLE	-	-	-	-	-	-	BYTEM1,0		99
+\$03	CTRLD	EVACT2~0			EVDLY	EVSEL3~0				98
+\$02	CTRLC	-	-	-	-	CMPD	CMPC	CMPB	CMPA	98
+\$01	CTRLB	CCDEN	CCCEN	CCBEN	CCAEN	-	WGMODE2~0			97
+\$00	CTRLA	-	-	-	-	CLKSEL3~0				97

12.13. 割り込みベクタ要約

変位	記述例	割り込み内容
\$00	OVF_vect	タイマ/カウンタ上昇溢れ/下降溢れ割り込みベクタ
\$02	ERR_vect	タイマ/カウンタ異常割り込みベクタ
\$04	CCA_vect	タイマ/カウンタ比較または捕獲チャネルA割り込みベクタ
\$06	CCB_vect	タイマ/カウンタ比較または捕獲チャネルB割り込みベクタ
\$08	CCC_vect (注)	タイマ/カウンタ比較または捕獲チャネルC割り込みベクタ
\$0A	CCD_vect (注)	タイマ/カウンタ比較または捕獲チャネルD割り込みベクタ

注: 4つの16ビット比較または捕獲チャネルを持つタイマ/カウンタでだけ利用可能

13. TC2 – 16ビット タイマ/カウンタ2型

13.1. 要点

- 2つの8ビット タイマ/カウンタのシステム
 - 下位バイト タイマ/カウンタ
 - 上位バイト タイマ/カウンタ
- 8つの比較チャンネル
 - 下位バイト タイマ/カウンタ用の4つの比較チャンネル
 - 上位バイト タイマ/カウンタ用の4つの比較チャンネル
- 波形生成
 - 単一傾斜パルス幅変調
- 計時器漏れ(アンダーフロー)割り込み/事象
- 下位バイト タイマ/カウンタ用の比較チャンネル当たり1つの比較一致割り込み/事象
- 計数制御に対して事象システムとで使用可

13.2. 概要

タイマ/カウンタ2はタイマ/カウンタ0が分割動作に設定される時に実現されます。これは各々4つの比較チャンネルを持つ2つの8ビット タイマ/カウンタのシステムです。これは個別に制御されるデューティ サイクルを持つ8つの形態設定可能なパルス幅変調(PWM:Pulse Width Modulation)を与え、多くのPWMチャンネルが必要な応用に意図されています。

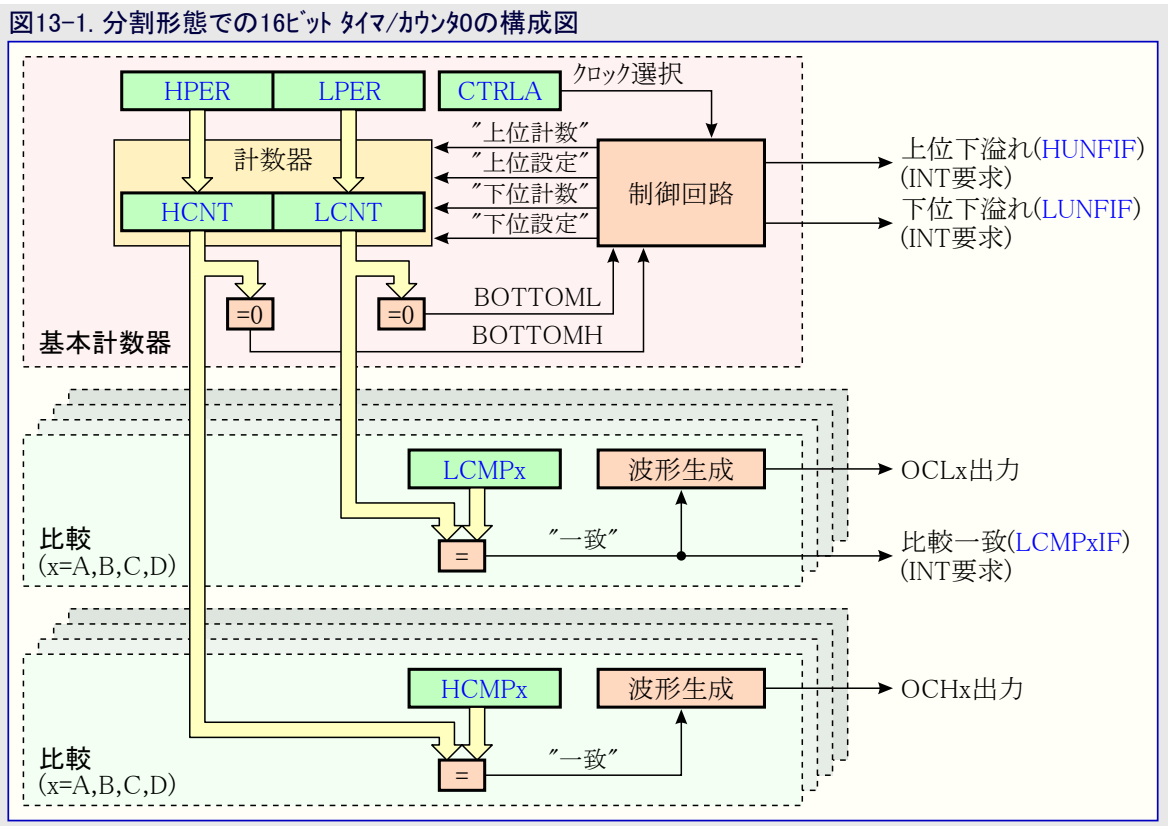
2つの8ビット タイマ/カウンタはこのシステムに於いて各々、下位バイト タイマ/カウンタと上位バイト タイマ/カウンタとして参照されます。それらの違いは下位バイト タイマ/カウンタだけが比較一致割り込み、事象起動を生成するのに使用できることです。

2つの8ビット タイマ/カウンタは共用されるクロック元と、独立した定期と比較の設定を持ちます。それらは任意選択の前置分周を周辺クロックから、または事象システムからクロック駆動と計時をすることができます。計数器は常に下降計数です。

タイマ/カウンタ2はそれを標準動作に設定することによってタイマ/カウンタ0に設定し戻され、従って1つのタイマ/カウンタは0型または2型のどちらかとしてだけ存在することができます。

下位バイト(L)と上位バイト(H)のタイマ/カウンタレジスタ分割と比較部署を示すタイマ/カウンタ2の詳細な構成図は図13-1.で示されます。

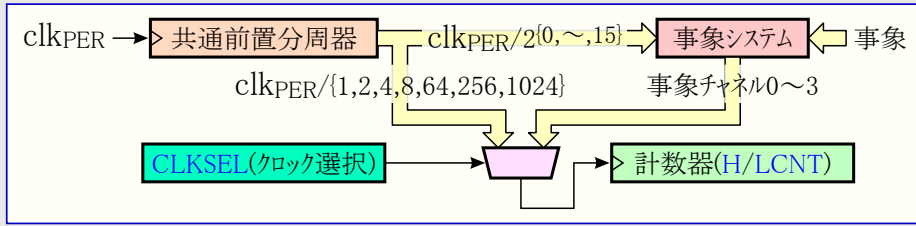
13.3. 構成図



13.4. クロック元

タイマ/カウンタは周辺クロック(clkPER)からと事象システムからクロック駆動することができます。図13-2はクロックと事象の選択を示します。

図13-2. クロック選択



周辺クロック(clkPER)は共通前置分周器(デバイス内の全タイマ/カウンタに対して共通)に供給されます。1~1/1024の前置分周器出力の選択は直接的に利用可能です。加えて1~2¹⁵前置分周範囲全体が事象システムを通して利用可能です。

クロック選択(CLKSEL)は上位バイトカウンタ(HCNT)と下位バイトカウンタ(LCNT)のために前置分周器出力の1つまたは事象チャンネルを選びます。事象システムの使用により、何れのI/Oピンの外部クロック信号のような、どの事象元もクロック入力として使用することができます。

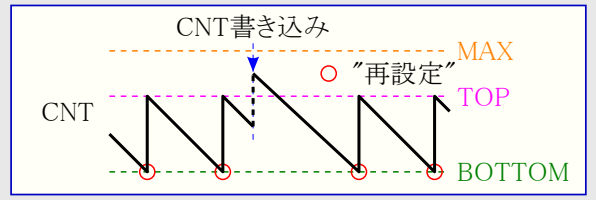
既定ではクロック入力なしが選択され、タイマ/カウンタは動作しません。

13.5. 計数器動作

計数器は常に単一傾斜動作で計数します。各計数器は各クロック周期に対してそれがBOTTOMに達するまで下降計数し、そして後続するクロック周期で定期(PER)レジスタ値を計数器に再設定します。

図13-3.で示されるように、計数器は走行中に計数器の値を変更することができます。書き込みアクセスは計数解除と再設定よりも高い優先権を持ち、即時に行われます。

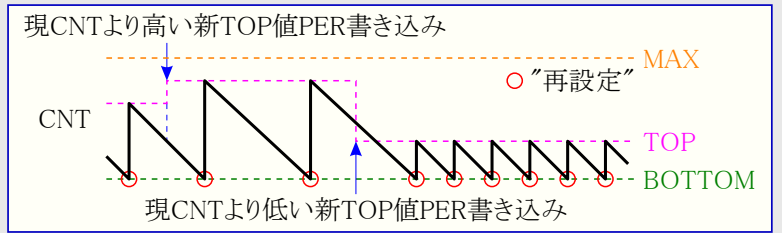
図13-3. 計数器動作



13.5.1. 周期変更

計数器の周期は新しいTOP値を定期(PER)レジスタへ書くことによって変更されます。計数器が下降計数のため、定期レジスタは図13-4.で示されるように現在の周期に影響を及ぼすことなく何時でも書くことができます。これは丸め奇数波形の生成を防ぎます。

図13-4. 周期変更



13.6. 比較チャネル

各比較チャネルは計数器値(CNT)と比較(CMPx)レジスタを継続的に比較します。CNTとCMPxが等しい場合に比較器が一致を合図します。下位バイト タイマ/カウンタに関して、この一致は次の計時器クロック周期で比較チャネルの割り込み要求フラグ(LCMPxIF)を設定(1)し、事象と任意選択の割り込みが生成されます。上位バイト タイマ/カウンタは比較割り込み/事象を持ちません。

13.6.1. 波形生成

比較チャネルは対応するポートピンでの波形生成に使用することができます。接続されたポートピンで見ることができる波形を作成するには、以下の必要条件が完全に満たされなければなりません。

1. 使用される比較チャネルが許可(H/LCMPxEN)されなければなりません。これは対応するポートピン出力(OUT)レジスタを無効にします。
2. 関連するポートピンに対する方向(DIR)が出力に設定されなければなりません。

反転波形出力はポートピンに対する反転出力(INVEN)ビットを設定(1)することによって達成されます。より多くの詳細については73頁の「入出力ポート」を参照してください。

13.6.2. 単一傾斜PWM生成

PWM生成については、周期(T)が定期(PER)レジスタによって制御され、一方比較(CMPx)レジスタが波形生成(WG)出力のデューティサイクルを制御します。図13-5は計数器がどうTOPからBOTTOMへ計数し、そしてTOPから再始動するかを示します。WG出力は計数器(CNT)とCMPxレジスタ間の比較一致で設定(1)され、BOTTOMで解除(0)されます。

PERレジスタはPWM分解能を定義します。最小分解能は、2ビット(PER=\$0003)で、最大分解能は8ビット(PER=MAX)です。

次式は単一傾斜PWMに対する正確な分解能(RPWM_SS)波形の計算に使用されます。

$$RPWM_SS = \frac{\log(PER+1)}{\log(2)}$$

単一傾斜PWM周波数(f_{PWM_SS})は周期設定(PER)と周辺クロック周波数(f_{clk_PER})に依存し、次式によって計算されます。

$$f_{PWM_SS} = \frac{f_{clk_PER}}{N(PER+1)}$$

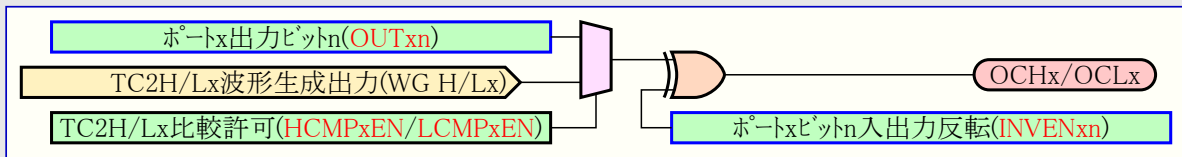
ここでNは使用した前置分周数(1,2,4,8,64,256,1024、または事象チャネルn)を表します。

13.6.3. 波形生成に関するポート無効化

ポートピンで利用可能な波形生成を行うには対応するポートピンの方向が出力として設定されなければなりません。タイマ/カウンタは比較(CMPx)チャネルが許可(LCMPxEN/HCMPxEN)される時にポートピン値を無効にします。

図13-6はタイマ/カウンタ下位と上位に関するポート無効化を示します。タイマ/カウンタ下位(LCNT)と比較(CMPx)チャネルは対応するポートピン(Pxn)でポートピン0~3の出力値(OUTxn)を無効にします。タイマ/カウンタ上位(HCNT)と比較(CMPx)チャネルは対応するポートピン(Pxn)でポートピン4~7を無効にします。ポートピンでの反転I/O許可(INVENxn)は対応するWG出力を反転します。

図13-6. タイマ/カウンタ下位と上位に関するポート無効化



13.7. 割り込みと事象

タイマ/カウンタは割り込みと事象の両方を生成できます。計数器は下降溢れでの割り込みを生成でき、下位バイト計数器に対する各比較(CMPx)チャネルは比較に使用される独立した割り込みを持ちます。

事象は割り込みを生成し得る全条件に対して生成されます。事象生成と利用可能な事象の詳細については34頁の「事象システム」を参照してください。

13.8. タイマ/カウンタ指令

部署の状態を直ちに変更するために、ソフトウェアによって1組の指令をタイマ/カウンタに与えることができます。これらの指令は更新、再始動、リセットの信号の直接制御を行います。

ソフトウェアは再始動指令を発行することによって現在の波形周期の再始動を強制できます。この場合は計数器と全ての比較出力が0に設定されます。

リセット指令は全てのタイマ/カウンタレジスタをそれらの初期値に設定します。リセットはタイマ/カウンタが非動作(OFF)の時にだけ与えることができます。

13.9. レジスタ説明

13.9.1. CTRLA – 制御レジスタA (Control register A)

ビット	7	6	5	4	3	2	1	0	
+\$00	–	–	–	–	CLKSEL3~0				CTRLA
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3~0 – CLKSEL3~0: クロック選択 (Clock Select)

これらのビットは表13-1に従ってタイマ/カウンタに対するクロック元を選択します。クロック選択は上位と下位の両バイトのタイマ/カウンタに対して同一です。

表13-1. クロック選択

CLKSEL3~0	群形態設定	内容
0 0 0 0	OFF	なし (換言するとタイマ/カウンタ'OFF'状態)
0 0 0 1	DIV1	前置分周器: clkPER
0 0 1 0	DIV2	前置分周器: clkPER/2
0 0 1 1	DIV4	前置分周器: clkPER/4
0 1 0 0	DIV8	前置分周器: clkPER/8
0 1 0 1	DIV64	前置分周器: clkPER/64
0 1 1 0	DIV256	前置分周器: clkPER/256
0 1 1 1	DIV1024	前置分周器: clkPER/1024
1 n n n	EVCHn	事象チャネルn (n=0~3)

13.9.2. CTRLB – 制御レジスタB (Control register B)

ビット	7	6	5	4	3	2	1	0	
+\$01	HCMPDEN	HCMPDEN	HCMPDEN	HCMPDEN	LCMPDEN	LCMPDEN	LCMPDEN	LCMPDEN	CTRLB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – HCMPxEN/LCMPxEN: 上位/下位バイト比較x許可 (High/Low Byte Compare x Enable)

これらのビットの設定(1)は比較出力を許可し、対応するOCn出力ピンに対するポート出力レジスタ値を無効にします。

13.9.3. CTRLC – 制御レジスタC (Control register C)

ビット	7	6	5	4	3	2	1	0	
+\$02	HCMPD	HCMPD	HCMPD	HCMPD	LCMPD	LCMPD	LCMPD	LCMPD	CTRLC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – HCMPx/LCMPx: 上位/下位バイト比較x出力値 (High/Low Compare x Output Value)

これらのビットはタイマ/カウンタがOFF状態に設定されている時に波形生成器(WG)の比較出力値への直接アクセスを許します。これはタイマ/カウンタが動作していない時にWG出力値を設定(1)または解除(0)するのに使用されます。

13.9.4. CTRLD – 制御レジスタE (Control register E)

ビット	7	6	5	4	3	2	1	0	
+\$04	–	–	–	–	–	–	BYTEM1,0		CTRLD
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1,0 – BYTEM1,0 : バイト動作 (Byte Mode)

これらのビットは表13-2.に従ってタイマ/カウンタ動作形態を選択します。

表13-2. タイマ/カウンタ型式選択

BYTEM1,0	群形態設定	内容
0 0	NORMAL	タイマ/カウンタは標準形態(タイマ/カウンタ型式0)に設定されます。
0 1	BYTEMODE	計数器の上位バイト(CNTH)は各クロック周期後、0に設定されます。
1 0	SPLITMODE	タイマ/カウンタ0は2つの8ビット タイマ/カウンタ(タイマ/カウンタ型式2)に分割されます。
1 1	–	(予約)

13.9.5. INTCTRLA – 割り込み許可レジスタA (Interrupt Enable register A)

ビット	7	6	5	4	3	2	1	0	
+\$06	–	–	–	–	HUNFINTLVL1,0	LUNFINTLVL1,0			INTCTRLA
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3,2 – HUNFINTLVL1,0 : 上位バイト計時器下降溢れ割り込みレベル (High Byte Timer Underflow Interrupt Level)

これらのビットは上位バイト計時器下降溢れ割り込みを許可し、68頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選択します。許可された割り込みは割り込み要求フラグ(INTFLAGS)レジスタの上位バイト計時器下降溢れ割り込み要求フラグ(HUNFIF)が設定(1)される時に起動されます。

● ビット1,0 – LUNFINTLVL1,0 : 下位バイト計時器下降溢れ割り込みレベル (Low Byte Timer Underflow Interrupt Level)

これらのビットは下位バイト計時器下降溢れ割り込みを許可し、68頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選択します。許可された割り込みは割り込み要求フラグ(INTFLAGS)レジスタの下位バイト計時器下降溢れ割り込み要求フラグ(LUNFIF)が設定(1)される時に起動されます。

13.9.6. INTCTRLB – 割り込み許可レジスタB (Interrupt Enable register B)

ビット	7	6	5	4	3	2	1	0	
+\$07	LCMPDINTLVL1,0	LCMPCLNTLVL1,0	LCMPBINTLVL1,0	LCMPAINTLVL1,0					INTCTRLB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – LCMPxINTLVL1,0 : 下位バイト比較x割り込みレベル (Low Byte Compare x Interrupt Level)

これらのビットは下位バイト比較割り込みを許可し、68頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選択します。許可された割り込みは割り込み要求フラグ(INTFLAGS)レジスタの下位バイト比較x割り込み要求フラグ(LCMPxIF)が設定(1)される時に起動されます。

13.9.7. CTRLF – 制御レジスタF (Control register F)

ビット	7	6	5	4	3	2	1	0	
+\$08	–	–	–	–	CMD1,0	CMDEN1,0			CTRLF
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

●ビット3,2 – CMD1,0 : タイマ/カウンタ指令 (Timer/Counter Command)

これらの指令ビットはタイマ/カウンタの再始動とリセットのソフトウェア制御に使用できます。指令ビットは常に0として読めます。CMDビットは指令許可(CMDEN)ビットと共に使用されなければなりません。

表13-3. 指令選択		
CMD1,0	群形態設定	指令動作
0 0	NONE	なし
0 1	–	(予約)
1 0	RESTART	強制再始動
1 1	RESET	強制ハード リセット (T/CがOFF状態でなければ無視されます。)

●ビット1,0 – CMDEN1,0 : 指令許可 (Command Enable)

これらのビットはどのタイマ/カウンタに対して指令(CMD)が有効かを示すのに使用されます。

表13-4. 指令許可選択		
CMDEN1,0	群形態設定	内容
0 0	–	(予約)
0 1	LOW	下位バイトT/Cに対して指令有効
1 0	HIGH	上位バイトT/Cに対して指令有効
1 1	BOTH	下位バイトと上位バイトの両T/Cに対して指令有効

13.9.8. INTFLAGS – 割り込み要求フラグ レジスタ (Interrupt Flag register)

ビット +\$0C	7	6	5	4	3	2	1	0	INTFLAGS
	LCMPDIF	LCMPDCF	LCMPBIF	?CMPAIF	–	–	HUNFIF	LUNFIF	
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7~4 – LCMPxIF : 比較チャネルx割り込み要求フラグ (Compare Channel x Interrupt Flag)

比較割り込み要求フラグ(LCMPxIF)は対応する比較(LCMPx)チャネルでの比較一致で設定(1)されます。

全動作種別に対して、LCMPxIFは計数(LCNT)レジスタと対応する比較(LCMPx)レジスタ間で比較一致が起きる時に設定(1)されます。LCMPxIFは対応する割り込みベクタが実行される時に自動的に解除(0)されます。このフラグはこのビット位置への1書き込みによっても解除(0)できます。

●ビット3,2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

●ビット1 – HUNFIF : 上位バイト計時器下降溢れ割り込み要求フラグ (High Byte Timer Underflow Interrupt Flag)

HUNFIFはBOTTOM(下降溢れ)状態で設定(1)されます。このフラグは対応する割り込みベクタが実行される時に自動的に解除(0)されます。このフラグはこのビット位置への1書き込みによっても解除(0)できます。

●ビット0 – LUNFIF : 下位バイト計時器下降溢れ割り込み要求フラグ (Low Byte Timer Underflow Interrupt Flag)

LUNFIFはBOTTOM(下降溢れ)状態で設定(1)されます。このフラグは対応する割り込みベクタが実行される時に自動的に解除(0)されます。このフラグはこのビット位置への1書き込みによっても解除(0)できます。

13.9.9. LCNT – 下位バイト計数レジスタ (Low-byte Counter register)

ビット +\$20	7	6	5	4	3	2	1	0	LCNT
	LCNT7~0								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7~0 – LCNT7~0 : 下位バイト計数器7~0

LCNTは下位バイト タイマ/カウンタ用の8ビット計数器値を含みます。CPUとDMAの書き込みアクセスは計数器の計数、解除、再設定より上の優先権を持ちます。

13.9.10. HCNT – 上位バイト計数レジスタ (High-byte Counter register)

ビット	7	6	5	4	3	2	1	0	
+\$21	HCNT7~0								HCNT
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – HCNT7~0 : 上位バイト計数器7~0

HCNTは下位バイト タイマ/カウンタ用の8ビット計数器値を含みます。CPUとDMAの書き込みアクセスは計数器の計数、解除、再設定より上の優先権を持ちます。

13.9.11. LPER – 下位バイト定期レジスタ (Low-byte Period register)

ビット	7	6	5	4	3	2	1	0	
+\$26	LPER7~0								LPER
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – LPER7~0 : 下位バイト定期値7~0

LPERは下位バイト タイマ/カウンタ用の8ビット定期値を含みます。

13.9.12. HPER – 上位バイト定期レジスタ (High-byte Period register)

ビット	7	6	5	4	3	2	1	0	
+\$27	HPER7~0								HPER
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – HPER7~0 : 上位バイト定期値7~0

HPERは上位バイト タイマ/カウンタ用の8ビット定期値を含みます。

13.9.13. LCMPx – 下位バイト比較xレジスタ (Low-byte Compare register x)

ビット	7	6	5	4	3	2	1	0	
+\$28,A,C,E	LCMPx7~0								LCMPx
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – LCMPx7~0 : 下位バイト比較値7~0 (x={A,B,C,D})

LCMPxは下位バイト タイマ/カウンタ用の8ビット比較値を含みます。

これらのレジスタは全てが計数器値と継続的に比較されます。一般的に比較器からの出力はその後に波形生成に使用されます。

13.9.14. HCMPx – 上位バイト比較xレジスタ (High-byte Compare register x)

ビット	7	6	5	4	3	2	1	0	
+\$29,B,D,F	HCMPx7~0								HCMPx
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – HCMPx7~0 : 上位バイト比較値7~0 (x={A,B,C,D})

HCMPxは上位バイト タイマ/カウンタ用の8ビット比較値を含みます。

これらのレジスタは全てが計数器値と継続的に比較されます。一般的に比較器からの出力はその後に波形生成に使用されます。

13.10. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$30~\$3F	予約	-	-	-	-	-	-	-	-	
+\$2F	HCMPD									112
+\$2E	LCMPD									112
+\$2D	HCMPD									112
+\$2C	LCMPD									112
+\$2B	HCMPB									112
+\$2A	LCMPB									112
+\$29	HCMPC									112
+\$28	LCMPA									112
+\$27	HPER									112
+\$26	LPER									112
+\$22~\$25	予約	-	-	-	-	-	-	-	-	
+\$21	HCNT									112
+\$20	LCNT									111
+\$10~\$1F	予約	-	-	-	-	-	-	-	-	
+\$0F	予約	-	-	-	-	-	-	-	-	
+\$0E	予約	-	-	-	-	-	-	-	-	
+\$0D	予約	-	-	-	-	-	-	-	-	
+\$0C	INTFLAGS	LCMPDIF	LCMPCIF	LCMPBIF	LCMPAIF	-	-	HUNFIF	LUNFIF	111
+\$0B	予約	-	-	-	-	-	-	-	-	
+\$0A	予約	-	-	-	-	-	-	-	-	
+\$09	CTRLF	-	-	-	-	CMD1,0		CMDEN1,0		110
+\$08	予約	-	-	-	-	-	-	-	-	
+\$07	INTCTRLB	LCMPDINTLVL1,0		LCMPCINTLVL1,0		LCMPBINTLVL1,0		LCMPAINTLVL1,0		110
+\$06	INTCTRLA	-	-	-	-	HUNFINTLVL1,0		LUNFINTLVL1,0		110
+\$05	予約	-	-	-	-	-	-	-	-	
+\$04	CTRLE	-	-	-	-	-	-	BYTEM1,0		109
+\$03	予約	-	-	-	-	-	-	-	-	
+\$02	CTRLC	HCMPD	HCMPD	HCMPB	HCMPA	LCMPD	LCMPD	LCMPB	LCMPA	109
+\$01	CTRLB	HCMPEND	HCMPENC	HCMPENB	HCMPENA	LCMPEND	LCMPENC	LCMPENB	LCMPENA	109
+\$00	CTRLA	-	-	-	-			CLKSEL3~0		109

13.11. 割り込みベクタ要約

変位	記述例	割り込み内容
\$00	LUNF_vect	下位バイト タイマ/カウンタ 下降溢れ割り込みベクタ
\$02	HUNF_vect	上位バイト タイマ/カウンタ 下降溢れ割り込みベクタ
\$04	LCMPA_vect	下位バイト タイマ/カウンタ 比較チャネルA 割り込みベクタ
\$06	LCMPB_vect	下位バイト タイマ/カウンタ 比較チャネルB 割り込みベクタ
\$08	LCMPC_vect	下位バイト タイマ/カウンタ 比較チャネルC 割り込みベクタ
\$0A	LCMPD_vect	下位バイト タイマ/カウンタ 比較チャネルD 割り込みベクタ

14. Hi-Res – 高分解能拡張

14.1. 要点

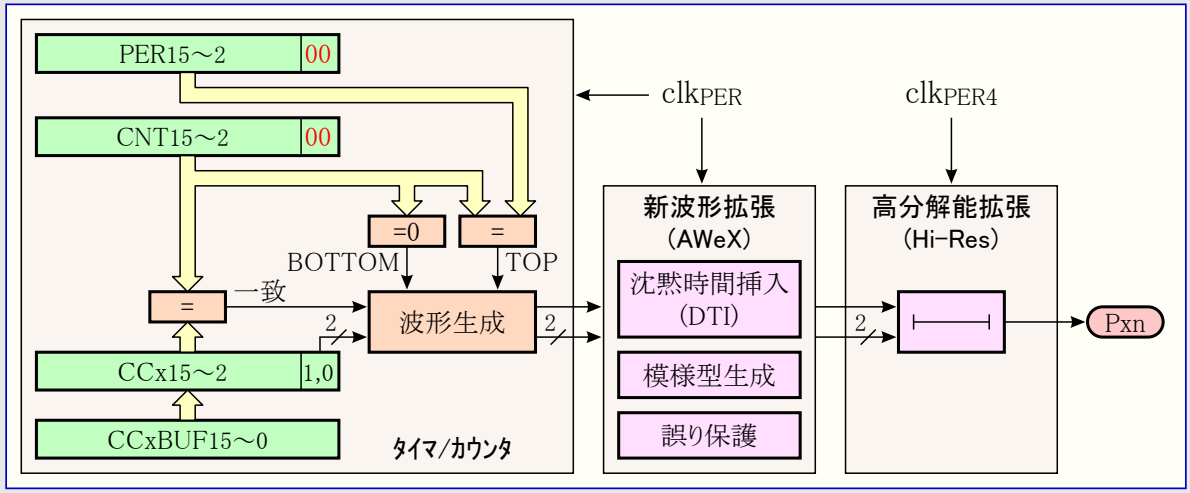
- 波形生成器分解能を最大8倍(3ビット)増加
- 周波数、単一傾斜PWM、2傾斜PWMの生成を支援
- これが同じタイマ/カウンタに使用される時にAWeXを支援

14.2. 概要

高分解能(Hi-Res)拡張はタイマ/カウンタからの波形生成出力の分解能を4または8倍に増やすのに使用することができます。これはタイマ/カウンタに対して周波数、単一傾斜PWM、2傾斜PWMの生成を行うのに使用することができます。これが同じタイマ/カウンタに使用される場合、AWeXと共に使用することもできます。

Hi-Res拡張は4倍周辺クロック(clkPER4)を使用します。システムクロック前置分周器はHi-Res拡張が許可される時に4倍周辺クロックがCPUと周辺機能のクロック周波数よりも4倍高くなるように形態設定されなければなりません。より多くの詳細については43頁の「システムクロック選択と前置分周器」をご覧ください。

図14-1. Hi-Res拡張許可でのタイマ/カウンタ動作



Hi-Res拡張が許可されると、タイマ/カウンタは前置分周されない周辺クロックから走行されなければなりません。タイマ/カウンタの計数部は最下位(LSB)側2ビットを無効にし、各周辺クロック周期に対して4倍で計数します。最上位(MSB)側14ビットの上昇溢れ/下降溢れと比較一致はタイマ/カウンタで行われます。下位2ビットの計数と比較は4倍周辺クロックで走行するHi-Res拡張で処理と比較が行われます。

タイマ/カウンタの定期(PER)レジスタの下位2ビットは正しい動作を保証するため、0を設定されなければなりません。計数器(CNT)レジスタが応用コードから読まれる場合、タイマ/カウンタが(標準速の)周辺クロックで走行するため、下位2ビットは常に0として読みます。この下位2ビットは事象生成時にも無視されます。

Hi-Res+機能が許可されると、機能はHi-Res拡張と同じですが、分解能は4の代わりに8増加します。これはHi-Resだけが許可される時のような下位2ビットに代わり、Hi-Res拡張によって下位3ビットが処理されることも意味します。追加の分解能は4倍周辺クロックの両端を計数することによって達成されます。

Hi-Res拡張は(標準速の)1周辺クロック周期よりも短い(周期の)どんなパルスも出力せず、換言すると、4よりも小さな比較値は見える出力になりません。

14.3. レジスタ説明

14.3.1. CTRLA – 制御レジスタA (Control register A)

ビット	7	6	5	4	3	2	1	0	
+\$00	–	–	–	–	–	HRPLUS	HREN1,0		CTRLA
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7~3 – 予約 (Reserved)**
これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。
- **ビット2 – HRPLUS : 高分解能+ (High Resolution Plus)**
このビットの設定(1)は高分解能+を許可します。Hi-Res+はHi-Resと同じですが、分解能を4に代わって8(3ビット)倍に増します。追加の分解能は4倍周辺クロックの両端での動作によって達成されます。

- **ビット1,0 – HREN1,0 : 高分解能許可 (High Resolution Enable)**
これらのビットは表14-1.に従ってタイマ/カウンタに対する高分解能動作種別を許可します。
HRENビットの1つまたは両方の設定(1)が汎用I/Oポート全体に対する高分解能波形生成出力を許可します。これは同じポートに接続されたタイマ/カウンタの両方がピンでのPWMまたはFRQ出力生成に使用される場合、その両方がHi-Resを許可されなければならないことを意味します。

表14-1. 高分解能許可選択

HREN1,0	高分解能許可
0 0	なし(禁止)
0 1	タイマ/カウンタ0
1 0	タイマ/カウンタ1
1 1	両タイマ/カウンタ

14.4. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$00	CTRLA	–	–	–	–	–	HRPLUS	HREN1~0		115

15. AWeX – 新波形生成拡張

15.1. 要点

- 各比較チャネルからの補完出力を持つ波形出力
- 4つの沈黙時間挿入(DTI)部
 - 8ビット分解能
 - 独立したHigh側とLow側の沈黙時間設定
 - 2重緩衝された沈黙時間
 - 任意選択の沈黙時間中の停止計時器
- ポートピンに渡って同期したビット様式を生成する模様型生成部
 - 2重緩衝された模様型生成
 - 任意選択のポートピンに渡る1つの比較チャネル出力の分配
- 瞬時と予め予測可能な誤り起動に対する事象制御された誤り保護

15.2. 概要

新波形拡張(AWeX)は波形生成(WG)動作でのタイマ/カウンタに追加の機能を提供します。これは主として各種形式の電動機や他の電力制御応用での使用が意図されています。これは外部駆動部の禁止と停止に対して沈黙時間挿入と誤り保護を持つLow側とHigh側の出力を許します。ポートピンに渡る同期されたビット模様を生成することもできます。

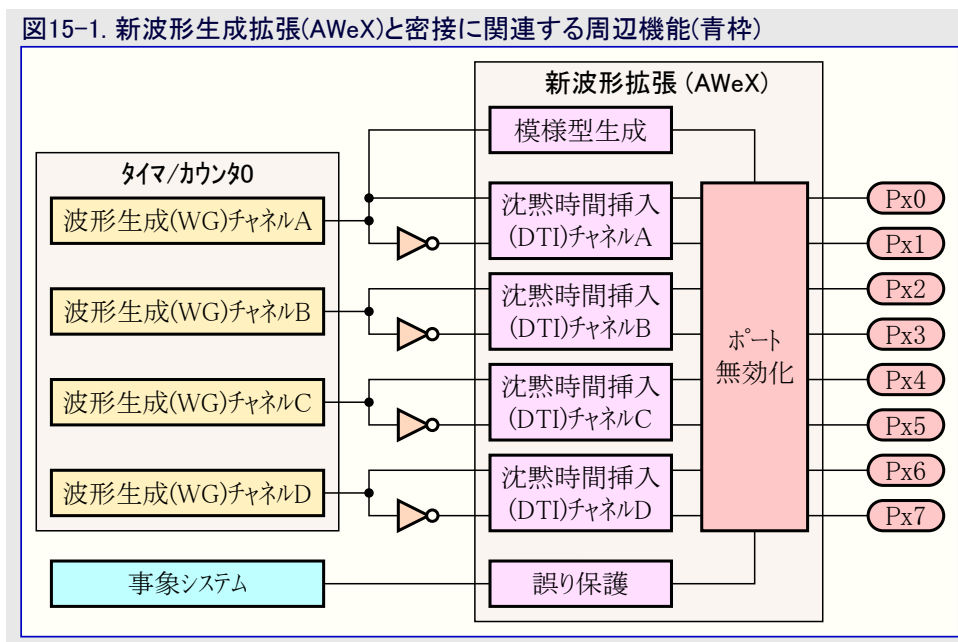


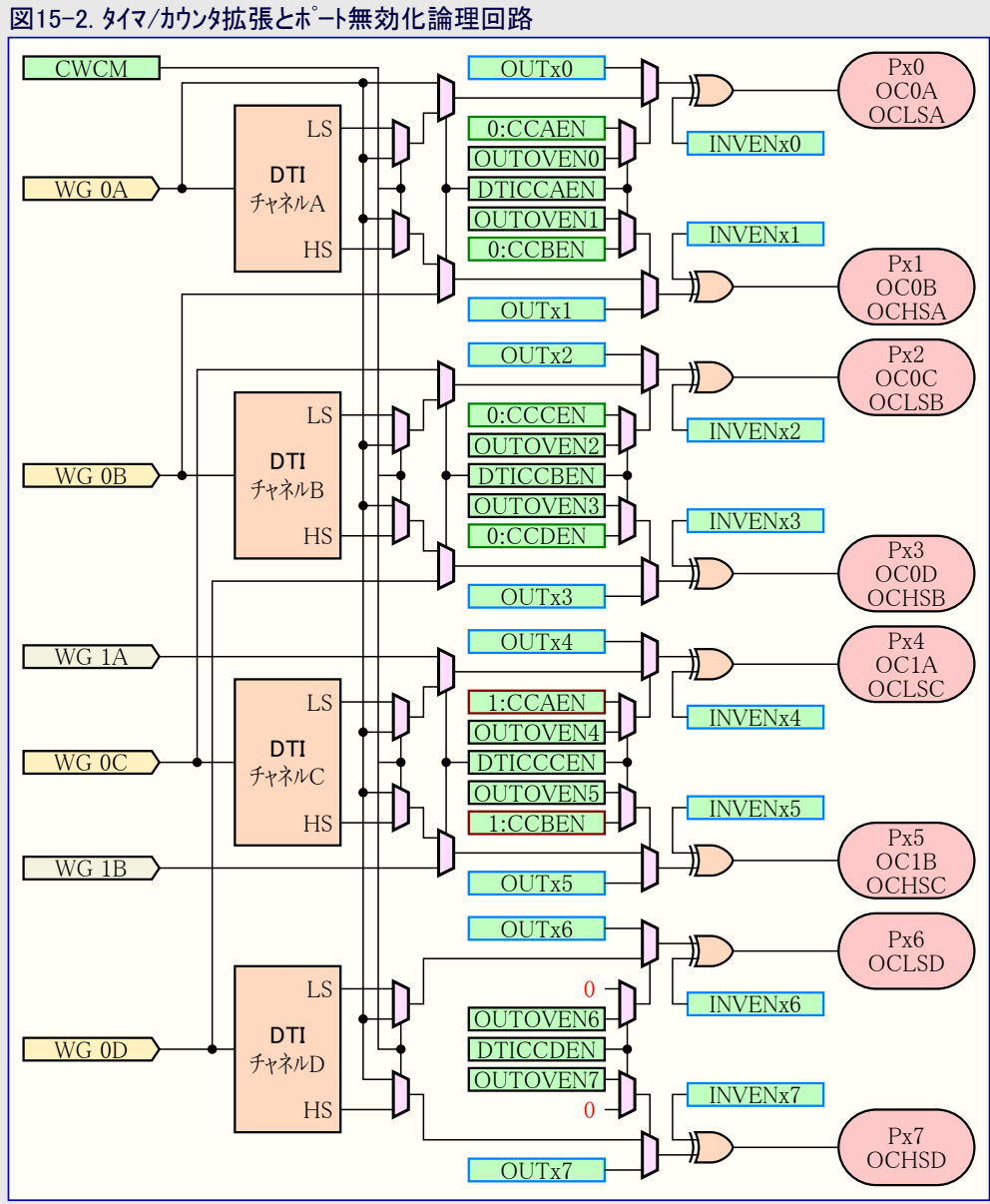
図15-1.で示されるように、タイマ/カウンタ0からの波形生成器出力の各々は何れかのAWeX機能が許可される時に出力の補完対に分けられます。これらの出力対はLow側(LS)とHigh側(HS)切り換え間の沈黙時間挿入を持つ、WG出力の非反転LSと反転HSを生成する沈黙時間挿入(DTI)部を通過して行きます。DTI出力はポート無効化設定に従って標準ポート値を無効にします。より多くの詳細については73頁の「入出力ポート」を参照してください。

模様型生成部はそれが接続されたポートで同期したビット模様の生成に使用することができます。加えて、比較チャネルAからのWG出力は全てのポートピンを無効にして、(そこへ)配給することができます。模様型生成器部が許可されている時はDTI部が迂回されます。

誤り保護部は事象システムに接続され、AWeX出力を禁止する誤り条件を起動するのをどの事象でも可能にします。事象システムは予測可能で即時の誤り反応を保証し、誤り起動の選択に於ける柔軟性を与えます。

15.3. ポート無効化

全てのタイマ/カウンタ拡張に対してポート無効化論理回路は共通です。図15-2はポート無効化論理回路の回路構成を示します。沈黙時間許可(DTICCxEN)ビットが設定(1)されると、タイマ/カウンタ拡張は対応するチャンネルに対してピン対の制御を引き受けます。この条件を与えられた出力無効化許可(OUTOVEN)ビットは比較/捕獲x許可(CCxEN)の制御を引き取ります。



15.4. 沈黙時間挿入

沈黙時間挿入(DTI)部は波形生成(WG)出力の非反転Low側(LS)と反転High側(HS)の両方がLowとなるOFF時間の生成を可能にします。このOFF時間は沈黙時間と呼ばれ、沈黙時間はLSとHSを決して同時に切り換えないことを保証します。

DTI部はタイマ/カウンタ0の比較チャンネルの各々に対して1つの、4つの同じ沈黙時間生成器から成ります。図15-3は1つのDTI生成器の構成図を示します。4つのチャンネルは沈黙時間を制御する共通のレジスタを持ちます。High側とLow側は個別の沈黙時間設定を持ち、沈黙時間レジスタは2重緩衝されています。

図15-3. 沈黙時間生成器構成図

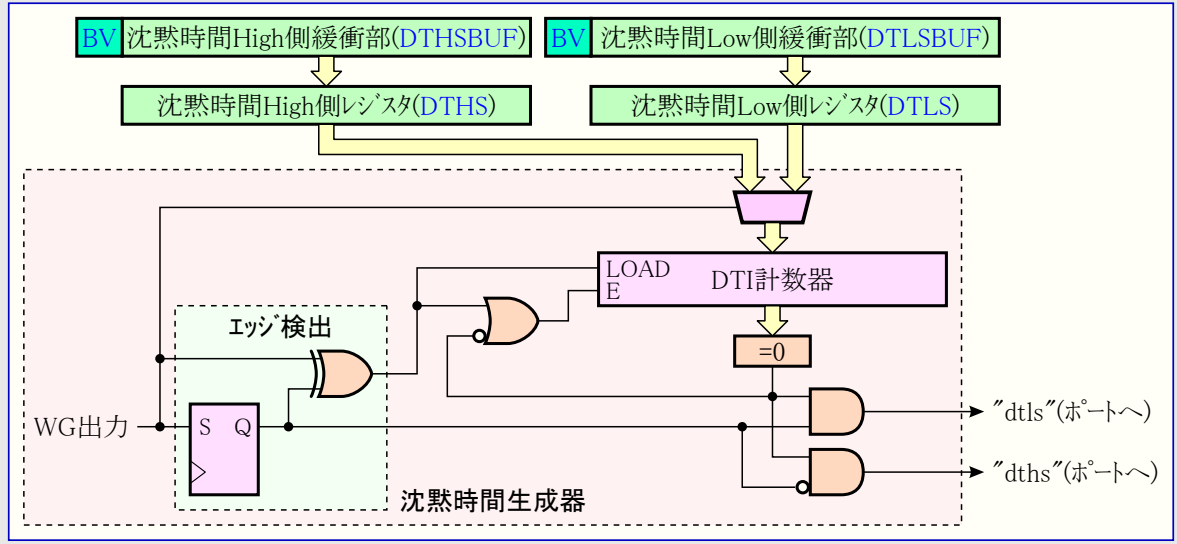
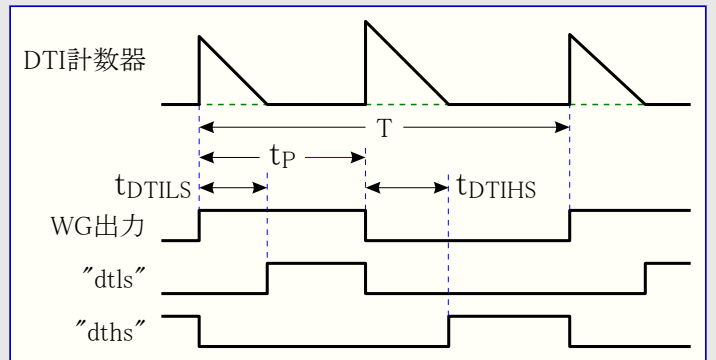


図15-4.で示されるように、8ビットの沈黙時間計数値は0に達するまで各周辺クロック周期に対して1つずつ減少されます。0以外の計数値はLow側とHigh側の両方の出力にOFF状態を強制します。波形生成(WG)出力で変化が検出されると、沈黙時間計数値は入力のエッジに応じて再設定されます。正端は沈黙時間Low側(DTLS)レジスタの再設定で、負端は沈黙時間High側(DTHS)レジスタの再設定で計数値を初期化します。

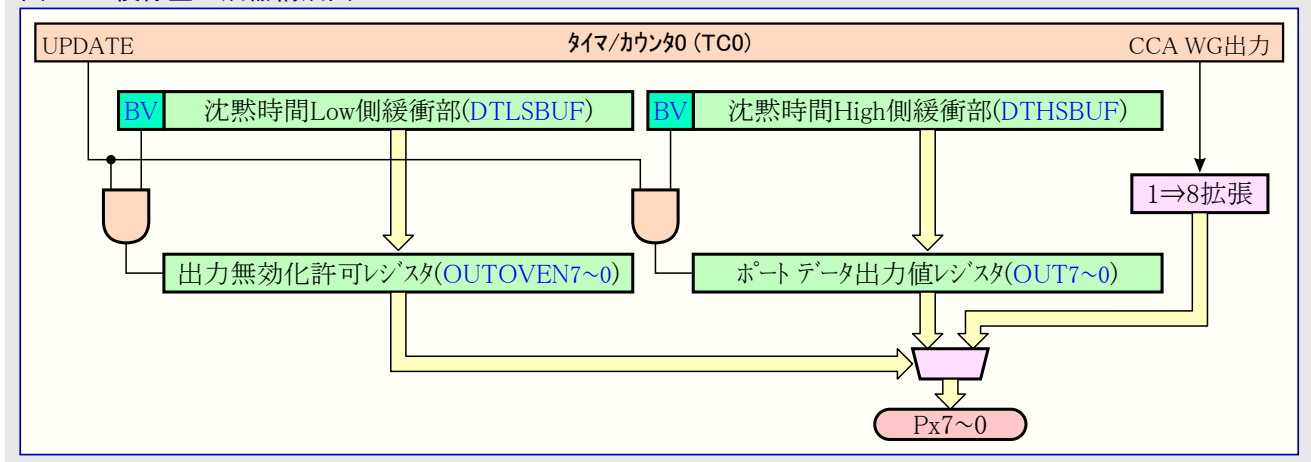
図15-4. 沈黙時間生成器タイミング構成図



15.5. 模様型生成

模様型生成器部はそれが接続されたポートに渡って同期したビット模様を生成するために沈黙時間挿入(DTI)レジスタを再使用します。加えて、比較(CC)チャンネルA(CCA)からの波形生成器出力はポートピン全てを無効してそこへ配給できます。これらの機能は主にブラシレスDCモータとステッピングモータ応用での整流手順の扱いを意図されています。模様型生成器の構成図が図15-5.で示されます。対応する出力無効化許可(OUTOVEN)ビットが多重器を設定する各ポートピンに対して比較/捕獲チャンネルA(CCA)からの波形を出力します。

図15-5. 模様型生成器構成図



他のタイマ/カウンタの2重緩衝されたレジスタでのように、レジスタ更新は波形生成動作種別によって設定されたUPDATE条件に同期化されます。この提供された同期化が応用で必要がない場合、応用コードは単に出力無効化許可(OUTOVEN)レジスタとポートデータ出力値(OUT)レジスタを直接アクセスすることができます。

ポートで見えるように、模様型生成器からのどの出力に対してもピン方向が(出力に)設定されなければなりません。

15.6. 誤り保護

誤り保護機能は誤り検出時に高速且つ決定的な動きを可能にします。誤り保護は事象制御され、故に事象システムからの何れかの事象はアナログ比較器やA/D変換器の測定からの過電流指示のような誤り活動を起動するのに使用できます。

誤り保護が許可されると、選択した事象チャンネルからやって来る事象が事象活動を起動し得ます。各事象チャンネルは誤り保護入力として独立して許可でき、指定された事象チャンネルは共にORされ、同時に誤り保護に使用されるのを複数の事象元に許します。

15.6.1. 誤り活動

誤りが検出されると、方向解除活動は関連するポートの方向(DIR)レジスタを解除し、全てのポートピンをHi-Z入力として設定します。

誤り検出フラグ(FDF)が設定(1)され、タイマ/カウンタの異常割り込み要求フラグ(ERRIF)が設定(1)され、そして任意選択の割り込みが生成されます。

事象発生時から誤り保護が事象活動を起動するまでには最大2周辺クロック周期があります。誤り保護はCPUと完全に無関係ですが、周辺クロックの走行が必要です。

15.6.2. 誤り回復動作

誤り後で誤り条件がもはや活性(有効)でない時に新波形生成拡張(AWeX)とタイマ/カウンタを誤り状態から通常動作にどう戻すかは、2つの異なる動作の1つから選ぶことができます。

- ラッチ動作では、誤り条件がもはや活性(有効)でなくなるまで、波形出力が誤り状態に留まり、誤り検出フラグ(FDF)はソフトウェアによって解除(0)されます。これら両方の条件に合致した時に波形出力は次のUPDATE条件で通常動作に復帰します。
- 周期単位動作では、誤り条件がもはや活性(有効)でなくなるまで、波形出力が誤り状態に留まります。この条件に合致すると、波形出力は次のUPDATE条件で通常動作に復帰します。

誤り状態からの戻りに許可されたDTIチャンネルに対応するDIR7~0ビットが回復されます。ソフトウェアからレジスタへの書き込みが妨げられることを除き、OUTOVENは誤りによって影響を及ぼされません。

通常動作への回復に使用されるUPDATE条件はタイマ/カウンタでのものと同じ更新(UPDATE)です。

15.6.3. 変更保護

誤り保護設定での予期せぬ変更を避けるため、新波形生成拡張(AWeX)の全ての制御レジスタは新波形生成拡張施錠(AWEXLOCK)レジスタの対応する施錠ビットを書くことによって保護できます。より多くの詳細については17頁の「[I/Oメモリ保護](#)」と30頁の「[AWEXLOCK – 新波形生成拡張施錠レジスタ](#)」を参照してください。

施錠ビットが設定(1)されると、制御(CTRL)レジスタ、出力無効化許可(OUTOVEN)レジスタ、誤り検出事象許可(FDEMASK)レジスタは変更できません。

誤り事象設定での予期せぬ変更を避けるため、事象システム施錠(EVSYSLock)レジスタの対応する施錠ビットを書くことによって事象システムチャンネル形態設定を施錠できます。より多くの詳細については17頁の「[I/Oメモリ保護](#)」と30頁の「[EVSYSLock – 事象システム施錠レジスタ](#)」を参照してください。

15.6.4. チップ上デバッグ

誤り検出許可時、チップ上デバッグ(OCD)システムはデバッグから中断要求を受け取り、これは誤り元としての既定での機能です。OCD中断要求受け取り時、新波形生成拡張(AWeX)と対応するタイマ/カウンタは誤り状態へ移行し、指定した誤り活動を実行します。

OCDが中断状態から抜け出した後、通常動作が再び開始されます。周期単位動作では波形出力が中断後の最初の更新(UPDATE)条件で始まり、ラッチ動作では出力が回復される前に誤り検出フラグ(FDF)がソフトウェアによって解除(0)されなければなりません。この特性は中断の間に出力波形が安全な状態へ移行することを保証します。

この機能は禁止することができます。

15.7. レジスタ説明

15.7.1. CTRL – 制御レジスタ (Control register)

ビット	7	6	5	4	3	2	1	0	
+\$00	–	–	PGM	CWCM	DTICCDEN	DTICCCEN	DTICCBEN	DTICCAEN	CTRL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット5 – PGM : 模様型生成動作 (Pattern Generation Mode)

このビットの設定(1)は模様型生成動作を許可します。これは沈黙時間挿入(DTI)を無効にし、模様型生成は模様型格納用に沈黙時間レジスタを再使用します。

● ビット4 – CWCM : 共通波形チャネル動作 (Common Waveform Channel Mode)

このビットが設定(1)なら、全ての沈黙時間生成器に対する入力として、比較/捕獲(CC)チャネルAが使用されます。CCチャネルB,C,Dの波形は無視されます。

● ビット3~0 – DTICCxEN : チャネルx沈黙時間挿入許可 (Dead-Time Insertion CCx Enable)

これらのビットの設定(1)は対応するチャネルに対する沈黙時間生成器を許可します。これはタイマ/カウンタ波形出力を無効にします。

15.7.2. FDEMASK – 誤り検出事象許可レジスタ (Fault Detect Event Mask register)

ビット	7	6	5	4	3	2	1	0	
+\$02	FDEVMASK7~0								FDEMASK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – FDEVMASK7~0 : 誤り検出事象許可 (Fault Detect Event Mask)

これらのビットは対応する事象チャネルを誤り条件入力元として許可します。事象チャネルからの全ての事象は共にORされ、誤り検出への複数供給元同時使用を可能にします。誤り検出時、誤り検出フラグ(FDF)が設定(1)され、誤り検出活動(FDACT)が実行されます。

15.7.3. FDCTRL – 誤り検出制御レジスタ (Fault Detection Control register)

ビット	7	6	5	4	3	2	1	0	
+\$03	–	–	–	FDDBD	–	FDMODE	FDACT1,0		FDCTRL
Read/Write	R	R	R	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~5 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット4 – FDDBD : デバッグ中断要求での誤り検出処理動作 (Fault Detection on Debug Break Detection)

既定ではこのビットが解除(0)されており、誤り検出許可時のチップ上デバッグ(OCD)中断要求は誤りとして扱われます。このビットが設定(1)されると、OCD中断要求は誤り条件を起動しません。

● ビット3 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット2 – FDMODE : 誤り検出再開種別 (Fault Detection Restart Mode)

このビットは誤り検出再開動作種別を設定します。このビットが解除(0)されるとラッチ動作が使用され、このビットが設定(1)されると周期単位動作が使用されます。

ラッチ動作では、誤り条件がもはや活性(有効)でなくなるまで、波形出力が誤り状態に留まり、誤り検出フラグ(FDF)はソフトウェアによって解除(0)されます。両方の条件に合致した時に波形出力は次のUPDATE条件で通常動作に復帰します。

周期単位動作では、誤り条件がもはや活性(有効)でなくなるまで、波形出力が誤り状態に留まります。この条件に合致すると、波形出力は次のUPDATE条件で通常動作に復帰します。

●ビット1,0 – FDACT1,0 : 誤り検出活動 (Fault Detection Actioin)

これらのビットは表15-1に従って、誤り条件が検知された場合に実行される活動を定義します。

表15-1. 誤り検出活動選択		
FDACT1,0	群形態設定	事象活動
0 0	NONE	なし(誤り検出禁止)
0 1	-	(予約)
1 0	-	(予約)
1 1	CLEARDIR	許可された沈黙時間挿入(DTI)チャネルに対応する全方向(DIR)ビット解除、換言すると出力はHi-Z

15.7.4. STATUS – 状態レジスタ (Status register)

ビット	7	6	5	4	3	2	1	0	
+\$04	-	-	-	-	-	FDF	DTHSBUFV	DTLSBUFV	STATUS
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7~3 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書き込んでください。

●ビット2 – FDF : 誤り検出フラグ (Fault Detect Flag)

このフラグは誤り検出条件が検知された時、換言すると誤り検出事象許可(FDEVMASK)によって許可された事象チャネルの1つで事象が検知された時に設定(1)されます。このフラグはこのビット位置への1書き込みによって解除(0)されます。

●ビット1 – DTHSBUFV : 沈黙時間High側緩衝有効 (Dead-Tine High Side Buffer Valid)

このフラグが設定(1)なら、対応する沈黙時間(DT)緩衝部が書かれて、UPDATE条件で沈黙時間High側(DTHS)レジスタ内に複写される値を含みます。このビットが0なら、何の動作も行われません。接続されたタイマ/カウンタの更新施錠(LUPD)ビットも沈黙時間緩衝部に対する更新(UPDATE)に影響を及ぼします。

●ビット0 – DTLSBUFV : 沈黙時間Low側緩衝有効 (Dead-Tine Low Side Buffer Valid)

このフラグが設定(1)なら、対応する沈黙時間(DT)緩衝部が書かれて、UPDATE条件で沈黙時間Low側(DTLS)レジスタ内に複写される値を含みます。このビットが0なら、何の動作も行われません。接続されたタイマ/カウンタの更新施錠(LUPD)ビットも沈黙時間緩衝部に対する更新(UPDATE)に影響を及ぼします。

15.7.5. DTBOTH – 沈黙時間両側同時書き込みレジスタ (Dead-Time Concurrent Write to Both Sides)

ビット	7	6	5	4	3	2	1	0	
+\$06	DTBOTH7~0								DTBOTH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7~0 – DTBOTH7~0 : 沈黙時間両側値 (Dead-Time Both Sides)

このレジスタへの書き込みは沈黙時間High側(DTHS)レジスタと沈黙時間Low側(DTLS)レジスタを同時に(換言すると同じI/Oアクセス書き込みで)更新します。

15.7.6. DTBOTHBUF – 沈黙時間両側同時書き込み緩衝レジスタ (Dead-Time Concurrent Write to Both Sides Buffer register)

ビット	7	6	5	4	3	2	1	0	
+\$07	DTBOTHBUF7~0								DTBOTHBUF
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7~0 – DTBOTHBUF7~0 : 沈黙時間両側緩衝値 (Dead-Time Both Sides Buffer)

このメモリ位置への書き込みは沈黙時間High側緩衝部(DTHSBUF)と沈黙時間Low側緩衝部(DTLSBUF)を同時に(換言すると同じI/Oアクセス書き込みで)更新します。

15.7.7. DTLS – 沈黙時間Low側レジスタ (Dead-Time Low Side register)

ビット	7	6	5	4	3	2	1	0	
+\$08	DTLS7~0								DTLS
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – DTLS7~0 : 沈黙時間Low側値 (Dead-Time Low Side)

このレジスタはLow側沈黙時間に対する周辺クロック周期数を保持します。

15.7.8. DTHS – 沈黙時間High側レジスタ (Dead-Time High Side register)

ビット	7	6	5	4	3	2	1	0	
+\$09	DTHS7~0								DTHS
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – DTHS7~0 : 沈黙時間High側値 (Dead-Time High Side)

このレジスタはHigh側沈黙時間に対する周辺クロック周期数を保持します。

15.7.9. DTLSBUF – 沈黙時間Low側緩衝レジスタ (Dead-Time Low Side Buffer register)

ビット	7	6	5	4	3	2	1	0	
+\$0A	DTLSBUF7~0								DTLSBUF
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – DTLSBUF7~0 : 沈黙時間Low側緩衝値 (Dead-Time Low Side Buffer)

このレジスタは沈黙時間Low側(DTLS)レジスタに対する緩衝部です。2重緩衝が使用される場合、このレジスタの有効な値がUPDATE条件でDTLSレジスタに複写されます。

15.7.10. DTHSBUF – 沈黙時間High側緩衝レジスタ (Dead-Time High Side Buffer register)

ビット	7	6	5	4	3	2	1	0	
+\$0B	DTHSBUF7~0								DTHSBUF
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – DTHSBUF7~0 : 沈黙時間High側緩衝値 (Dead-Time High Side Buffer)

このレジスタは沈黙時間High側(DTHS)レジスタに対する緩衝部です。2重緩衝が使用される場合、このレジスタの有効な値がUPDATE条件でDTHSレジスタに複写されます。

15.7.11. OUTOVEN – 出力無効化許可レジスタ (Output Override Enable register)

ビット	7	6	5	4	3	2	1	0	
+\$0C	OUTOVEN7~0								OUTOVEN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注: 誤り検出フラグ(FDF)が0の場合にだけ書くことができます。

● ビット7~0 – OUTOVEN7~0 : 出力無効化許可 (Output Override Enable)

これらのビットは対応するポート出力(OUT)レジスタの(換言するとピン位置に関連するビット毎に)無効化を許可します。ポート方向は無効にされません。

15.8. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$0C	OUTOVEN	OUTOVEN7~0								123
+\$0B	DTHSBUF	DTHSBUF7~0 (沈黙時間High側緩衝)								123
+\$0A	DTLSBUF	DTLSBUF7~0 (沈黙時間Low側緩衝)								123
+\$09	DTHS	DTHS7~0 (沈黙時間High側)								123
+\$08	DTLS	DTLS7~0 (沈黙時間Low側)								123
+\$07	DTBOTHBUF	DTBOTHBUF7~0 (沈黙時間両側緩衝)								122
+\$06	DTBOTH	DTBOTH7~0 (沈黙時間両側)								122
+\$05	予約	-	-	-	-	-	-	-	-	
+\$04	STATUS	-	-	-	-	-	FDF	DTHSBUFV	DTLSBUFV	122
+\$03	FDCTRL	-	-	-	FDDBD	-	FDMODE	FDMODE		121
+\$02	FDEMASK	FDEVMASK7~0								121
+\$01	予約	-	-	-	-	-	-	-	-	
+\$00	CTRL	-	-	PGM	CWCM	DTICCDEN	DTICCCEN	DTICCBEN	DTICCAEN	121

16. RTC – 実時間計数器

16.1. 要点

- 16ビット分解能
- 選択可能なクロック元
 - 32.768kHz外部クリスタル
 - 外部クロック信号
 - 32.768kHz内部発振器
 - 32kHz内部ULP発振器
- 設定可能な前置分周器
- 1つの比較レジスタ
- 1つの定期レジスタ
- 定期上昇溢れでの計数器解除
- 任意選択の上昇溢れと比較一致での割り込み/事象

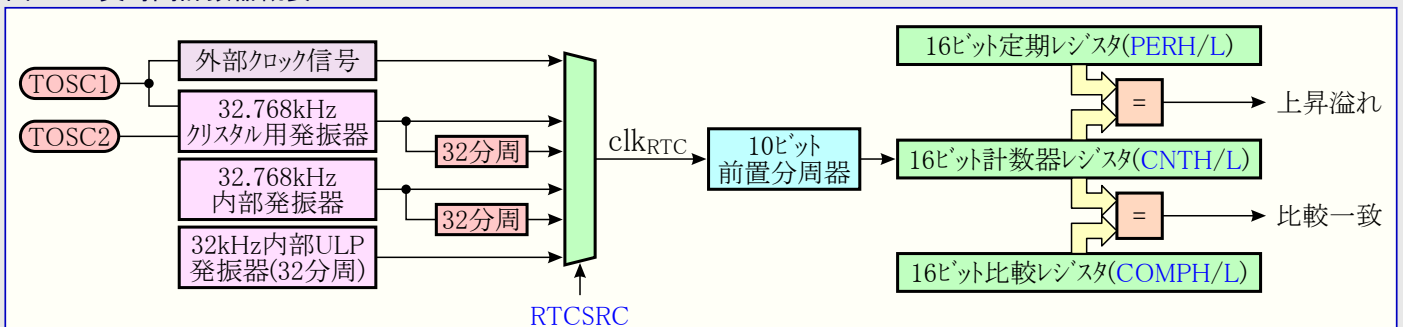
16.2. 概要

16ビット実時間計数器(RTC)は時間の経緯を保つために、低電力休止形態を含み、代表的に継続して走行する計数器です。これは規則的な間隔で休止形態からデバイスを起こしたり、デバイスに割り込むことができます。

基準クロックは代表的に32.768kHzの高精度クリスタルからの1.024kHzで、これは殆ど低電力消費用に最適化された形態設定です。RTCが1msよりも高い分解能を必要とするなら、より速い32.768kHz出力を選択することができます。RTCは外部クロック信号、32.768kHz内部発振器、または32kHz内部ULP発振器からもクロック駆動することができます。

RTCは計数器へ至る前に基準クロックを下げるができる設定可能な10ビットの前置分周器を含みます。広範囲の分解能と時間経過期間を形態設定することができます。32.768kHzのクロック元とで、最大分解能は30.5 μ s、時間経過期間は2000sまでにできます。1sの分解能とで、最大時間経過期間は18時間よりも多くなります(65536s)。RTCは計数器が比較レジスタ値と等しい時に比較割り込みや事象、定期レジスタ値と等しい時に上昇溢れ割り込みや事象を生じることができます。

図16-1. 実時間計数器概要



16.2.1. クロック領域

RTCは非同期で、主システムクロックと周辺クロックのようなその派生クロックから独立した異なるクロック元で動きます。制御と計数のレジスタの更新に関しては、更新されたレジスタ値がレジスタで利用可能になる前、または形態設定変更がRTCで効果を表すまで、幾らかのRTCクロックと/または周辺クロックの周期がかかります。この同期時間は各レジスタに対して記述されます。RTCに関する非同期クロック元については47頁の「[RTCCTRL – RTC制御レジスタ](#)」を参照してください。

16.2.2. 割り込みと事象

RTCは割り込みと事象の両方を生成することができます。RTCは計数器(CNT)値が比較(COMP)レジスタ値と等しくなった後の最初の計数で比較割り込みと/または事象を生じます。RTCは計数器値が定期(PER)レジスタ値と等しくなった後の最初の計数で溢れ割り込み要求と/または事象を生じます。溢れは計数器値も0にリセットします。

非同期クロック領域のため、定期レジスタが0の場合に事象は3つ目毎の溢れまたは比較一致に対してだけ生成されます。定期レジスタが1の場合、事象は2つ目毎の溢れまたは比較一致に対してだけ生成されます。定期レジスタが2以上の場合、事象は割り込み要求と同じように溢れまたは比較一致毎に正しく起動します。

16.3. レジスタ説明

16.3.1. CTRL – 制御レジスタ (Control register)

ビット +\$00	7	6	5	4	3	2	1	0	
	–	–	–	–	–	PRESCALER2~0			CTRL
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~3 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット2~0 – PRESCALER2~0 : クロック前置分周係数 (Clock Prescaling factor)

これらのビットは表16-1に従ってRTCクロックに対する前置分周係数を定義します。

表16-1. 実時間計数器クロック前置分周係数

PRESCALER2~0	群形態設定	RTCクロック前置分周
0 0 0	OFF	クロック元なし、RTC停止
0 0 1	DIV1	RTCクロック/1 (前置分周なし)
0 1 0	DIV2	RTCクロック/2
0 1 1	DIV8	RTCクロック/8
1 0 0	DIV16	RTCクロック/16
1 0 1	DIV64	RTCクロック/64
1 1 0	DIV256	RTCクロック/256
1 1 1	DIV1024	RTCクロック/1024

16.3.2. STATUS – 状態レジスタ (Status register)

ビット +\$01	7	6	5	4	3	2	1	0	
	–	–	–	–	–	–	–	SYNCBUSY	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● ビット7~1 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット0 – SYNCBUSY : RTC同期化中フラグ (RTC Synchronization Busy Flag)

実時間計数器(CNT)、RTC制御(CTRL)レジスタ、RTC定期(PER)レジスタまたはRTC比較(COMP)レジスタが、これらのレジスタの何れかの書き込み後、または周辺クロックが停止される休止動作形態から起き上がる時で、RTCクロックとシステムクロック領域間の同期化作業中の時に、このフラグが設定(1)されます。このフラグは同期完了時に自動的に解除(0)されます。

16.3.3. INTCTRL – 割り込み制御レジスタ (Interrupt Control register)

ビット +\$02	7	6	5	4	3	2	1	0	
	–	–	–	–	COMPINTLVL1,0		OVFINTLVL1,0		INTCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3,2 – COMPINTLVL1,0 : 比較一致割り込み許可 (Compare Match Interrupt Enable)

これらのビットはRTC比較一致割り込みを許可し、68頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選びます。RTC割り込み要求フラグ(INTFLAGS)レジスタのRTC比較一致割り込み要求フラグ(COMPIF)が設定(1)される時に、許可した割り込みが起動します。

● ビット1,0 – OVFINTLVL1,0 : 上昇溢れ割り込み許可 (Overflow Interrupt Enable)

これらのビットはRTC上昇溢れ割り込みを許可し、68頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選びます。RTC割り込み要求フラグ(INTFLAGS)レジスタのRTC上昇溢れ割り込み要求フラグ(OVFIF)が設定(1)される時に、許可した割り込みが起動します。

16.3.4. INTFLAGS – 割り込み要求フラグ レジスタ (Interrupt Flag register)

ビット +\$03	7	6	5	4	3	2	1	0	
	–	–	–	–	–	–	COMPIF	OVFIF	INTFLAGS
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7～2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書き込んでください。

● ビット1 – COMPIF : 比較一致割り込み要求フラグ (Compare Match Interrupt Flag)

このフラグは比較一致状態が起きた後の次の計数で設定(1)されます。これはRTC比較一致割り込みベクタが実行される時に自動的に解除(0)されます。このフラグはこのビット位置への1書き込みによっても解除(0)できます。

● ビット0 – OVFIF : 上昇溢れ割り込み要求フラグ (Overflow Interrupt Flag)

このフラグは上昇溢れ状態が起きた後の次の計数で設定(1)されます。これはRTC上昇溢れ割り込みベクタが実行される時に自動的に解除(0)されます。このフラグはこのビット位置への1書き込みによっても解除(0)できます。

16.3.5. TEMP – 一時レジスタ (Temporary register)

ビット +\$04	7	6	5	4	3	2	1	0	
	TEMP7~0								TEMP
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7～0 – TEMP7~0 : RTC一時格納値 (Temporary bits)

このレジスタは計数器(CNT)値、比較(COMP)値、頂上(PER)値のレジスタの16ビットアクセスに使用されます。16ビットレジスタの下位バイトがCPUによって書かれる時にそれがここに格納されます。16ビットレジスタの上位バイトはCPUによって下位バイトが読まれる時に格納されます。より多くの詳細については9頁の「16ビットレジスタのアクセス」を参照してください。

16.3.6. CNTL – 計数レジスタ下位 (Counter register Low)

CNTHとCNTLのレジスタ対は16ビット値CNTを表します。CNTは前置分周されたRTCクロックの正クロック端で計数します。16ビット値の読み書きは特別な注意を必要とします。詳細については9頁の「16ビットレジスタのアクセス」を参照してください。

RTCクロックとシステムクロック領域間の同期化のため、レジスタの更新からそれが有効になるまでに2RTCクロック周期の遅延があります。このレジスタへの書き込みや、周辺クロックが停止される休止動作形態から起き上がった後でこのレジスタを読む前に、応用ソフトウェアは126頁の「STATUS – RTC状態レジスタ」の同期化中(SYNCBUSY)フラグが解除(1)されていることを調べる必要があります。

ビット +\$08	7	6	5	4	3	2	1	0	
	CNT7~0								CNTL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7～0 – CNT7~0 : 計数値下位 (Counter value low byte)

これらのビットは16ビット実時間計数器値の下位バイト(LSB)を保持します。

16.3.7. CNTH – 計数レジスタ上位 (Counter register High)

ビット +\$09	7	6	5	4	3	2	1	0	
	CNT15~8								CNTH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7～0 – CNT15~8 : 計数値上位 (Counter value high byte)

これらのビットは16ビット実時間計数器値の上位バイト(MSB)を保持します。

16.3.8. PERL – 定期レジスタ下位 (Period register Low)

PERHとPERLのレジスタ対は16ビット値PERを表します。PERは**計数器(CNT)**値と継続的に比較されます。一致は**RTC割り込み要求フラグ(INTFLAGS)**レジスタの**上昇溢れ割り込み要求フラグ(OVFIF)**を設定(1)して計数器を解除(=0)します。16ビット値の読み書きは特別な注意を必要とします。詳細については9頁の「**16ビット レジスタのアクセス**」を参照してください。

RTCクロックとシステム クロック領域間の同期化のため、レジスタの更新からそれが有効になるまでに2RTCクロック周期の遅延があります。応用ソフトウェアは、このレジスタが書かれる前に126頁の「**STATUS – 状態レジスタ**」の**同期化中(SYNCBUSY)**フラグが解除(0)されていることを調べる必要があります。

ビット	7	6	5	4	3	2	1	0	
+\$0A	PER7~0								PERL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● ビット7~0 – PER7~0 : 定期値下位 (Period low byte)

これらのビットは16ビットRTC頂上値の下位バイト(LSB)を保持します。

16.3.9. PERH – 定期レジスタ上位 (Period register High)

ビット	7	6	5	4	3	2	1	0	
+\$0B	PER15~8								PERH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● ビット7~0 – PER15~8 : 定期値上位 (Period high byte)

これらのビットは16ビットRTC頂上値の上位バイト(MSB)を保持します。

16.3.10. COMPL – 比較レジスタ下位 (Compare register Low)

COMPHとCOMPLのレジスタ対は16ビット値COMPを表します。COMPは**計数器(CNT)**値と継続的に比較されます。比較一致は**RTC割り込み要求フラグ(INTFLAGS)**レジスタの**比較一致割り込み要求フラグ(COMPIF)**を設定(1)します。16ビット値の読み書きは特別な注意を必要とします。詳細については9頁の「**16ビット レジスタのアクセス**」を参照してください。

RTCクロックとシステム クロック領域間の同期化のため、レジスタの更新からそれが有効になるまでに2RTCクロック周期の遅延があります。応用ソフトウェアは、このレジスタが書かれる前に126頁の「**STATUS – 状態レジスタ**」の**同期化中(SYNCBUSY)**フラグが解除(0)されていることを調べる必要があります。

COMP値が**定期(PER)**値より大きい場合、RTC比較一致割り込み要求または事象は決して生成されません。

ビット	7	6	5	4	3	2	1	0	
+\$0C	COMP7~0								COMPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – COMP7~0 : 比較値下位 (Compare value low byte)

これらのビットは16ビットRTC比較値の下位バイト(LSB)を保持します。

16.3.11. COMPH – 比較レジスタ上位 (Compare register High)

ビット	7	6	5	4	3	2	1	0	
+\$0D	COMP15~8								COMPH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – COMP15~8 : 比較値上位 (Compare value high byte)

これらのビットは16ビットRTC比較値の上位バイト(MSB)を保持します。

16.4. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$0D	COMP _H					COMP15~8				128
+\$0C	COM _P L					COMP7~0				128
+\$0B	PER _H					PER15~8				128
+\$0A	PER _L					PER7~0				128
+\$09	CN _T H					CNT15~8				127
+\$08	CN _T L					CNT7~0				127
+\$07	予約	—	—	—	—	—	—	—	—	
+\$06	予約	—	—	—	—	—	—	—	—	
+\$05	予約	—	—	—	—	—	—	—	—	
+\$04	TEMP					TEMP7~0				127
+\$03	INT _{FL} AGS	—	—	—	—	—	—	COM _{PI} F	OV _F IF	127
+\$02	INT _{CT} RL	—	—	—	—	COMP _{INT} LVL1,0		OV _F INT _L LVL1,0		126
+\$01	STATUS	—	—	—	—	—	—	—	SYN _C BUSY	126
+\$00	CTRL	—	—	—	—	—			PRE _S CALER2~0	126

16.5. 割り込みベクタ要約

変位	記述例	割り込み内容
\$00	OV _F _vect	実時間計数器溢れ割り込みベクタ
\$02	COM _P _vect	実時間計数器比較一致割り込みベクタ

17. TWI – 2線インターフェース

17.1. 要点

- 双方向2線インターフェース
 - Phillips社I²C適合
 - システム管理バス(SMBus)適合
- バス権利者(主装置)と従装置を支援
 - 従装置動作
 - 単一バス権利者(主装置)動作
 - 複数バス権利者(主装置)環境でのバス権利者(主装置)
 - 複数バス権利者(主装置)調停
- 柔軟な従装置アドレス一致機能
 - ハードウェアでの7ビットと一斉呼び出しのアドレス認証
 - 10ビット アドレス指定支援
 - 2重アドレス一致またはアドレス範囲遮蔽用のアドレス遮蔽レジスタ
 - 無制限のアドレス数のための任意選択ソフトウェア アドレス認証
- パワーダウン動作を含む全休止形態動作で動作可能な従装置動作
- 全休止形態からデバイスを起こすことができる従装置アドレス一致
- 100kHzと400kHzのバス周波数支援
- スレーブ制限された出力駆動部
- バスの雑音とスパイクを消去するための入力濾波器
- 開始条件/再送開始条件とデータビット間の調停を支援(SMBus)
- アドレス解決規約(ARP)に対する支援を許す従装置調停(SMBus)

17.2. 概要

2線インターフェース(TWI)は双方向2線インターフェースです。これはI²Cとシステム管理バス(SMBus)適合です。バス実装に必要な外部ハードウェアは各バス線上の1つのプルアップ抵抗だけです。

バスに接続されたデバイスは主装置または従装置として動作しなければなりません。主装置はバス上の従装置をアドレス指定することによってデータ転送処理を始め、データの送信または受信のどちらを望むかを知らせます。1つのバスは多くの従装置と、バスの制御を取ることができる1つまたは多数の主装置を持つことができます。調停手順は1つよりも多い主装置が同時に送信を試みる場合の優先権を取り扱います。バス衝突を解決するための手法は本質的に規約です。

TWI部署は主装置と従装置の機能を支援します。主装置と従装置の機能はお互いに分離されており、個別に許可と形態設定ができます。主装置部署は複数主装置バス動作と調停を支援します。それはホーレート発生器を含みます。100kHzと400kHzの両バス周波数が支援されます。自動起動操作のために**迅速指令**と**簡便動作**を許可することができ、ソフトウェアの複雑さを低減します。

従装置部署はハードウェアでの7ビット アドレス一致と一斉アドレス呼び出しを実装します。10ビット アドレスも支援されます。専用のアドレス遮蔽レジスタは第2のアドレス一致レジスタまたはアドレス範囲遮蔽用のレジスタとして働くことができます。従装置はパワーダウン動作を含む全ての休止形態動作で動作を継続します。これはTWIアドレス一致での全休止形態からのデバイス起動を従装置に許します。代わりにソフトウェアでこれを扱うために、アドレス一致を禁止することが可能です。

TWI部署は**開始条件**、**停止条件**、バス衝突、バス異常を検出します。バス上の協調損失、異常、衝突、クロック保持も検出され、主装置と従装置の両動作で利用可能な独立した状態フラグで示されます。

デバイスの内部TWI駆動部を禁止して、外部TWIバス駆動部接続に対する4線インターフェースを許可することが可能です。これはデバイスがTWIバスによって使用されるのとは違うVCC電圧で動作する応用に使用することができます。

17.3. 一般的なTWIバスの概念

2線インターフェース(TWI)は直列クロック線(SCL)と直列データ線(SDA)から成る簡素な2線双方向バスを提供します。この2線は開放コレクタ (ドレイン)線(ワイヤードAND)で、プルアップ抵抗器だけがバスを駆動するために必要とされる外部部品です。このプルアップ抵抗は接続された装置がバスを駆動しない時の信号線にHighレベルを供給します。

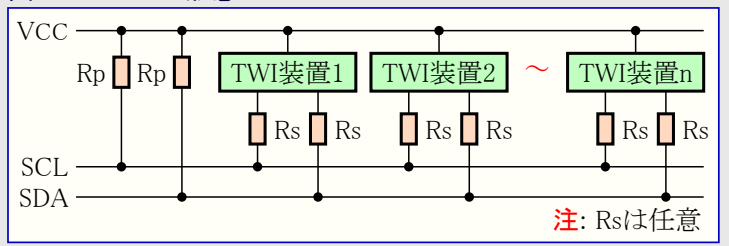
TWIバスは直列バスでの複数装置内部接続の簡単で効率的な方法です。バスに接続された装置は主または従装置にでき、主装置がバスと全ての通信を制御します。

図17-1はTWIバス形態を図解します。

バスに接続した全ての従装置に固有のアドレスが割り当てられ、主装置は従装置をアドレス指定するのにこれを使用してデータ転送処理を始めます。

多数の主装置が同じバスに接続でき、複数主装置環境と呼ばれます。与えられた時間で1つの主装置だけがバスを自身のものにできるので、主装置間でバス所有権を解決するために調停機構が提供されます。

図17-1. TWIバス形態

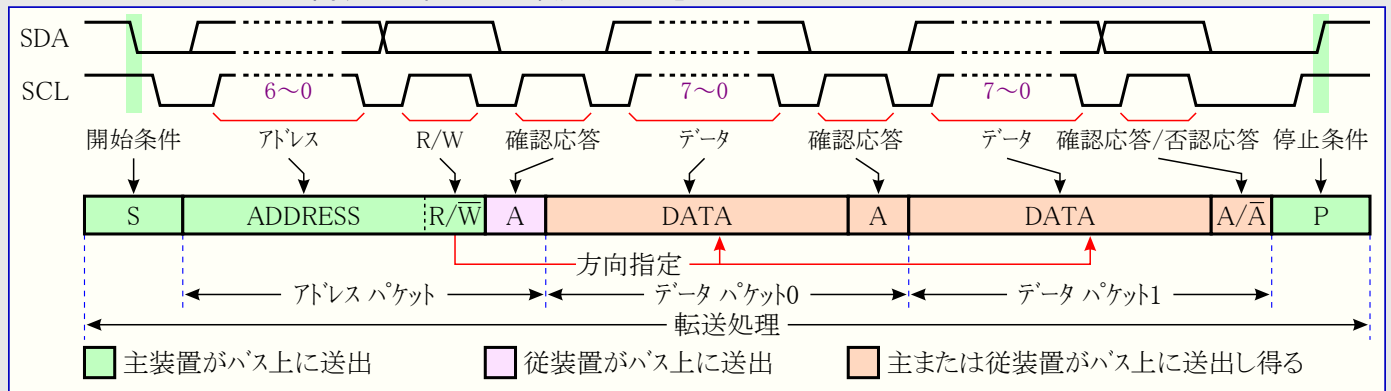


デバイスには主装置と従装置の両論理回路を含み、2つ以上のアドレスに応答することによって複数従装置の擬似動作ができます。

主装置がバス上に**開始条件**(S)を発行することによって転送処理の開始を指示します。それから、従装置アドレス(ADDRESS)と主装置がデータを読みまたは書きどどちらをしたいのかを示す(R/W)を持つアドレスパケットが送られます。データパケット(DATA)が転送された後、転送処理終了のためにバス上へ**停止条件**(P)を発行します。受信側は各バイトに対して**確認応答**(A)または**否認応答**(\bar{A})を行わなければならない。

図17-2はTWI転送処理を示します。

図17-2. 7ビットアドレスバスに関する基本的なTWI転送処理形態



主装置が転送処理に対してクロック信号を供給しますが、バスに接続された装置はクロック速度を下げるためにクロックのLow区間を引き伸ばすことが許されます。

17.3.1. 電気的特性

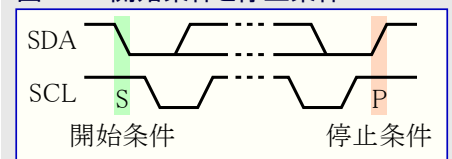
XMEGAデバイスのTWI部署はI²CバスとSMBusの電気的仕様とタイミングに従っています。TWI主装置動作で設定されるべき不活性バス時間超過の正しい動きを保証するために、これらの仕様は100%適合ではありません。より多くの詳細については134頁の「**TWI主装置動作**」を参照してください。

17.3.2. 開始条件と停止条件

転送処理の始まり(**開始条件**)と終り(**停止条件**)を記すために2つの独特なバス状態が使用されます。主装置はSCL線をHighに保持すると同時にSDA線でHighからLowへの遷移を示すことによって**開始条件**(S)を発行します。主装置はSCL線をHighに保持すると同時にSDA線をLowからHighへの遷移を示すことによって**停止条件**(P)を発行し、それによって転送処理を完了します。

単一転送処理の間に複数の**開始条件**が発行され得ます。**停止条件**に直接後続しない**開始条件**は**再送開始条件**(Sr)と名付けられます。

図17-3. 開始条件と停止条件

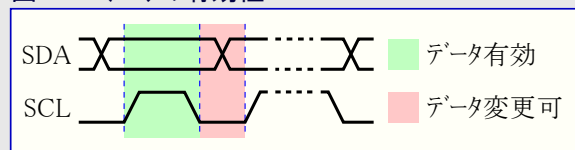


17.3.3. ビット転送

図17-4で図解されるように、SDA線で転送されるビットはSCL線のHigh区間全体に対して安定でなければなりません。従ってSDA値はクロックのLow区間の間でだけ変更できます。これはTWI部署でのハードウェアで保証されます。

ビット転送の組み合わせがアドレスとデータの packets の編成に帰着します。これらの packets は最上位ビット先行転送の8データビット(1バイト)と**確認**(ACK)または**否認**(NACK)の応答の単一ビットから成ります。アドレス指定された装置は9クロック周期の間に、SCL線をLowに引くことによってACKで、SCL線をHighのままにしておくことによってNACKで合図します。

図17-4. データの有効性



17.3.4. アドレス パケット

開始条件後、読み/書き(R/W)ビットが後続する7ビットアドレスが送出されます。これは常に主装置によって送出されます。そのアドレスを認証する従装置は次のSCLクロック間SDA線をLowに引くことによってアドレスの**確認応答**(ACK)を行い、一方他の全ての従装置はTWI線の開放を維持して次の**開始条件**とアドレスを待ちます。アドレス、R/Wビット、応答ビットの組み合わせがアドレスパケットです。各**開始条件**に対して1つのアドレスパケットだけが許され、これは10ビットアドレスが使用される時もです。

R/Wビットは転送処理の方向を指定します。R/WビットがLowなら、主装置書き込み転送処理を示し、従装置のそのアドレスの**確認応答**後に主装置はそのデータを送出します。R/WビットがHighなら、主装置読み込み転送処理を示し、従装置がそのアドレスの**確認応答**後にデータ送ります。

17.3.5. データ パケット

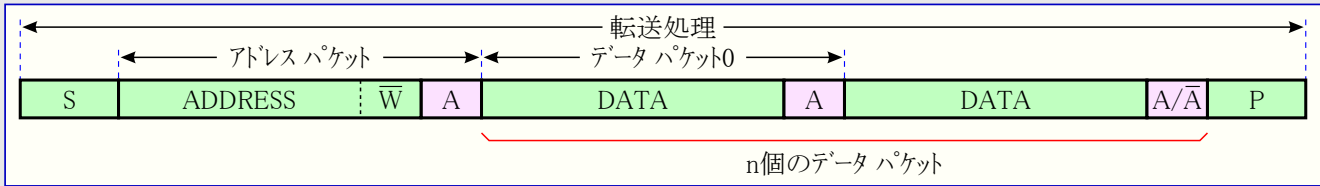
アドレスパケットには1つ以上のデータパケットが後続します。全てのデータパケットは1つのデータバイトと応答ビットから成る9ビット長です。直前のアドレスパケット内の方向ビットがデータが転送される方向を決めます。

17.3.6. 転送処理

転送処理は**開始条件**から**停止条件**までの完全な転送で、その間のどの**再送開始条件**も含まれます。TWI規格は3つの基本転送処理種別、主装置書き込み、主装置読み込み、組み合わせの転送処理を定義しています。

図17-5は主装置書き込み転送処理を図解します。主装置は**開始条件**(S)によって転送処理を開始し、方向ビットを0に設定したアドレスパケット(ADDRESS+W)がそれに後続します。

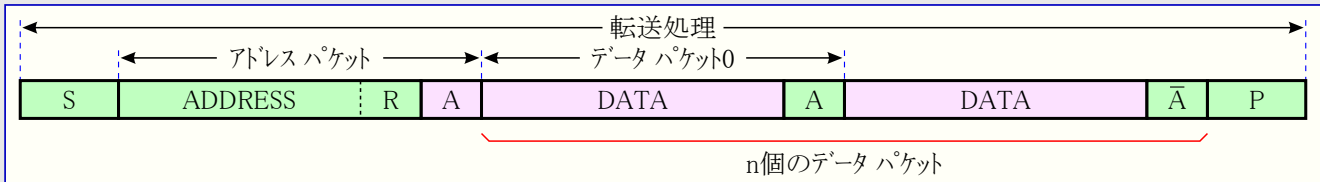
図17-5. 主装置書き込み転送処理



従装置がアドレスを**確認応答**すると、主装置はデータ(DATA)の送信を開始でき、従装置は各バイトで**確認応答**(ACK)または**否認応答**(NACK) (A/ \bar{A})を行います。送信すべきデータパケットがない場合、主装置はアドレスパケット直後に**停止条件**(P)を発行することによって転送処理を終了します。転送できるデータパケット数に制限はありません。従装置がデータに**否認応答**(NACK)で合図した場合、主装置は従装置がこれ以上データを受信できず、転送処理を終了すると認識しなければなりません。

図17-6は主装置読み込み転送処理を図解します。主装置は**開始条件**(S)によって転送処理を開始し、方向ビットを1に設定したアドレスパケット(ADDRESS+R)がそれに後続します。アドレス指定された従装置は転送処理の継続を許す主装置に対してアドレスの**確認応答**をしなければなりません。

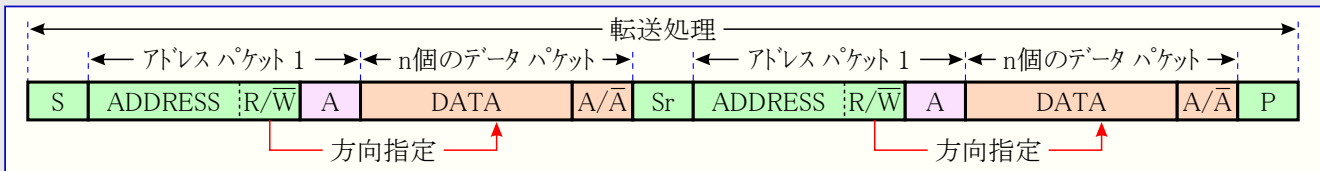
図17-6. 主装置読み込み転送処理



従装置がアドレスを**確認応答**すると、主装置は従装置からのデータ受信を開始することができます。転送できるデータパケット数に制限はありません。従装置がデータを送信する一方で、主装置は各データバイト後に**確認応答**(ACK)または**否認応答**(NACK)で合図します。主装置は**停止条件**を発行する前に**否認応答**(NACK)で転送を終了します。

図17-7は組み合わせ転送処理を図解します。組み合わせ転送処理は**再送開始条件**(Sr)によって分離された多数の読み込みと書き込みの転送処理から成ります。

図17-7. 組み合わせ転送処理



17.3.7. クロックとクロック伸長

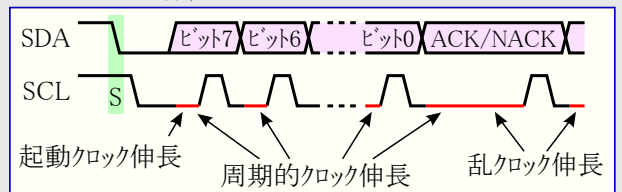
バスに接続された全ての装置はクロック周波数全体を低下するため、またはデータ処理の間に待ち状態を挿入するために、クロックのLow区間を伸長することが許されています。クロックの伸長を必要とする装置はSCL線上のLowレベル検出後にその線をLowに強制保持することによってこれを行えます。

クロック伸長は図17-8で示されるように3つの形式に定義できます。デバイスが休止形態動作で開始条件が検出された場合、通常、起動時間の間、クロック伸長が働きます。AVR XMEGAデバイスについては、AVR XMEGAデバイスがアドレス指定されない転送処理に対して起きる必要がないため、クロック伸長はACK/NACKビットの直前または直後のどちらかになります。

従装置はビット単位で周期的にクロックを伸長することによってバス周波数を低下できます。けれども、それによってバス全体性能が低下されます。主と従の両装置は応答(ACK/NACK)ビットの前後を基本にバイト単位で任意にクロックを引き伸ばせます。これは到着処理、出力データ準備、または重要な作業の別時間実行のための時間を提供します。

従装置がクロックを伸長する場合では、従装置の準備が整うまで主装置が待ち状態を強制され、その逆も同様です。

図17-8. クロック伸長



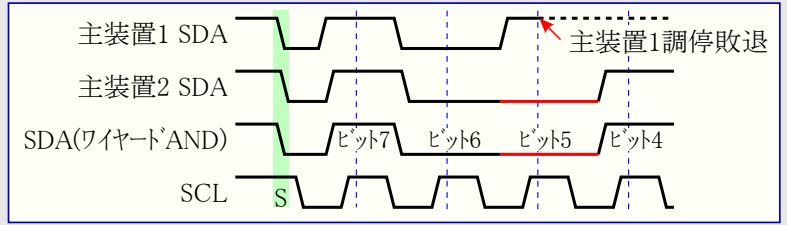
注: クロック伸長は全てのI²C従装置と主装置によって支援される訳ではありません。

17.3.8. 調停

主装置はバスのアイドルを検出した場合にだけバス転送処理を開始できます。TWIバスが複数主装置バスなので、2つの装置が同時に転送処理を始めることが可能です。これは複数の主装置が同時にバスを所有する結果になります。これは調停の仕組みを使用して解決され、そしてこれはSDA線でHighレベルを送信できなかった場合にその主装置がバスの制御を失います。調停で敗れた主装置はその後バス所有権要求を試みる前に、バスがアイドルになるまで待たなければなりません(換言すると**停止条件待機**)。従装置は調停手順に関係しません。

図17-9.は2つのTWI主装置がバス所有権を争う例を示します。両装置が**開始条件**を発行できますが、主装置1がHighレベル(ビット5)の送信を試み、同時に主装置2がLowレベルを送信する時に主装置1が調停に敗れます。**再送開始条件**とデータビット、**停止条件**とデータビット、または**再送開始条件**と**停止条件**の間は調停が許されず、ソフトウェアによる特別な扱いが必要です。

図17-9. TWI調停

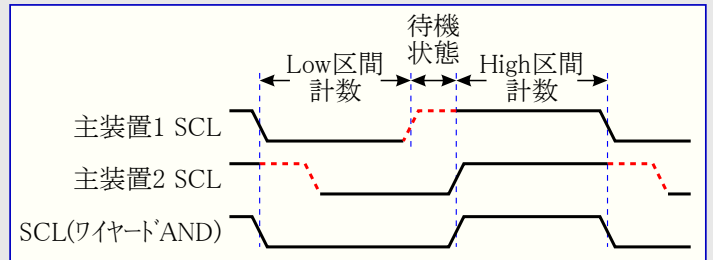


17.3.9. 同期化

複数の主装置が同時にSCL線の制御を試みる状況を解決するのにクロック同期化手法が必要です。この方法は直前に記述されたクロック伸長で使用されるのと同じ原理に基づいています。図17-10.は2つの主装置がバスクロックに関する制御を競争する例を示します。SCL線は2つの主装置のクロック出力のワイヤードANDの結果です。

SCL線のHighからLowへの遷移がバス上の全ての主装置に対してLowを強制し、それらはそれぞれのクロックLow期間タイミグを開始します。このクロックLow区間のタイミグ長は主装置間で変わり得ます。主装置(この場合は主装置1)はLow区間を完了すると、SCL線を開放します。けれども、SCL線は全ての主装置がSCLを解放するまでHighになりません。従ってSCL線は最長Low区間を持つ装置(主装置2)によってLowを維持されます。より短いLow区間を持つ装置はクロックが開放されるまで待機状態を挿入しなければなりません。全ての装置でSCLが開放されてHighになる時に、全て主装置がそれらのHigh区間を始めます。最初にHigh区間を完了した装置(主装置1)がクロック線をLowに強制し、そしてこの手順が繰り返されます。結果は最短クロック区間を持つ装置がHigh区間を決め、一方クロックのLow区間は最長クロック区間持つ装置によって決められることです。

図17-10. クロック同期化

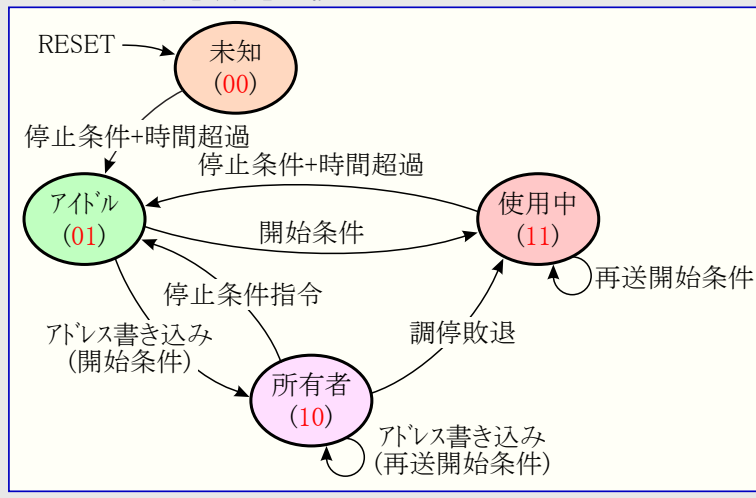


17.4. TWIバス状態論理

バス状態論理回路は主装置動作が許可されている時にTWIバス線の動きを継続的に監視します。これはパワーダウン動作を含む全ての休止形態で動作を継続します。

バス状態論理回路は**開始条件**と**停止条件**の検出器、衝突検出、不活性バス時間超過検出、ビットカウンタを含みます。これらはバス状態を決めるのに使用されます。ソフトウェアは**主装置状態(STATUS)レジスタ**の**バス状態(BUSSTATE)ビット**を読むことによって現在のバス状態を得ることができます。バス状態はアイドル、使用中、所有者、未知になり得て、図17-11.で示される状態遷移図に従って決められます。状態に対応するバス状態ビットの値が図内の2進数で示されます。

図17-11. バス状態、状態遷移図



システムリセットやTWI主装置許可後、バス状態は未知です。バス状態(BUSSTATE)ビットへの書き込みによって、バス状態機構をアイドルへの移行に強制することができます。応用ソフトウェアによって状態が設定されなければ、バス状態は最初の**停止条件**が検出される時にアイドルになります。**主装置不活性バス時間経過(TIMEOUT)**が許可されている場合、バス状態は時間経過の発生でアイドルに変化します。既知のバス状態が確立した後、システムリセットとTWI主装置動作禁止(ENABLE=0)だけが状態を未知に設定します。

バスがアイドルのとき、新しい転送処理の準備が整っています。外部的に生成された**開始条件**が検出された場合、バスは**停止条件**が検出されるまで使用中になります。**停止条件**はバス状態をアイドルに変更します。主装置不活性バス時間経過が許可されている場合、バス状態は時間経過の発生で使用中からアイドルに変化します。

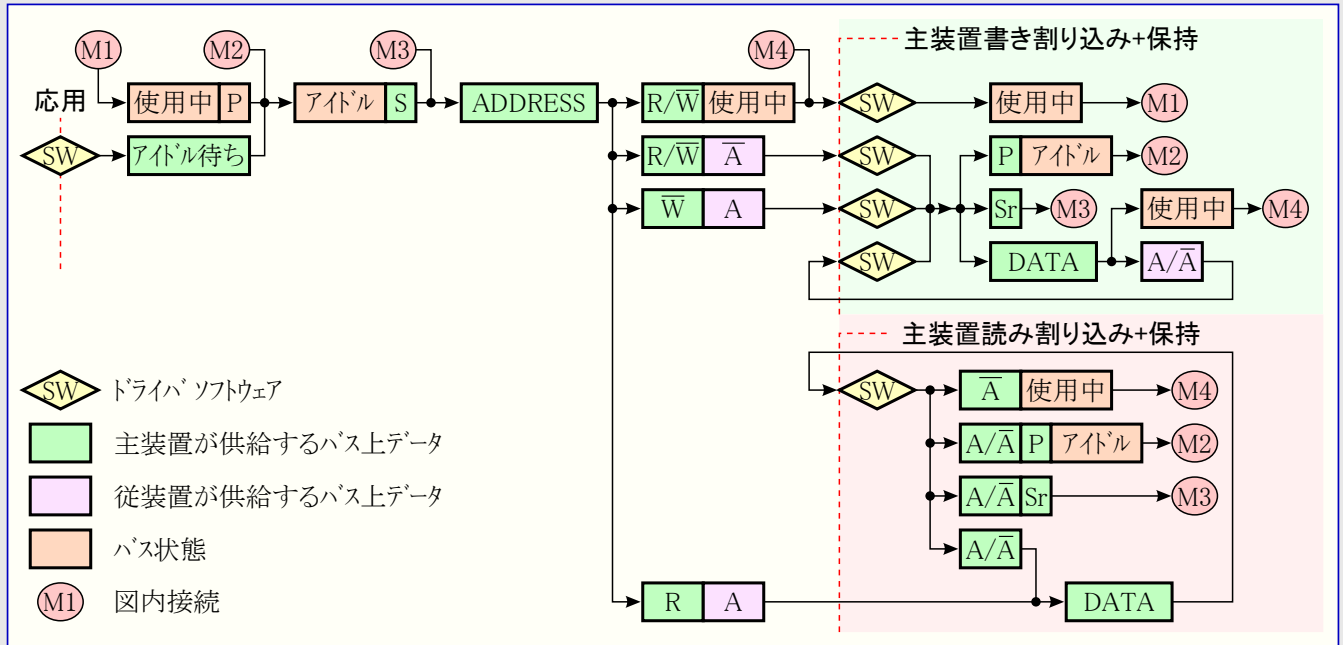
アイドル状態の間に内部的に**開始条件**が生成された場合、所有者状態へ移行します。妨害なし、換言すると衝突が検出されずに、完全な転送処理が実行された場合、主装置が**停止条件**を発行し、バス状態はアイドルに戻ります。衝突が検出(ARBLOST=1)された場合は調停に敗れたと認識され、**停止条件**が検出されるまでバス状態が使用中になります。**再送開始条件**は**再送開始条件**発行中に調停に敗れた場合にバス状態を変更するだけです。**再送開始条件**中の調停は調停が最初の**開始条件**から進行中の場合にだけ失われ得ます。これは主装置の1つが**再送開始条件**(Sr)発行前に2つの主装置が正確に同じADDRESS+DATAを送る場合に起きます。

17.5. TWI主装置動作

TWI主装置は各バイト後の任意選択の割り込みを持つバイト志向です。主装置書き込みと主装置読み込みに対する独立した割り込みがあります。割り込みフラグはポーリング操作にも使用できます。**受信した(ACK)確認応答/(NACK)否認応答(RXACK)**、**バス異常(BUSERR)**、**調停敗退(ARBLOST)**、**クロック保持(CLKHOLD)**、**バス状態(BUSSTATE)**を示す専用の状態フラグがあります。

割り込み要求フラグが設定(1)されると、SCL線はLowを強制されます。これは応答または何れかのデータを扱う時間を主装置に与え、殆どの場合はソフトウェアの介入を必要とするでしょう。図17-12はTWI主装置動作を示します。菱形シンボル(SW)はソフトウェアの介入を必要とする場所を示します。割り込みフラグの解除(0)がSCL線を開放します。

図17-12. TWI主装置動作



生成される割り込み数は殆どの条件を自動的に扱うことによって最小に保たれています。自動起動操作とソフトウェアの複雑さを低減するために**迅速指令**と**簡便動作**を許可にできます。

17.5.1. アドレス パケット送信

開始条件発行後、7ビット従装置アドレスと方向ビットと共に**主装置アドレス(ADDR)レジスタ**が書かれる時に、主装置はバス転送処理の実行を始めます。BUSが**使用中**の場合、TWI主装置は**開始条件**を発行する前にバスがアイドルになるまで待ちます。

調停とR/W方向ビットに依存して、以降のアドレスパケットで4つの別個の状態(M1～M4)の1つが起きます。異なる状態はソフトウェアで扱われなければなりません。

17.5.1.1. 状態M1: 調停敗退またはアドレスパケット中のバス異常

アドレスパケット送出の間で調停に敗れた場合、**主装置書き割り込み要求フラグ(WIF)**と**調停敗退(ARBLOST)フラグ**が両方共設定(1)されます。SDA線への直列データ出力は禁止され、SCL線が開放されます。主装置はバス状態がアイドルに戻るまで、もはやどの操作を実行することも許されません。

バス異常は調停敗退状態と同じように振舞いますが、書き割り込み要求フラグと調停敗退フラグに加えて**異常(BUSERR)フラグ**が設定(1)されます。

17.5.1.2. 状態M2: アドレス パケット送信完了 – 従装置によるアドレス否認応答

従装置がアドレスに 응답しない場合、主装置書き割り込み要求フラグ(WIF)が設定(1)され、主装置受信応答(RXACK)フラグが設定(1)されます。バスでの更なる活動を防ぐため、この時点でクロック保持は活性(有効)です。

17.5.1.3. 状態M3: アドレス パケット送信完了 – 方向ビット=0

主装置が従装置から**確認応答**(ACK)を受け取った場合、**主装置書き割り込み要求フラグ(WIF)**が設定(1)され、主装置受信応答(RXACK)フラグが解除(0)されます。バスでの更なる活動を防ぐため、この時点でクロック保持は活性(有効)です。

17.5.1.4. 状態M4: アドレス パケット送信完了 – 方向ビット=1

主装置が従装置から**確認応答**(ACK)を受け取った場合、主装置は従装置からデータの次のバイトの受信を先行します。最初のバイトデータが受信されると、**主装置読み割り込み要求フラグ(RIF)**が設定(1)され、主装置受信応答(RXACK)フラグが解除(0)されます。バスでの更なる活動を防ぐため、この時点でクロック保持は活性(有効)です。

17.5.2. データ パケット送信

上の状態M3との仮定で、主装置は**主装置データ(DATA)レジスタ**への書き込みによってデータ送信を始められます。転送が成功した場合、従装置は**確認応答**(ACK)で合図します。**主装置書き割り込み要求フラグ(WIF)**が設定(1)され、**主装置受信応答(RXACK)フラグ**が解除(0)されて主装置は送るための新しいデータを準備できます。データ転送の間、主装置は衝突に関してバスを継続的に監視しています。

送出された各データ パケットに対して次のデータ パケットが転送され得る前に、ソフトウェアによって主装置受信応答(RXACK)フラグが調べられなければなりません。従装置が**否認応答**(NACK)で合図する場合、主装置はデータ送信を継続することを許されません。

転送中に衝突が検出されて主装置が調停に敗れた場合、**調停敗退(ARBLOAST)フラグ**が設定(1)されます。

17.5.3. データ パケット受信

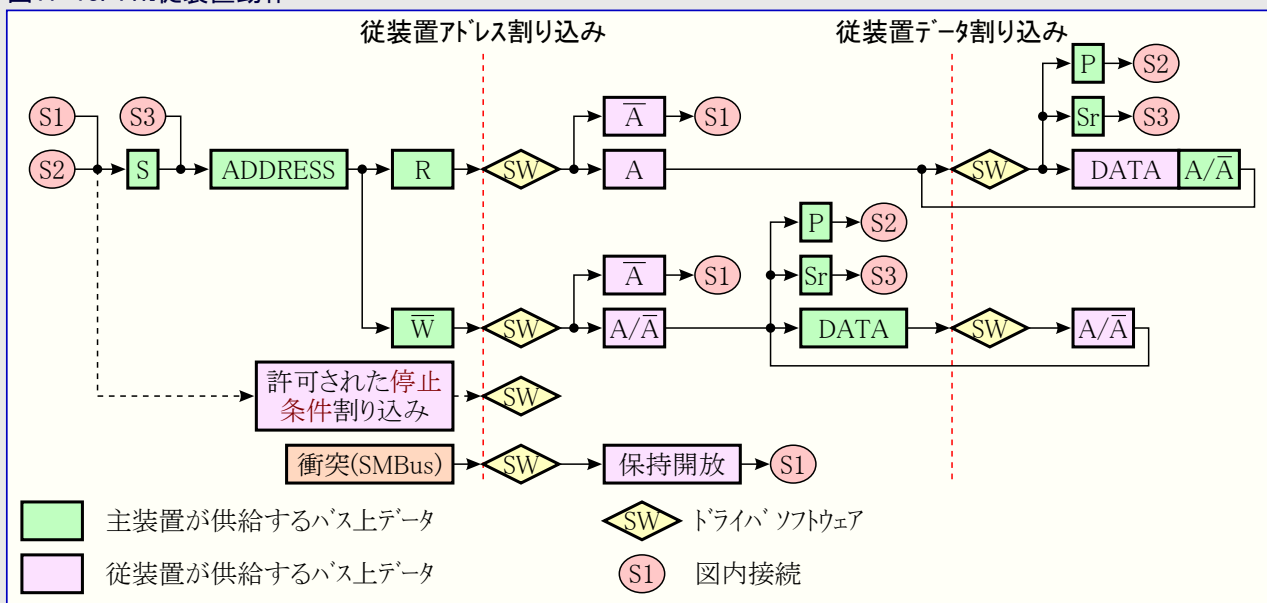
上の状態M4との仮定で、主装置は既に従装置から受信した1バイトを持っています。**主装置読み割り込み要求フラグ(RIF)**が設定(1)されて、主装置は新しいデータを受信する準備を行わなければなりません。主装置は**確認応答**(ACK)または**否認応答**(NACK)で各バイトに 응답しなければなりません。転送の間に調停が失われ得るので、NACKを示すことは成功裏に実行されないかもしれません。衝突が検出されて主装置が調停に敗れた場合、**調停敗退(ARBLOST)フラグ**が設定(1)されます。

17.6. TWI従装置動作

TWI従装置は各バイト後の任意選択の割り込みを持つバイト志向です。独立した従装置データ割り込みとアドレス/停止割り込みがあります。割り込みフラグはポーリング操作にも使用できます。**受信した(ACK)確認応答/(NACK)否認応答(RXACK)**、**クロック保持(CLKHOLD)**、**衝突(COLL)**、**バス異常(BUSERR)**、**読み/書き方向(DIR)**を示す専用の状態フラグがあります。

割り込み要求フラグが設定(1)されると、SCL線はLowを強制されます。これは応答またはデータを扱う時間を従装置に与え、殆どの場合はソフトウェアの介入を必要とするでしょう。**図17-13**はTWI従装置動作を示します。菱形シンボル(SW)はソフトウェアの介入を必要とする場所を示します。

図17-13. TWI従装置動作



生成される割り込み数は殆どの条件を自動的に扱うことによって最小に保たれています。自動起動操作とソフトウェアの複雑さを低減するために**簡便動作**を許可にできます。

全てのアドレスに 응답することを従装置に許すために**無差別動作(PMEN)**を許可にできます。

17.6.1. アドレス パケット受信

TWI従装置が正しく形態設定されていると、検出されるべき**開始条件**を待ちます。これが起きると、継続してアドレス ビットが受信されてアドレス一致論理回路によって調べられ、従装置は正しいアドレスに**確認応答**(ACK)し、**従装置データ**(DATA)レジスタ内のアドレスを格納します。受信したアドレスが不一致なら、従装置は応答とアドレス格納を行わず、新しい**開始条件**を待ちます。

開始条件に後続する有効なアドレス ビットが検出される時に、**従装置アドレス/停止割り込み要求フラグ**(APIF)が設定(1)されます。一斉呼び出しアドレスもこのフラグを設定(1)します。

開始条件直後の**停止条件**は不正操作で、**バス異常**(BUSERR)フラグが設定(1)されます。

R/ \bar{W} 方向(DIR)フラグはアドレスと共に受信された方向ビットを反映します。これは現在進行中の操作形式を決めるためにソフトウェアによって読むことができます。

R/ \bar{W} 方向ビットとバス状況に依存して、以降のアドレス パケットで4つの別個の状態(S1～S4)の1つが起きます。異なる状態はソフトウェアで扱われなければなりません。

17.6.1.1. 状態S1: アドレス パケット受け入れ – 方向ビット=1

R/ \bar{W} 方向(DIR)フラグが設定(1)されている場合、これは主装置読み込み操作を示します。SCL線がLowを強制され、バス クロックを引き伸ばします。従装置によって**確認応答**(ACK)が送出される場合、従装置ハードウェアは送信のためのデータが必要なことを示す**データ割り込み要求フラグ**(DIF)を設定(1)します。その後にデータ、**再送開始条件**、**停止条件**が受信され得ます。従装置によって**否認応答**(NACK)が送出される場合、従装置は新しい**開始条件**とアドレス一致を待ちます。

17.6.1.2. 状態S2: アドレス パケット受け入れ – 方向ビット=0

R/ \bar{W} 方向(DIR)フラグが解除(0)されている場合、これは主装置書き込み操作を示します。SCL線がLowを強制され、バス クロックを引き伸ばします。従装置によって**確認応答**(ACK)が送出される場合、従装置は受信されるべきデータを待ちます。その後にデータ、**再送開始条件**、**停止条件**が受信され得ます。**否認応答**(NACK)が送出される場合、従装置は新しい**開始条件**とアドレス一致を待ちます。

17.6.1.3. 状態S3: 衝突

従装置がHighレベルまたは**否認応答**(NACK)を送出できない場合、**衝突**(COLL)フラグが設定(1)され、従装置からのデータと応答の出力が禁止されます。クロック保持は開放されます。**開始条件**と**再送開始条件**は受け入れられます。

17.6.1.4. 状態S4: 停止条件受信

停止条件が受信されると、アドレス一致発生ではなく**停止条件**を示す**従装置アドレス/停止割り込み要求フラグ**(APIF)が設定(1)されます。

17.6.2. データ パケット受信

従装置は解除(0)されたR/ \bar{W} 方向ビットと共にアドレス パケットが成功裏に受信された時に知ります。この応答後、従装置はデータを受信する準備を整えなければなりません。データ パケットが受信されると、データ割り込み要求フラグ(DIF)が設定(1)され、従装置は**確認応答**(ACK)または**否認応答**(NACK)を示さなければなりません。NACK提示後、従装置は**停止条件**または**再送開始条件**を期待して待たなければなりません。

17.6.3. データ パケット送信

従装置は設定(1)されたR/ \bar{W} 方向ビットと共にアドレス パケットが成功裏に受信された時に知ります。その後に従装置データ(DATA)レジスタへの書き込みによって送出を始められます。データ パケット送信が完了されると、**データ割り込み要求フラグ**(DIF)が設定(1)されます。主装置が**否認応答**(NACK)を提示する場合、従装置はデータ送信を停止し、**停止条件**または**再送開始条件**を期待して待たなければなりません。

17.7. 外部駆動部インターフェース許可

外部駆動部インターフェースを許可(EDIEN=1)できます。これが行われると、入力濾波とスレーブ制限付き内部駆動部が迂回されます。標準I/Oピン機能が使用され、方向は使用者ソフトウェアによって**形態設定**されなければなりません。この動作が許可されると、TWIバスに接続するために外部のTWI適合3状態駆動部が必要とされます。

既定ではポート ピン0(Px0)と1(Px1)がSDAとSCLに使用されます。外部駆動部インターフェースはSDA_IN、SCL_IN、SDA_OUT、SCL_OUT信号に対してポート ピン0～3を使用します。

17.8. レジスタ説明 – TWI

17.8.1. CTRL – 共通制御レジスタ (Common Control register)

ビット +\$00	7	6	5	4	3	2	1	0	
	–	–	–	–	–	SDAHOLD1,0	EDIEN		CTRL
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7～3 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット2,1 – SDAHOLD1,0 : SDA保持時間許可 (SDA Hold Time Enable)

これらのビットへの1設定はSCLの負端に関してSDAの内部保持時間を許可します。

表17-1. SDA保持時間

SDAHOLD1,0	群形態設定	内容
0 0	OFF	SDA保持時間OFF
0 1	50NS	代表的に50ns保持時間
1 0	300NS	代表的に300ns保持時間
1 1	400NS	代表的に400ns保持時間

● ビット0 – EDIEN : 外部駆動部インターフェース許可 (External Driver Interface Enable)

このビットの設定(1)が外部駆動部インターフェースの使用を許可し、このビットの解除(0)が標準2線動作を許可します。詳細については表17-2をご覧ください。

表17-2. 外部駆動部インターフェース許可

EDIEN	動作種別	注釈
0	標準TWI	2ピン インターフェース、スレーブ制御と入力濾波器付き
1	外部駆動部インターフェース	4ピン インターフェース、標準I/O、スレーブ制御と入力濾波器なし

17.9. レジスタ説明 – TWI主装置

17.9.1. CTRLA – 制御レジスタA (Control register A)

ビット +\$00	7	6	5	4	3	2	1	0	
	INTLVL1,0	RIEN	WIEN	ENABLE	–	–	–		CTRLA
Read/Write	R/W	R/W	R/W	R/W	R/W	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 – INTLVL1,0 : TWI主装置割り込みレベル (Interrupt Level)

これらのビットは68頁の「割り込みと設定可能な多段割り込み制御器」で記述されるようにTWI主装置割り込みに対する割り込みレベルを選びます。

● ビット5 – RIEN : 読み込み割り込み許可 (Read Interrupt Enable)

読み込み割り込み許可(RIEN)ビットの設定(1)は状態(STATUS)レジスタの読み込み割り込み要求フラグ(RIF)が設定(1)される時の読み込み割り込みを許可します。加えて割り込みレベル(INTLVL)ビットがTWI主装置割り込みを生成されるべく、0以外でなければなりません。

● ビット4 – WIEN : 書き込み割り込み許可 (Write Interrupt Enable)

書き込み割り込み許可(WIEN)ビットの設定(1)は状態(STATUS)レジスタの書き込み割り込み要求フラグ(WIF)が設定(1)される時の書き込み割り込みを許可します。加えて割り込みレベル(INTLVL)ビットがTWI主装置割り込みを生成されるべく、0以外でなければなりません。

● ビット3 – ENABLE : TWI主装置許可 (Enable TWI Master)

TWI主装置許可(ENABLE)ビットの設定(1)がTWI主装置を許可します。

● ビット2～0 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

17.9.2. CTRLB – 制御レジスタB (Control register B)

ビット +\$01	7	6	5	4	3	2	1	0	
	–	–	–	–	TIMEOUT1,0		QCEN	SMEN	CTRLB
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7～4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

●ビット3,2 – TIMEOUT1,0 : 不活性バス時間経過 (Inactive Bus Timeout)

不活性バス時間経過(TIMEOUT)ビットの0以外の設定は不活性バス時間経過監視器を許可します。バスがTIMEOUT設定より長く不活性なら、バス状態論理回路はアイドル状態へ移行します。表17-3.は時間経過設定を一覧にします。

表17-3. TWI主装置不活性バス時間経過設置

TIMEOUT1,0	群形態設定	内容
0 0	DISABLED	禁止、通常はI ² Cに使用
0 1	50US	50μs、通常は100kHzでのSMBusに使用
1 0	100US	100μs
1 1	200US	200μs

●ビット1 – QCEN : 迅速指令許可 (Quick Command Enable)

迅速指令が許可(1)されると、従装置がアドレスに 응답した直後に対応する割り込み要求フラグが設定(1)されます(読み込みまたは書き込み割り込み)。この時点でソフトウェアは停止条件または再送開始条件のどちらかを発行することができます。

●ビット0 – SMEN : 簡便動作許可 (Smart Mode Enable)

簡便動作許可ビットの設定(1)が簡便動作を許可します。簡便動作が許可されると、制御レジスタC(CTRLC)の応答動作(ACKACT)ビットで設定されるように応答動作がデータ(DATA)レジスタ読み込み直後に送出されます。

17.9.3. CTRLC – 制御レジスタC (Control register C)

ビット +\$02	7	6	5	4	3	2	1	0	
	–	–	–	–	–	ACKACT	CMD1,0		CTRLC
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7～3 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

●ビット2 – ACKACT : 応答動作 (Acknowledge Action)

このビットは主装置読み込み動作での主装置の応答の動きを定義します。応答動作は指令が指令(CMD)ビットに書かれる時に実行されます。制御レジスタB(CTRLB)の簡便動作許可(SMEN)が設定(1)なら、応答動作はデータ(DATA)レジスタが読まれる時に実行されます。

表17-4.は応答動作を一覧にします。

表17-4. ACKACTビット内容

ACKACT	動作
0	確認応答(ACK)送出
1	否認応答(NACK)送出

●ビット1,0 – CMD1,0 : 指令 (Command)

指令(CMD)ビットの書き込みは表17-5.で定義されるような主装置動作を起動します。CMDビットはスロープ(瞬間状態保持の)ビットで、常に0として読めます。応答動作は主装置読み込み動作でだけ有効です。主装置書き込み動作では指令が再送開始条件または停止条件に終わるだけです。応答動作(ACKACT)ビットとCMDビットは同時に書くことができ、そして指令が起動される前に応答動作が更新されます。

CMDビットへの指令書き込みは主装置割り込み要求フラグとクロック保持(CLKHOLD)フラグを解除(0)します。

表17-5. CMDビット内容

CMD1,0	群形態設定	動作種別	内容
0 0	NOACT	x	(予約)
0 1	START	x	再送開始条件が後続する応答動作を実行
1 0	BYTEREC	主装置書き込み	動作なし
		主装置読み込み	ハルト受信が後続する応答動作を実行
1 1	STOP	x	停止条件が後続する応答動作を実行

17.9.4. STATUS – 状態レジスタ (Status register)

ビット +\$03	7	6	5	4	3	2	1	0	
	RIF	WIF	CLKHOLD	RXACK	ARBLOST	BUSERR	BUSSTATE1,0		STATUS
Read/Write	R/W	R/W	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – RIF : 読み込み割り込み要求フラグ (Read Interrupt Flag)

このフラグは主装置読み込み動作でバイトが成功裏に受信された、換言すると動作中に調停敗退またはバス異常発生がない時に設定(1)されます。このビット位置への1書き込みはRIFを解除(0)します。このフラグが設定(1)されると、主装置はSCL線をLowに強制し、TWIクロック周期を引き伸ばします。この割り込み要求フラグの解除(0)がSCL線を開放します。

このフラグは次の時にも自動的に解除(0)されます。

- TWI主装置アドレス(ADDR)レジスタへの書き込み
- TWI主装置データ(DATA)レジスタへの書き込み
- TWI主装置データ(DATA)レジスタ読み込み
- 制御レジスタC(CTRLC)の指令(CMD)ビットへの有効な指令書き込み

● ビット6 – WIF : 書き込み割り込み要求フラグ (Write Interrupt Flag)

このフラグは主装置書き込み動作でバイトが送信された時に設定(1)されます。このフラグはバス異常の発生または調停敗退状況と無関係に設定(1)されます。WIFは主装置読み込み動作で否認応答(NACK)の送信中に調停が失われた場合、バス状態が未知の時に開始条件を発行した場合にも設定(1)されます。このビット位置への1書き込みはWIFを解除(0)します。このフラグが設定(1)されると、主装置はSCL線をLowに強制し、TWIクロック周期を引き伸ばします。この割り込み要求フラグの解除(0)がSCL線を開放します。

このフラグは読み込み割り込み要求フラグ(RIF)と同じ条件についても自動的に解除(0)されます。

● ビット5 – CLKHOLD : クロック保持フラグ (Clock Hold)

このフラグは主装置がSCL線をLowに保持するときに設定(1)されます。これは状態フラグで、読み込み割り込み要求フラグ(RIF)と書き込み割り込み要求フラグ(WIF)が設定(1)される時に設定(1)される読み込み専用ビットです。これらの割り込み要求フラグの解除(0)とSCL線の開放がこのフラグを間接的に解除(0)します。

このフラグは読み込み割り込み要求フラグ(RIF)と同じ条件についても自動的に解除(0)されます。

● ビット4 – RXACK : 受信応答フラグ (Received Acknowledge)

このフラグは従装置からの最終受信応答ビットを含みます。これは読み込み専用フラグです。0として読めると、従装置からの最終応答ビットは確認応答(ACK)で、1として読めると、最終応答ビットは否認応答(NACK)です。

● ビット3 – ARBLOST : 調停敗退フラグ (Arbitration Lost)

このフラグはHighのデータビット、否認応答(NACK)の送信、またはバス上の開始条件や再送開始条件の発行中で調停に敗れた場合に設定(1)されます。このビット位置への1書き込みはARBLOSTを解除(0)します。

TWI主装置アドレス(ADDR)レジスタ書き込みはARBLOSTを自動的に解除(0)します。

● ビット2 – BUSERR : バス異常フラグ (Bus Error)

このフラグは不正なバス状態が起きた場合に設定(1)されます。不正なバス状態は直前の開始条件からのビット数が9の倍数でない再送開始条件や停止条件が検出された場合に起きます。このビット位置への1書き込みはBUSERRを解除(0)します。

TWI主装置アドレス(ADDR)レジスタ書き込みはBUSERRを自動的に解除(0)します。

● ビット1,0 – BUSSTATE1,0 : バス状態フラグ (Bus State)

これらのフラグは表17-6で定義されるように現在のTWIバス状態を示します。バス状態の変化はバスの動きに依存します。133頁の「バス状態論理」を参照してください。

BUSSTATEビットへの01書き込みはバス状態論理をアイドル状態に強制します。バス状態論理は他のどの状態にも強制できません。リセット後と主装置が禁止される時にバス状態論理は禁止され、バス状態が未知になります。

表17-6. TWI主装置バス状態

BUSSTATE1,0	群形態設定	内容
0 0	UNKNOWN	未知のバス状態
0 1	IDLE	アイドルバス状態
1 0	OWNER	所有者バス状態
1 1	BUSY	使用中バス状態

17.9.5. BAUD – ボーレート レジスタ (Baud Rate register)

ビット	7	6	5	4	3	2	1	0	
+\$04	BAUD7~0								BAUD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ボーレート(BAUD)レジスタはシステム クロックとTWIバス クロック(SCL)周波数間の関係を定義します。この周波数関係は次式を使用することによって表すことができます。

$$f_{TWI} = \frac{f_{SYS}}{2 \times (5 + BAUD)} \text{ [Hz]} \dots\dots\dots \text{式1.}$$

BAUDレジスタは応用がどちらの規格に従うべきかに依存して100kHzまたは400kHzと等しいかまたはそれ以下のTWIバス周波数 (fTWI)での結果となる値に設定されなければなりません。次式(式2.)はBAUD値用に解決された式1.を表します。

$$BAUD = \frac{f_{SYS}}{2 \times f_{TWI}} - 5 \dots\dots\dots \text{式2.}$$

SCLKロックは50/50のデューティ サイクルを持つように設計されます。周波数が400kHzに近づく時にLow時間必要条件が合致するのを保証するため、BAUDは式2.で得られるものよりも高く設定されることが必要かもしれません。

SCLのLow時間とBAUD間の関係は次式によって表されます。

$$BAUD = (t_{LOW} + t_{of}) \times f_{SYS} - 5 \dots\dots \text{式3.}$$

最高BAUD値を与える式2.と式3.の結果が使用されるべきです。
BAUDレジスタは主装置が禁止されている間にだけ書かれるべきです。

17.9.6. ADDR – アドレス レジスタ (Address register)

ビット	7	6	5	4	3	2	1	0	
+\$05	ADDR7~0								ADDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

バスがアイドルの間に従装置アドレスとR/Wビットと共にアドレス(ADDR)レジスタが書かれると、開始条件が発行され、7ビット アドレスとR/Wビットがバス上に送信されます。ADDRが書かれる時にバスが既に所有者なら、再送開始条件が発行されます。直前の転送処理が主装置読み込みで否認応答(NACK)が未だ送られていない場合、再送開始条件の前に応答動作が送出されます。

動作が完了して従装置からの応答ビットが受信された後、調停が失われていなければ、SCL線はLowを強制されます。書き込み割り込み要求フラグ(WIF)が設定(1)されます。

ADDRが書かれた時にバス状態が未知の場合、WIFが設定(1)され、バス異常(BUSERR)が設定(1)されます。

全てのTWI主装置フラグはADDRが書かれた時に自動的に解除(0)されます。これにはBUSERR、調停敗退(ARBLST)、読み込み割り込み要求(RIF)、WIFを含みます。主装置ADDRレジスタは実行中のバス動作での妨害を除いて何時でも読むことができます。

17.9.7. DATA – データ レジスタ (Data register)

ビット	7	6	5	4	3	2	1	0	
+\$06	DATA7~0								DATA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

データ(DATA)レジスタはデータを送受信する時に使用されます。データ転送中、データはバスとDATAレジスタ間でシフトされます。これはバイト転送中にDATAレジスタがアクセスできないことを意味し、これはハードウェアで保護されています。データレジスタは主装置によってSCL線がLowを保持している時、換言するとクロック保持(CLKHOLD)フラグが設定(1)されている時にだけアクセスできます。

主装置書き込み動作ではDATAレジスタ書き込みがデータ バイト転送を起動し、続いて主装置は従装置からの応答ビットを受信します。書き込み割り込み要求フラグ(WIF)とCLKHOLDフラグが設定(1)されます。

主装置読み込み動作では1バイトがDATAレジスタに受信された時に、読み込み割り込み要求フラグ(RIF)とCLKHOLDが設定(1)されます。簡便動作が許可の場合、DATAレジスタ読み込みは応答動作(ACKACT)ビットでの設定のようにバス操作を起動します。受信中にバス異常が起きた場合、RIFの代わりにWIFとバス異常(BUSERR)フラグが設定(1)されます。

DATAレジスタのアクセスは主装置割り込み要求フラグとCLKHOLDフラグを解除(0)します。

17.10. レジスタ説明 – TWI従装置

17.10.1. CTRLA – 制御レジスタA (Control register A)

ビット +\$00	7	6	5	4	3	2	1	0	
	INTLVL1,0		DIEN	APIEN	ENABLE	PIEN	PMEN	SMEN	CTRLA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 – INTLVL1,0 : 割り込みレベル (Interrupt Level)

これらのビットは68頁の「割り込みと設定可能な多段割り込み制御器」で記述されるようにTWI従装置割り込みに対する割り込みレベルを選びます。

● ビット5 – DIEN : データ割り込み許可 (Data Interrupt Enable)

データ割り込み許可(DIEN)ビットの設定(1)はTWI従装置状態(STATUS)レジスタのデータ割り込み要求フラグ(DIF)が設定(1)される時のデータ割り込みを許可します。生成されるべき割り込みに対して、TWI従装置割り込みレベル(INTLVL)ビットが0以外でなければなりません。

● ビット4 – APIEN : アドレス/停止割り込み許可 (Address/Stop Interrupt Enable)

アドレス/停止割り込み許可(APIEN)ビットの設定(1)はTWI従装置状態(STATUS)レジスタのアドレス/停止割り込み要求フラグ(APIF)が設定(1)される時のアドレス/停止割り込みを許可します。生成されるべき割り込みに対して、TWI従装置割り込みレベル(INTLVL)ビットが0以外でなければなりません。

● ビット3 – ENABLE : TWI従装置許可 (Enable TWI Slave)

このビットの設定(1)がTWI従装置を許可します。

● ビット2 – PIEN : 停止条件割り込み許可 (Stop Interrupt Enable)

このビットの設定(1)は停止条件が検出された時にTWI従装置状態(STATUS)レジスタのアドレス/停止割り込み要求フラグ(APIF)を設定(1)させます。

● ビット1 – PMEN : 無差別動作許可 (Promiscuous Mode Enable)

このビットの設定(1)によって、従装置アドレス一致論理回路は全ての受信アドレスに応答します。このビットが解除(0)される場合、アドレス一致論理回路は自身のアドレスとしてどのアドレスを認証するかを決めるのにTWI従装置アドレス(ADDR)レジスタを使用します。

● ビット0 – SMEN : 簡便動作許可 (Smart Mode Enable)

このビットは簡便動作を許可します。簡便動作が許可(1)されると、TWI従装置データ(DATA)レジスタ読み込み直後にTWI従装置制御レジスタB(CTRLB)の応答動作(ACKACT)ビットで設定されるように応答動作が送出されます。

17.10.2. CTRLB – 制御レジスタB (Control register B)

ビット +\$01	7	6	5	4	3	2	1	0	
	–	–	–	–	–	ACKACT	CMD1,0		CTRLB
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~3 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット2 – ACKACT : 応答動作 (Acknowledge Action)

このビットは主装置から受信したアドレスまたはデータの後での従装置の応答の動きを定義します。応答動作は指令が指令(CMD)ビットに書かれる時に実行されます。TWI従装置制御レジスタA(CTRLA)の簡便動作許可(SMEN)ビットが設定(1)なら、応答動作はデータ(DATA)レジスタが読まれる時に実行されます。

表17-7.は応答動作を一覧にします。

表17-7. TWI従装置応答動作

ACKACT	動作
0	確認応答(ACK)送出
1	否認応答(NACK)送出

●ビット1,0 – CMD1,0 : 指令 (Command)

これらのビットの書き込みは表17-8.で定義されるような従装置動作を起動します。CMDビットはスロープ(瞬間だけ状態保持の)ビットで、常に0として読めます。動作は従装置割り込み要求フラグ、データ割り込み要求フラグ(DIF)とアドレス/停止割り込み要求フラグ(APIF)に依存します。応答動作は従装置が主装置からのアドレス バイトまたはデータ バイトを受信した時にだけ実行されます。

表17-8. TWI従装置指令

CMD1,0	群形態設定	方向(DIR)	動作
0 0	NOACT	x	動作なし
0 1	—	x	(予約)
1 0	COMPLETE	完全な転送処理に使用	
		0	何れかの開始条件または再送開始条件の待機が後続する応答動作を実行
		1	何れかの開始条件または再送開始条件の待機
1 1	RESPONSE	アドレス バイト(アドレス/停止割り込み要求フラグ(APIF)=1)への応答で使用	
		0	次バイト受信が後続する応答動作を実行
		1	設定(1)されつつあるデータ割り込み要求フラグ(DIF)が後続する応答動作を実行
		データ バイト(データ割り込み要求フラグ(DIF)=1)への応答で使用	
		0	次バイト待機が後続する応答動作を実行
		1	動作なし

CMDビット書き込みは従装置割り込み要求フラグとクロック保持(CLK HOLD)フラグを解除(0)し、SCL線を開放します。応答動作(ACK)とCMDビットは同時に書くことができ、そして指令が起動される前に応答動作が更新されます。

17.10.3. STATUS – 状態レジスタ (Status register)

ビット	7	6	5	4	3	2	1	0	
+ \$02	DIF	APIF	CLKHOLD	RXACK	COLL	BUSERR	DIR	AP	STATUS
Read/Write	R/W	R/W	R	R	R/W	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7 – DIF : データ割り込み要求フラグ (Data Interrupt Flag)

このフラグはデータ バイトが成功裏に受信された、換言すると動作中に衝突またはバス異常が起きない時に設定(1)されます。このビット位置への1書き込みはDIFを解除(0)します。このフラグが設定(1)されると、従装置はSCL線をLowに強制し、TWIクロック周期を引き伸ばします。この割り込み要求フラグの解除(0)がSCL線を開放します。

このフラグはTWI従装置制御レジスタB(CTRLB)の指令(CMD)ビットへの有効な指令書き込み時にも自動的に解除(0)されます。

●ビット6 – APIF : アドレス/停止割り込み要求フラグ (Address/Stop Interrupt Flag)

このフラグは有効なアドレスが受信されたことを従装置が検知した時、または送信衝突が検出された時に設定(1)されます。TWI従装置制御レジスタA(CTRLA)の停止条件割り込み許可(PIEN)ビットが設定(1)なら、バスの停止条件もAPIFを設定(1)します。このビット位置への1書き込みはAPIFを解除(0)します。アドレス割り込みに対して設定(1)されると、従装置はSCL線をLowに強制し、TWIクロック周期を引き伸ばします。この割り込み要求フラグの解除(0)がSCL線を開放します。

このフラグはデータ割り込み要求フラグ(DIF)と同じ条件についても自動的に解除(0)されます。

●ビット5 – CLKHOLD : クロック保持フラグ (Clock Hold)

このフラグは従装置がSCL線をLowに保持する時に設定(1)されます。これは状態フラグで、データ割り込み要求フラグ(DIF)またはアドレス/停止割り込み要求フラグ(APIF)が設定(1)される時に設定(1)される読み込み専用ビットです。これらの割り込み要求フラグの解除(0)とSCL線の開放がこのフラグを間接的に解除(0)します。

●ビット4 – RXACK : 受信応答フラグ (Received Acknowledge)

このフラグは主装置からの最終受信応答ビットを含みます。これは読み込み専用フラグです。0として読めると、主装置からの最終応答ビットは確認応答(ACK)で、1として読めると、最終応答ビットは否認応答(NACK)です。

●ビット3 – COLL : 衝突フラグ (Collision)

このフラグは従装置がHighのデータビット、否認応答(NACK)ビットを転送できなかった時に設定(1)されます。衝突が検出された場合、従装置はデータと応答の出力を禁止し、Low値がSDA線の上にシフト出力されない通常動作を始めます。このビット位置への1書き込みはCOLLを解除(0)します。

このフラグは開始条件または再送開始条件が検出される時にも自動的に解除(0)されます。

●ビット2 – BUSERR : TWI従装置バス異常フラグ (TWI Slave Bus Error)

このフラグは転送中に不正なバス状態が起きた場合に設定(1)されます。不正なバス状態は再送開始条件または停止条件が検出され、直前の開始条件からのビット数が9の倍数でない場合に起きます。このビット位置への1書き込みはBUSERRを解除(0)します。検出されるべきバス異常に関してはバス状態論理回路が許可されていなければなりません。これはTWI主装置を許可することによって行われます。

●ビット1 – DIR : 読み/書き方向フラグ (Rwad/Write Direction)

読み/書き方向(DIR)フラグは主装置から受信した最後のアドレスパケットからの方向ビットを反映します。このビットが1として読めると、主装置読み込み動作が進行中です。0として読める時は主装置書き込み動作が進行中です。

●ビット0 – AP : 従装置アドレス/停止条件フラグ (Slave Address or Stop)

このフラグはTWI従装置状態(STATUS)レジスタのアドレス/停止割り込み要求フラグ(APIF)の最後の設定を有効なアドレスまたは停止条件のどちらが起したかを示します。

表17-9. TWI従装置 アドレスまたは停止条件

AP	内容
0	停止条件がAPIFの割り込みを生成
1	アドレス検出がAPIFの割り込みを生成

17.10.4. ADDR – アドレスレジスタ (Address register)

TWI従装置アドレスレジスタはTWIが応答するために(ADDRの上位7ビット内に)7ビットの従装置アドレスを格納されるべきです。ADDRの最下位ビットは一斉呼び出しアドレス(\$00)の認証に使用されます。

ビット	7	6	5	4	3	2	1	0	
+\$03	ADDR7~1							ADDR0	ADDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7~1 – ADDR7~1 : TWI従装置アドレス (TWI Slave Address)

このレジスタは主装置が従装置をアドレス指定しているかを判断するための従装置アドレス一致論理回路によって使用されるTWI従装置アドレスを含みます。上位7ビット(ADDR7~1)が従装置アドレスを表します。

10ビット アドレス使用時、アドレス一致論理回路は10ビット アドレスの最初のバイトのハードウェア アドレス認証を支援するだけです。ADDR7~1='11110nn'設定で、'nn'は従装置アドレスのビット9と8を表します。次の受信バイトが10ビット アドレスのビット7~0で、これはソフトウェアによって扱われなければなりません。

有効なアドレス バイトが受信されたことをアドレス一致論理回路が検知すると、アドレス/停止割り込み要求フラグ(APIF)が設定(1)され、読み/書き方向(DIR)フラグが更新されます。

従装置制御レジスタA(CTRLA)の無差別動作許可(PMEN)ビットが設定(1)なら、アドレス一致論理回路はTWIバス上に送信された全てのアドレスに応答します。ADDRレジスタはこの動作種別で使用されません。

●ビット0 – ADDR0 : 一斉呼び出し認証許可 (General Call Recognition Enable)

ADDR0設定(1)時に、これは一斉呼び出しアドレス認証論理回路を許可し、故に装置はバス上の全ての装置をアドレス指定する一斉呼び出しに応答することができます。

17.10.5. DATA – データレジスタ (Data register)

ビット	7	6	5	4	3	2	1	0	
+\$04	DATA7~0								DATA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

データ(DATA)レジスタはデータを送受信する時に使用されます。データ転送中、データはバスとDATAレジスタ間でシフトされます。これはバイト転送中にDATAレジスタがアクセスできないことを意味し、これはハードウェアで保護されています。データレジスタは従装置によってSCL線がLowを保持している時、換言するとクロック保持(CLKHOLD)フラグが設定(1)されている時にだけアクセスできます。

主装置が従装置からデータを読むとき、送出すべきデータがDATAレジスタに書かれます。主装置が従装置からデータ バイトのクロック駆動を始める時にバイト転送が開始され、続いて従装置は主装置からの応答ビットを受信します。データ割り込み要求フラグ(DIF)とCLKHOLDが設定(1)されます。

主装置が従装置にデータを書くとき、1バイトがDATAレジスタに受信された時にDIFとCLKHOLDが設定(1)されます。簡便動作が許可の場合、DATAレジスタ読み込みは応答動作(ACKACT)ビットでの設定のようにバス操作を起動します。

DATAレジスタのアクセスは従装置割り込み要求フラグとCLKHOLDフラグを解除(0)します。アドレス一致が起こると、受信したアドレスがDATAレジスタに格納されます。

17.10.6. ADDRMASK – アドレス遮蔽レジスタ (Address Mask register)

ビット	7	6	5	4	3	2	1	0	
+\$05	ADDRMASK7~0							ADDREN	ADDRMASK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~1 –ADDRMASK7~1：第2従アドレス/アドレス遮蔽値 (Second Slave Address/Address Mask Value)

これらのビットはアドレス許可(ADDREN)ビット設定に依存して、第2アドレス一致レジスタまたはアドレス遮蔽レジスタとして働きます。

ADDRENが0に設定される場合、ADDRMASKは7ビットの従装置アドレス遮蔽を格納することができます。ADDRMASK内の各ビットは従装置アドレス(ADDR)レジスタ内の対応するアドレスビットを遮蔽(禁止)することができます。遮蔽ビットが1の場合に到着アドレスビットとADDR内の対応するビット間のアドレス一致が無視されます。換言すると、遮蔽されたビットは常に一致します。

ADDRENが1に設定される場合、ADDRMASKはADDRレジスタに加えて第2従装置アドレスを格納することができます。この動作では従装置がADDRの1つとADDRMASKの別の1つで2つの独自のアドレスに一致します。

● ビット0 – ADDREN：アドレス許可 (Address Enable)

既定によるこのビットは0で、ADDRMASKビットはADDRレジスタに対するアドレス遮蔽として働きます。このビットが1に設定される場合、従装置アドレス一致論理回路はADDRとADDRMASK内の2つの独自のアドレスに応答します。

17.11. レジスタ要約 – TWI

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$08	従装置	従装置差分アドレス								
+\$01	主装置	主装置差分アドレス								
+\$00	CTRL	-	-	-	-	-	SDAHOLD1,0		EDIEN	137

17.12. レジスタ要約 – TWI主装置

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$06	DATA	DATA7~0								140
+\$05	ADDR	ADDR7~0								140
+\$04	BAUD	BAUD7~0								140
+\$03	STATUS	RIF	WIF	CLKHOLD	RXACK	ARBLOST	BUSERR	BUSSTATE1~0		139
+\$02	CTRLC	-	-	-	-	-	ACKACT	CMD1,0		138
+\$01	CTRLB	-	-	-	-	TIMEOUT1,0		QCEN	SMEN	138
+\$00	CTRLA	INTLVL1,0		RIEN	WIEN	ENABLE	-	-	-	137

17.13. レジスタ要約 – TWI従装置

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$05	ADDRMASK	ADDRMASK7~1							ADDREN	144
+\$04	DATA	DATA7~0								143
+\$03	ADDR	ADDR7~0								143
+\$02	STATUS	DIF	APIF	CLKHOLD	RXACK	COLL	BUSERR	DIR	AP	142
+\$01	CTRLB	-	-	-	-	-	ACKACT	CMD1,0		141
+\$00	CTRLA	INTLVL1,0		DIEN	APIEN	ENABLE	PIEN	PMEN	SMEN	141

17.14. 割り込みベクタ要約

変位	記述例	割り込み内容
\$00	SLAVE_vect	TWI従装置割り込みベクタ
\$02	MASTER_vect	TWI主装置割り込みベクタ

18. SPI – 直列周辺インターフェース

18.1. 要点

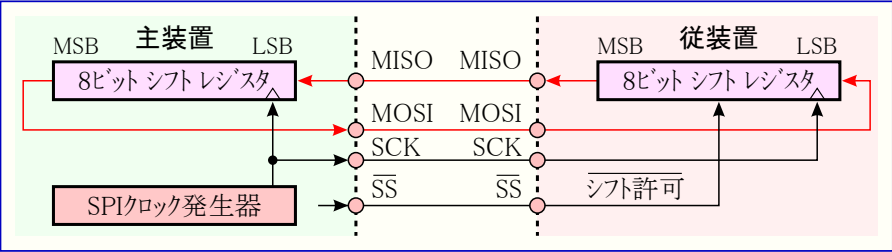
- 全二重、3線同期データ転送
- 主装置または従装置の動作
- LSB先行またはMSB先行のデータ転送
- 設定可能な7つのビット速度
- 送信終了での割り込み要求フラグ
- データ衝突を示すための上書き発生フラグ
- アイドル休止動作からの起動
- 倍速主装置動作

18.2. 概要

直列周辺インターフェース(SPI)は3線または4線を使用する高速同期データ転送インターフェースです。それはXMEGAデバイスと周辺装置間、または多数のマイクロコントローラ間での高速通信を許します。SPIは全二重通信を支援します。

バスに接続する装置は主装置または従装置として動作しなければなりません。主装置が全てのデータ転送処理を始め、そして制御します。SPIを持つ主及び従装置デバイス間の相互連絡が図18-1.で示されます。このシステムは2つのシフトレジスタと主装置クロック発生器から成ります。SPI主装置は望む従装置の従装置選択(SS)ピンをLowに引くことによって通信周回を開始します。主装置と従装置は送るべきデータをそれらの各々のシフトレジスタに用意して、データを交換するためにSCK線上に必要とするクロックパルスを主装置が発生します。データは常に主装置出力→従装置入力(MOSI)線で主装置から従装置へ、主装置入力←従装置出力(MISO)線で従装置から主装置へシフトされます。各データパケット後、主装置はSS線をHighに引くことによって従装置を同期化することができます。

図18-1. SPI主装置-従装置相互連絡



SPI部署は送信方向で緩衝なし、受信方向で単一緩衝されています。これはシフト周期全体が完了される前に送信されるべきデータがSPIデータ(DATA)レジスタに書けないことを意味します。データ受信時、受信したデータは次のデータが完全にシフト入力される前に読まなければならない。さもなければ、最初のバイトが失われます。

SPI従装置動作では制御回路がSCKピンの到着信号を採取します。このクロック信号の正しい採取を保証するため、最小Low及びHigh区間は2CPUクロック周期よりも長くなければなりません。

SPI部署が許可されると、MOSI,MISO,SCK,SSピンのデータ方向は表18-1.に従って無効化されます。使用者定義方向のピンは応用に対応した正しい方向になるようにソフトウェアから形態設定されなければなりません。

表18-1. SPIピン無効化と方向

ピン	主装置時方向	従装置時方向
MOSI	使用者定義	入力
MISO	入力	使用者定義
SCK	使用者定義	入力
SS	使用者定義	入力

18.3. 主装置動作

主装置動作で、SPIはSSピンの自動制御がありません。SSピンが使用される場合、それは出力として形態設定され、使用者ソフトウェアによって制御されなければなりません。バスが多数の従装置や主装置から成る場合、SPI主装置はバス上の従装置の各々へのSS線を制御するのに汎用I/Oピンを使用することができます。

データ(DATA)レジスタへのバイト書き込みがSPIクロック発生器を起動し、ハードウェアが選択した従装置への8ビットシフトを行います。1バイトのシフト後、SPIクロック発生器が停止し、SPI割り込み要求フラグ(IF)が設定(1)されます。主装置はデータレジスタへ新しいデータを書くことによって次のバイトのシフトを続けるか、またはSS線をHighに引くことによって転送終了を合図することができます。最後に到着したバイトは緩衝レジスタに保持されています。

SSピンが使用されずに入力として形態設定された場合、主装置動作を保証するためにHighに保持されなければなりません。SSピンが入力でLowに駆動される場合、SPI部署はこれをバス制御を取得するための他の主装置の試みとして解釈します。バス衝突を避けるため、主装置は次の動作を行います。

1. 主装置は従装置動作へ移行します。
2. SPI割り込み要求フラグが設定(1)されます。

18.4. 従装置動作

従装置動作では、 \overline{SS} ピンがHighに駆動されている限り、SPIインターフェースはHi-ZにされたMISO線での休止に留まります。この状態で、ソフトウェアはデータ(DATA)レジスタの内容を更新できますが、 \overline{SS} ピンがLowに駆動されるまで、そのデータはSCKピンでの到着クロックパルスによってシフト出力されません。 \overline{SS} がLowに駆動された場合、従装置は最初のSCKクロックパルスでデータのシフト出力を開始します。1バイトが完全にシフトされると、SPI割り込み要求フラグ(IF)が設定(1)されます。従装置は到着データを読む前に送るべき新しいデータをデータレジスタに置いて(動作を)継続できます。最後に到着したバイトは緩衝レジスタに保持されています。

\overline{SS} がHighに駆動されると、SPI論理回路はリセットし、そしてSPI従装置はどの新しいデータも受信しません。シフトレジスタ内の何れの部分的な受信パケットも取り落とされます。

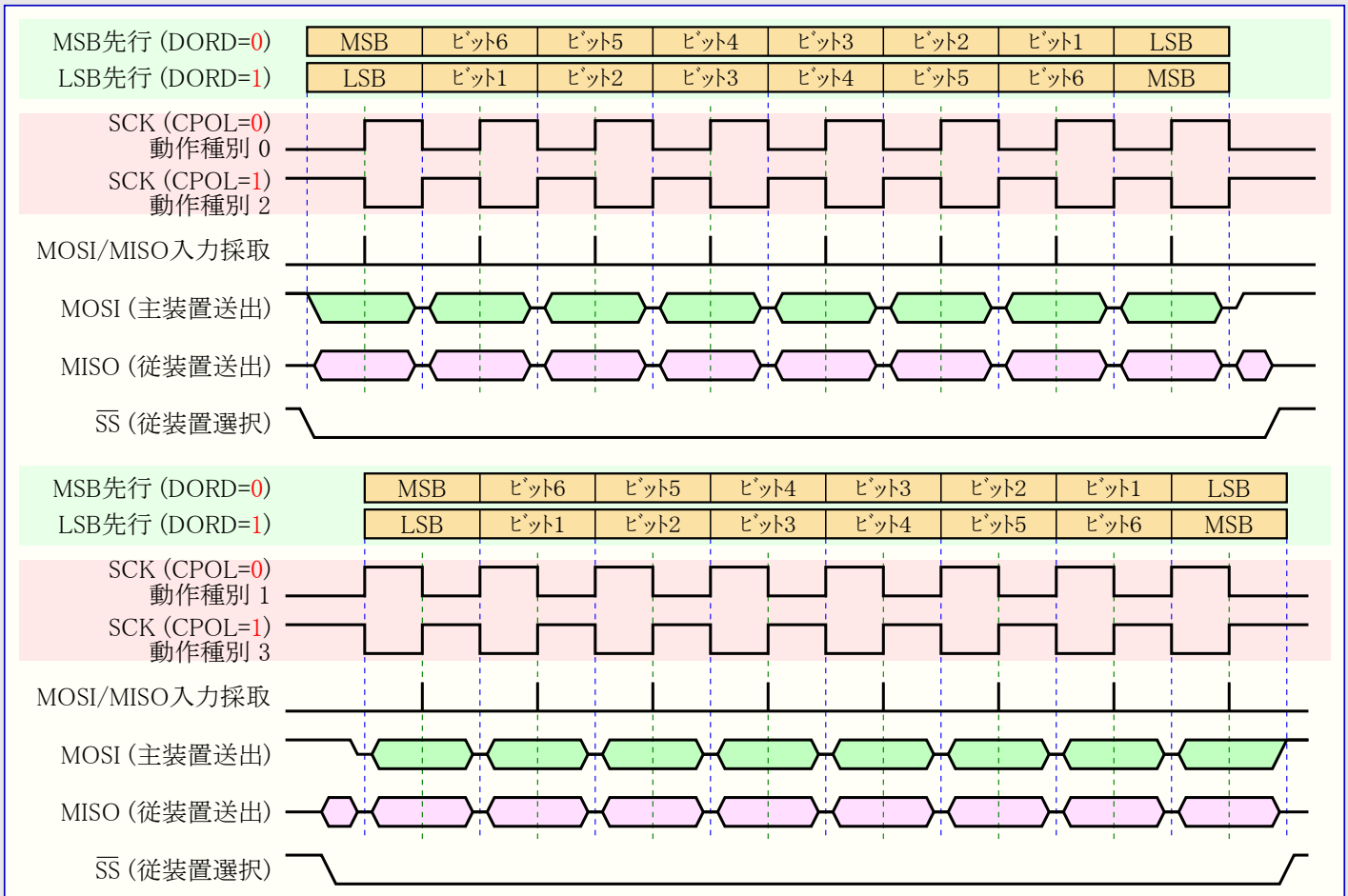
\overline{SS} ピンが転送の開始と終了の合図に使用されるので、これはパケット/バイト同期、主装置クロック発生器での従装置ビット計数器同期維持にも有用です。

18.5. データ転送種別

直列データに関してSCKの位相と極性で4つの組み合わせがあります。SPIデータ転送形式が図18-2.で示されます。データビットはSCK信号の逆端でシフト出力とラッチが行われ、これはデータ信号安定のための十分な時間を保証します。

先行端はクロック周期の最初のクロック端です。後行端はクロック周期の最終クロック端です。

図18-2. SPI転送種別



18.6. レジスタ説明

18.6.1. CTRL – 制御レジスタ (Control register)

ビット +\$00	7	6	5	4	3	2	1	0	
	CLK2X	ENABLE	DORD	MASTER	MODE1,0		PRESCALER1,0		CTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7 – CLK2X : SPIクロック倍速 (SPI Clock Double)

このビットが設定(1)されると、SPI速度(SCK周波数)が主装置動作で2倍にされます(表18-3をご覧ください)。

- ビット6 – ENABLE : SPI許可 (SPI Enable)

このビットの設定(1)がSPI部署を許可します。このビットはどのSPI操作をも可能とするために設定(1)されなければなりません。

- ビット5 – DORD : データ順 (Data Order)

DORDはバイトがデータ(DATA)レジスタからシフト出力される時のデータ順を決めます。DORDが1を書かれると、データバイトの最下位ビット(LSB)が最初に送信され、DORDが0を書かれると、データバイトの最上位ビット(MSB)が最初に送信されます。

- ビット4 – MASTER : 主/従選択 (Master/Slave Select)

このビットは1の時に主装置動作を、0の時に従装置動作を選択します。 \overline{SS} が入力として形態設定され、MASTERが設定(1)されている間にLowへ駆動される場合、MASTERは解除(0)されます。

- ビット3,2 – MODE1,0 : SPI動作種別 (SPI Mode)

これらのビットは転送種別を選びます。直列データに関するSCKの位相と極性での4つの組み合わせが表18-2で示されます。これらのビットはクロック周期での先頭端(先行端)が上昇または下降のどちらか、データの送受が先行端または後行端のどちらかを決めます。

先行端が上昇の時のSCKはアイドル時にLowで、先行端が下降の時のSCKはアイドル時にHighです。

表18-2. SPI転送動作種別

MODE1,0	群形態設定	SCK先行端	SCK後行端
0 0	0	上昇端, 入力採取	下降端, 出力設定
0 1	1	上昇端, 出力設定	下降端, 入力採取
1 0	2	下降端, 入力採取	上昇端, 出力設定
1 1	3	下降端, 出力設定	上昇端, 入力採取

- ビット1,0 – PRESCALER1,0 : SPIクロック前置分周 (SPI Clock Prescaler)

これら2ビットは主装置動作に形態設定されたデバイスのSCK速度を制御します。これらのビットは従装置動作で無効です。SCKと周辺クロック周波数(clk_{PER})間の関連は表18-3で示されます。

表18-3. SCKと周辺クロック周波数(clk_{PER})間の関連

CLK2X	PRESCALER1,0	SCK周波数
0	0 0	$clk_{PER}/4$
0	0 1	$clk_{PER}/16$
0	1 0	$clk_{PER}/64$
0	1 1	$clk_{PER}/128$
1	0 0	$clk_{PER}/2$
1	0 1	$clk_{PER}/8$
1	1 0	$clk_{PER}/32$
1	1 1	$clk_{PER}/64$

18.6.2. INTCTRL – 割り込み制御レジスタ (Interrupt Control register)

ビット +\$01	7	6	5	4	3	2	1	0	
	–	–	–	–	–	–	INTLVL1,0		INTCTRL
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット1,0 – INTLVL1,0 : 割り込みレベル (Interrupt Level)

これらのビットは68頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選びます。許可した割り込みはSPI状態(STATUS)レジスタのSPI割り込み要求フラグ(IF)が設定(1)される時に起動されます。

18.6.3. STATUS – 状態レジスタ (Status register)

ビット	7	6	5	4	3	2	1	0	
+\$02	IF	WRCOL	–	–	–	–	–	–	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

- ビット7 – IF : 割り込み要求フラグ (Interrupt Flag)
このフラグは直列転送が完了して1バイトがデータ(DATA)レジスタで完全にシフト入出力された時に設定(1)されます。SPIが主装置動作の時にSSが入力として形態設定され、Lowに駆動された場合、これもこのフラグを設定(1)します。IFは対応する割り込みベクタ実行時、自動的に解除(0)されます。代わりにIFフラグはIFが1の時に最初にSTATUSレジスタを読み、その後にDATAレジスタをアクセスすることによっても解除(0)されます。
- ビット6 – WRCOL : 上書き発生フラグ (Write Collision Flag)
このフラグはデータ転送中にデータ(DATA)レジスタが書かれた場合に設定(1)されます。このフラグはWRCOLが1の時に最初にSTATUSレジスタを読み、その後にDATAレジスタをアクセスすることによっても解除(0)されます。
- ビット5~0 – 予約 (Reserved)
これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

18.6.4. DATA – データレジスタ (Data register)

ビット	7	6	5	4	3	2	1	0	
+\$03	DATA7~0								DATA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

データ(DATA)レジスタはデータの送受信に使用されます。このレジスタへの書き込みはデータ送信を開始し、このレジスタに書かれたバイトがSPI出力線へシフト出力されます。このレジスタの読み込みはシフトレジスタ受信緩衝部の読み出しを引き起こし、成功裏に受信した最終バイトが返ります。

18.7. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$03	DATA	DATA7~0								148
+\$02	STATUS	IF	WRCOL	–	–	–	–	–	–	148
+\$01	INTCTRL	–	–	–	–	–	–	INTLVL1,0		147
+\$00	CTRL	CLK2X	ENABLE	DORD	MASTER	MODE1,0		PRESCALER1,0		147

18.8. 割り込みベクタ要約

変位	記述例	割り込み内容
\$00	SPI_vect	SPI割り込みベクタ

19. USART

19.1. 要点

- 全二重動作
- 非同期と同期での動作
 - デバイス クロック周波数の1/2までの同期クロック速度
 - デバイス クロック周波数の1/8までの非同期クロック速度
- 5, 6, 7, 8, 9データビットと1, 2停止ビットの直列構造体支援
- 分数ボーレート発生器
 - どのシステム クロック周波数からも望むボーレートを生成可
 - 一定の周波数で外部発振器不要
- 組み込みの誤り検出と修正の仕組み
 - 奇数/偶数パリティ生成器とパリティ検査
 - データ オーバーランと構造体異常(Framing Error)の検出
 - 不正開始ビット検出とデジタル低域通過濾波器を含む雑音濾波
- 以下の独立した割り込み
 - 送信完了
 - 送信データレジスタ空
 - 受信完了
- 複数プロセッサ通信動作
 - 複数デバイスのバス上で特定デバイスをアドレス指定するためのアドレス指定の仕組み
 - アドレス指定されないデバイスで全てのフレームを自動的に無視することが可
- 主装置SPI動作
 - 2重緩衝された動作
 - 形態設定可能なデータ順
 - 周辺クロック周波数の1/2までの動作
- IrDA適合パルス変調/復調用赤外線通信(IRCOM)部署

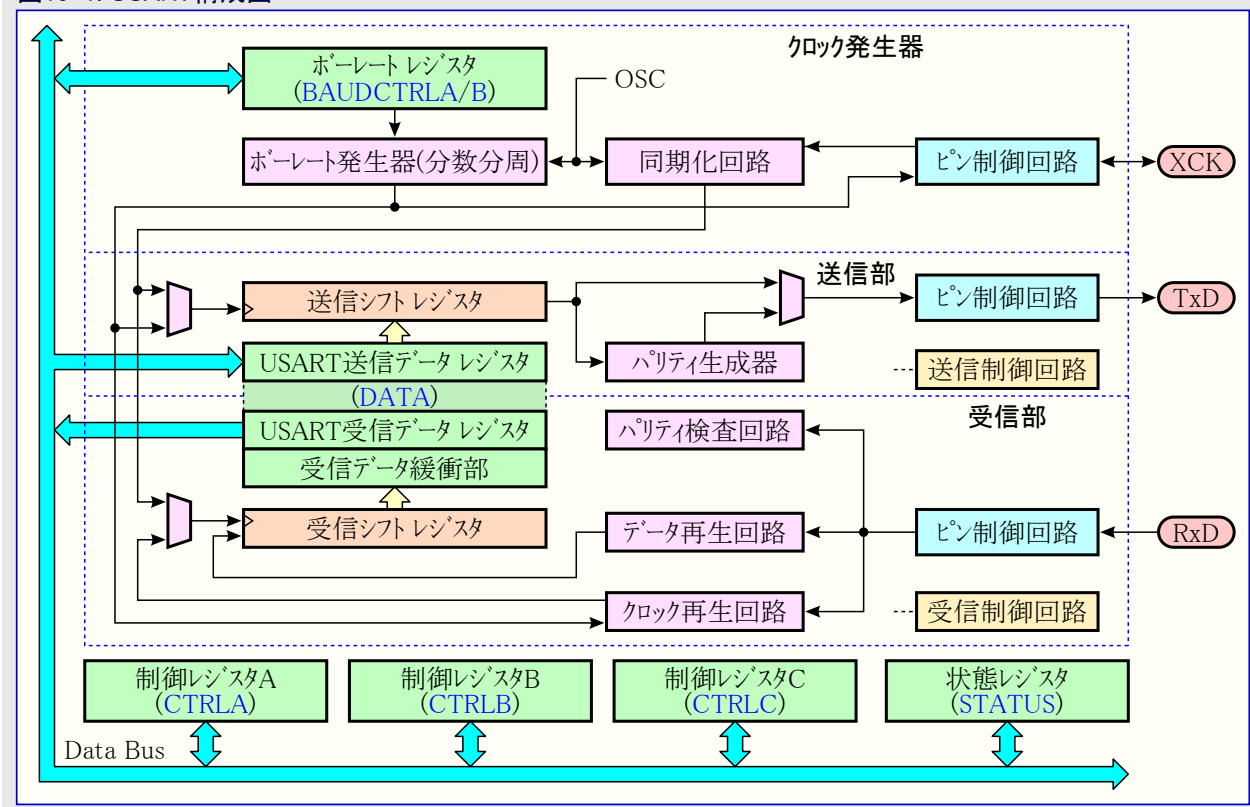
19.2. 概要

USART(Universal Synchronous and Asynchronous serial Receiver and Transmitter)は高速で柔軟な直列通信部署です。USARTは非同期と同期の動作と全二重通信を支援します。USARTはSPI主装置での動作形態に形態設定してSPI通信に使用することができます。

通信は構造体に基づき、その構造形式は広範囲の規格を支援するように独自設定することができます。USARTは両方向に於いて緩衝され、構造体間のどんな遅延もなしに継続するデータ送信を可能にします。受信と送信の完了に対する独立した割り込みは完全な割り込み駆動通信を許します。構造体異常と緩衝部溢れはハードウェアで検知され、独立した状態フラグで示されます。奇数または偶数のパリティ生成とパリティ検査も許可することができます。

USARTの構成図が図19-1.で示されます。主な機能部は破線枠で示されるクロック発生器、送信部、受信部です。

図19-1. USART構成図



クロック生成部はどのシステムクロック周波数からでも広範囲のUSARTボーレートが発生できる**分数ボーレート発生器**を含みます。これは必要とされるボーレートを達成するために特定周波数を持つ外部クリスタル発振器を使用することの必要を取り去ります。これは同期従装置動作での外部クロック入力も支援します。

送信部は単一書き込み緩衝部(DATA)、シフトレジスタ、パリティ生成器から成ります。書き込み緩衝は構造体間のどんな遅延もなしに連続データ送信を許します。

受信部は2段の受信緩衝部(DATA)とシフトレジスタから成ります。データとクロックの再生部が非同期データ受信中の頑強な同期化と雑音濾波を保証します。これには**構造異常**、**緩衝部溢れ**、**パリティ異常**の検出を含みます。

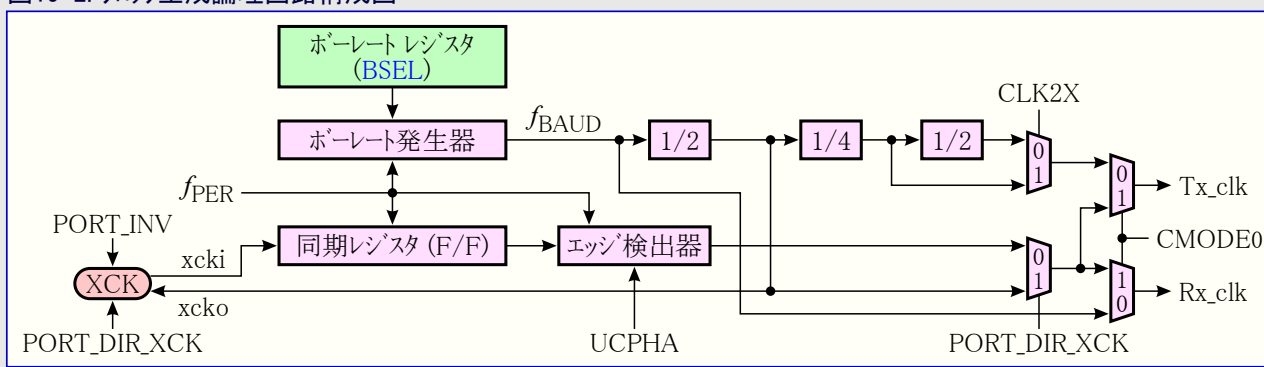
USARTが主装置SPI動作に設定されると、全てのUSART特有論理回路は禁止され、送受信緩衝部、シフトレジスタ、ボーレート発生器を許可のままにします。ピン制御と割り込み生成は両動作で同じです。レジスタは両動作で使用されますが、いくつかの制御設定について機能が異なります。

赤外線通信(IRCOM)部署は115.2kbpsまでのボーレートに対してIrDA 1.4物理適合パルスの変調と復調の支援を1つのUSARTに対して許可することができます。詳細については164頁の「**IRCOM - 赤外線通信部署**」を参照してください。

19.3. クロック生成

クロックはボーレート発生に使用され、データビットのシフトと採取に関しては内部的に分数ボーレート発生器、または外部的に転送クロック(XCK)ピンから生成されます。標準と倍速の非同期動作、主装置と従装置の同期動作、主装置SPI動作の5つの動作のクロック生成が支援されます。

図19-2. クロック生成論理回路構成図



19.3.1. 内部クロック生成 – 分数ボーレート発生器

分数ボーレート発生器は、非同期動作、同期主装置動作、SPI主装置動作に対する内部クロック生成に使用されます。生成された出力周波数(f_{BAUD})は**周期設定(BSEL)**、任意選択の**倍率設定(BSCALE)**、周辺クロック周波数(f_{PER})によって決められます。**表19-1.**は各動作種別に対する、(秒当たりのビット数での)ボーレートの計算とBSEL値の計算用の式を含みます。これは周辺クロック周波数に対する最大ボーレートも示します。BSELは0~4095間のどの値にも設定できます。BSCALEは-7~+7間のどの値にも設定でき、ボーレート発生器の分数ボーレート倍率を提供するためにボーレートを僅かに増減します。

BSELが0の時にBSCALEも0でなければなりません。また、値 $2^{\text{ABS}(\text{BSCALE})}$ は構造体を取る最小クロック周期数の少なくとも半分でなければなりません。詳細については156頁の「**分数ボーレート生成**」をご覧ください。

表19-1. ボーレートレジスタ設定計算式

動作種別	条件	ボーレート計算式	BSEL値計算式
標準速 非同期動作 (CLK2X=0)	$\text{BSCALE} \geq 0, f_{\text{BAUD}} \leq \frac{f_{\text{PER}}}{16}$	$f_{\text{BAUD}} = \frac{f_{\text{PER}}}{2^{\text{BSCALE}} \times 16 \times (\text{BSEL} + 1)}$	$\text{BSEL} = \frac{f_{\text{PER}}}{2^{\text{BSCALE}} \times 16 \times f_{\text{BAUD}}} - 1$
	$\text{BSCALE} < 0, f_{\text{BAUD}} \leq \frac{f_{\text{PER}}}{16}$	$f_{\text{BAUD}} = \frac{f_{\text{PER}}}{16 \times ((2^{\text{BSCALE}} \times \text{BSEL}) + 1)}$	$\text{BSEL} = \frac{1}{2^{\text{BSCALE}}} \times \left(\frac{f_{\text{PER}}}{16 \times f_{\text{BAUD}}} \right) - 1$
倍速 非同期動作 (CLK2X=1)	$\text{BSCALE} \geq 0, f_{\text{BAUD}} \leq \frac{f_{\text{PER}}}{8}$	$f_{\text{BAUD}} = \frac{f_{\text{PER}}}{2^{\text{BSCALE}} \times 8 \times (\text{BSEL} + 1)}$	$\text{BSEL} = \frac{f_{\text{PER}}}{2^{\text{BSCALE}} \times 8 \times f_{\text{BAUD}}} - 1$
	$\text{BSCALE} < 0, f_{\text{BAUD}} \leq \frac{f_{\text{PER}}}{8}$	$f_{\text{BAUD}} = \frac{f_{\text{PER}}}{8 \times ((2^{\text{BSCALE}} \times \text{BSEL}) + 1)}$	$\text{BSEL} = \frac{1}{2^{\text{BSCALE}}} \times \left(\frac{f_{\text{PER}}}{8 \times f_{\text{BAUD}}} \right) - 1$
同期及び SPI主装置動作	$f_{\text{BAUD}} < \frac{f_{\text{PER}}}{2}$	$f_{\text{BAUD}} = \frac{f_{\text{PER}}}{2 \times (\text{BSEL} + 1)}$	$\text{BSEL} = \frac{f_{\text{PER}}}{2 \times f_{\text{BAUD}}} - 1$

注: ボーレートは転送速度(ビット/1秒)で定義されます。

BSEL=0に関して、全てのボーレートはBSCALE設定の代わりにBSEL変更によって達成されなければなりません。

$\text{BSEL} = (2^{\text{BSCALE}} - 1)$

BSCALE	BSEL		BSCALE	BSEL
1	0	⇒	0	1
2	0	⇒	0	3
3	0	⇒	0	7
4	0	⇒	0	15
5	0	⇒	0	31
6	0	⇒	0	63
7	0	⇒	0	127

19.3.2. 外部クロック

外部クロック(XCK)は同期従装置動作で使用されます。XCKクロック入力(周辺クロック(f_{PER}))によって採取され、最大外部XCKクロック周波数(f_{XCK})は次式によって制限されます。

$$f_{\text{XCK}} < \frac{f_{\text{PER}}}{4}$$

HighとLowの区間の各々に対して、XCKクロック周期は周辺クロックによって2度採取されなければなりません。XCKクロックに細動がある場合、またはHigh/Low区間のデューティサイクルが50%/50%でない場合、それに応じてXCKクロック速度が低減、または周辺クロックが増加されなければなりません。

19.3.3. 倍速動作 (CLK2X)

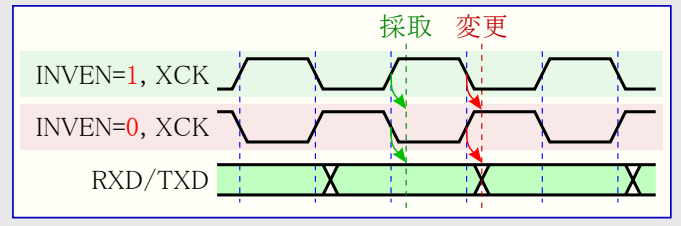
倍速動作は非同期動作下でより低い周辺クロック周波数でのより高いボーレートを許します。これが許可されると、**表19-1.**で示されるように非同期ボーレート設定を与えるためのボーレートが倍にされます。この動作では受信部がデータ採取とクロック再生に対して(16から8に減らされた)半分の採取数を用います。減らされた採取のため、より高い精度のボーレートと周辺クロックが必要とされます。より多くの詳細については155頁の「**非同期データ受信**」をご覧ください。

19.3.4. 同期クロック動作

同期動作が使用されるとき、XCKピンは転送クロックが入力(従装置動作)または出力(主装置動作)のどちらかを制御します。対応するポートピンは主装置動作に対して出力、従装置動作に対して入力に設定されなければなりません。XCKピンの標準ポート動作は無効にされます。クロック端とデータ採取またはデータ変更間の依存性は同じです。(RxDでの)データ入力はデータ出力(TxD)が変更されるクロック端と逆のクロック端で採取されます。

対応するXCKポートピンに対する反転I/O許可(INVEN)設定の使用でデータ採取とデータ変更に使われるXCKクロック端を選択できます。反転I/Oが禁止(INVEN=0)なら、データはXCKクロック上昇端で変更され、XCKクロック下降端で採取されます。反転I/Oが許可(INVEN=1)なら、データはXCKクロック下降端で変更され、XCKクロック上昇端で採取されます。より多くの詳細については73頁の「入出力ポート」をご覧ください。

図19-3. 同期動作XCKタイミング



19.3.5. 主装置SPI動作クロック生成

主装置SPI動作形態については内部クロック生成だけが支援されます。これはUSART同期主装置動作と同じで、ホーレートまたはBSEL設定は同じ式を使用して計算されます。151頁の表19-1をご覧ください。

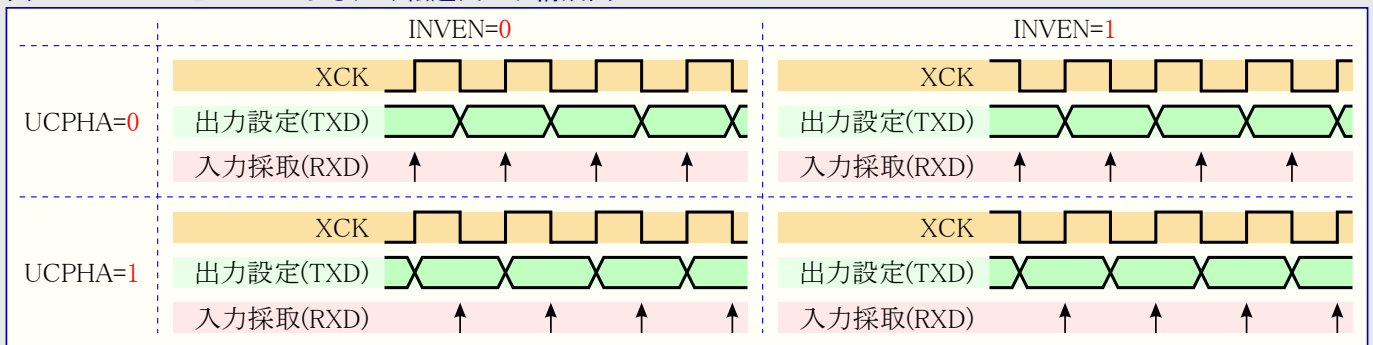
直列データに関してSPIクロック(SCK)の位相と極性で4つの組み合わせがあり、それらはクロック位相(UCPHA)制御ビットと反転I/Oピン(INVEN)設定によって決められます。データ転送タイミング構成図が図19-4.で示されます。データビットはXCK信号の逆端でシフト出力とラッチ入力が行われ、データ信号の安定に十分な時間を保証します。UCPHAとINVENの設定は表19-2.で要約されます。送信中のこれらのビットのどれかの設定変更は送受信部両方を不正にします。

表19-2. INVENとUCPHAの機能

SPI動作種別	INVEN	UCPHA	SCK先行端	SCK後行端
0	0	0	上昇端,入力採取	下降端,出力設定
1	0	1	上昇端,出力設定	下降端,入力採取
2	1	0	下降端,入力採取	上昇端,出力設定
3	1	1	下降端,出力設定	上昇端,入力採取

先行端はクロック周期の最初のクロック端です。後行端はクロック周期の最終クロック端です。

図19-4. UCPHAとINVENによるデータ転送タイミング構成図



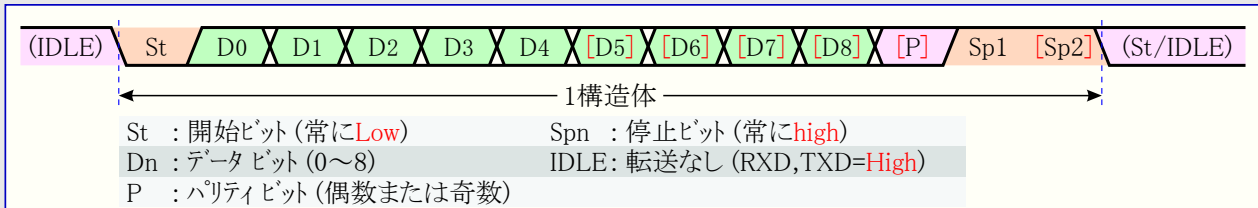
19.4. 構造体構成

データ転送は構造体に基づいており、直列構造体は同期ビット(開始ビットと停止ビット)を持つ1つのデータキャラクタと任意選択の誤り検出用パリティビットから成ります。これが主装置SPI動作に適用されないことに注意してください(「SPI構造体構成」をご覧ください)。USARTは有効な構造体構成として以下の組み合わせ全てを受け入れます。

- 1 開始ビット
- 5, 6, 7, 8, 9 ビット データ
- 奇数または偶数パリティビット、またはなし
- 1 または 2 停止ビット

構造体は開始ビットで始まり、全てのデータビット(最下位データビット(LSB)先行、最上位データビット(MSB)最終)が後続します。許可なら、パリティビットがデータビットの後、最初の停止ビットの前に挿入されます。1つの構造体は新しい構造体とその開始ビットによって直ちに後続されるか、または通信線をアイドル状態(**high**)に戻すことができます。図19-5.は組み合わせが可能な構造体形式を図解します。[]付きビットは任意選択です。

図19-5. 構造体構成



19.4.1. パリティビット計算

誤り検出用に奇数または偶数のパリティが選べます。偶数パリティが選択されたなら、パリティビットは論理1のデータビット数が奇数の場合に1を設定します(偶数の1の総数を作成)。奇数パリティが選択されたなら、パリティビットは論理1のデータビット数が偶数の場合に1を設定します(奇数の1の総数を作成)。

19.4.2. SPI構造体構成

SPI動作での直列構造体は1つの8ビット データ キャラクタで定義されます。主装置SPI動作でのUSARTには2つの選択可能な構造体構成があります。

- MSB先行の8ビット データ
- LSB先行の8ビット データ

完全な8ビットの構造体が送信された後、新しい構造体が直ぐに続くか、または通信線をアイドル状態(**high**)に戻すことができます。

19.5. USART初期化

USARTの初期化は以下の手順を使用すべきです。

1. TxDピン値をHighに、任意選択のXCKピンをLowに設定してください。
2. TxDと任意選択のXCKピンを出力として設定してください。
3. ボーレートと構造体構成を設定してください。
4. 動作種別を設定してください(同期動作でのXCKピン出力を許可してください)。
5. 使い方に応じて送信部と受信部を許可してください。

割り込み駆動USART操作に対しては、初期化中に**全体割り込み**が禁止されるべきです。

ボーレートまたは構造体構成の変更を伴う再初期化を行う前には、そのレジスタが変更される間で実行中の送信がないことを確認してください。

19.6. データ送信 – USART送信部

送信部が許可されると、TxDピンの標準ポート機能はUSARTによって無効にされ、送信部の直列出力としての機能を与えられます。ピンの方向は対応するポートの**方向レジスタ**を使用して出力として設定されなければなりません。ポートピン制御と出力形態設定の詳細については73頁の「**入出力ポート**」を参照してください。

19.6.1. 構造体送信

データ送信は送出すべきデータを送信緩衝部(DATA)に格納することによって開始されます。送信緩衝部内のデータはシフトレジスタが空で新しい構造体送出の準備が整っている時にシフトレジスタへ移動されます。シフトレジスタはそれがアイドル状態(送信実行中以外)の場合、または直前の構造体の最後の停止ビットが送信された直後に格納されます。シフトレジスタがデータを格納されると、それは1つの構造体を完全に転送するでしょう。

シフトレジスタ内の構造体全体がシフト出力され、送信緩衝部内に新しいデータが存在しない時に、**送信完了割り込み要求フラグ(TXCIF)**が設定(1)され、任意選択の割り込みが生成されます。

送信データ(DATA)レジスタは、このレジスタが空で新しいデータに対する準備が整っていることを示す**データレジスタ空割り込み要求フラグ(DREIF)**が設定(1)の時にだけ書くことができます。

8ビット未満の構造体使用時、DATAレジスタへ書かれる(未使用)上位側ビットは無視されます。9ビットデータが使用される場合、データの下位バイトがDATAレジスタへ書かれる前に、第9ビットが**制御レジスタB(CTRLB)**の**送信ビット8(TXB8)ビット**へ書かれなければなりません。

19.6.2. 送信部禁止

送信部の禁止は実行中と保留中の送信が完了される、換言すると送信シフトレジスタと送信緩衝レジスタが送信すべきデータを含んでいない時まで有効になりません。送信部が禁止されると、もはやTxDPin(の標準I/O機能)を無効にせず、例えそれが使用者によって出力として形態設定されていたとしても、ピン方向はハードウェアによって自動的に入力として設定されます。

19.7. データ受信 – USART受信部

受信部が許可されると、RxDピンは受信部直列入力として機能します。ピンの方向は入力として設定されなければならず、そしてこれは既定ピン設定です。

19.7.1. 構造体受信

受信部は有効な開始ビットを検出した時にデータ受信を開始します。開始ビットに後続する各ビットはボーレートまたはXCKのクロックで採取され、構造体の最初の停止ビットが受信されるまで受信シフトレジスタ内にシフトされます。受信部での第2停止ビットは無視されます。最初の停止ビットが受信され、完全な直列構造体が受信シフトレジスタに存在すると、シフトレジスタの内容が受信緩衝部内へ移動されます。**受信完了割り込み要求フラグ(RXCIF)**が設定(1)され、任意選択の割り込みが生成されます。

受信緩衝部は**データ(DATA)レジスタ**位置を読むことによって読めます。DATAレジスタは受信完了割り込み要求フラグが設定(1)されていなければ読むべきではありません。8ビット未満の構造体使用時、未使用上位側ビットは0として読めます。9ビットデータが使用される場合、データの下位バイトがDATAレジスタから読まれる前に、状態(STATUS)レジスタの**受信ビット8(RXB8)**が読まれなければなりません。

19.7.2. 受信異常フラグ

USART受信部は3つの異常フラグを持っています。**構造体異常(FERR)**、**緩衝部溢れ(BUFOVF)**、**パリティ異常(PERR)**が**状態(STATUS)レジスタ**でアクセス可能です。異常フラグはそれらに対応する構造体と共に受信FIFO緩衝部に配置されます。この状態フラグの緩衝処理のためにDATAレジスタ位置読み込みがFIFO緩衝部を変更するので、状態レジスタは受信緩衝部(DATA)を読む前に読まれなければなりません。

19.7.3. パリティ検査器

許可時、パリティ検査器は到着する構造体のデータビットのパリティを計算し、その結果を対応する構造体のパリティビットと比較します。パリティ異常が検出された場合、**パリティ異常(PERR)フラグ**が設定(1)されます。

19.7.4. 受信部禁止

受信部の禁止は即時です。受信緩衝部が破棄され、実行中の受信データは失われます。

19.7.5. 受信緩衝部破棄

通常動作中に受信緩衝部が破棄されなければならない場合、**受信完了割り込み要求フラグ(RXCIF)**が解除(0)されるまでDATA位置を読んでください。

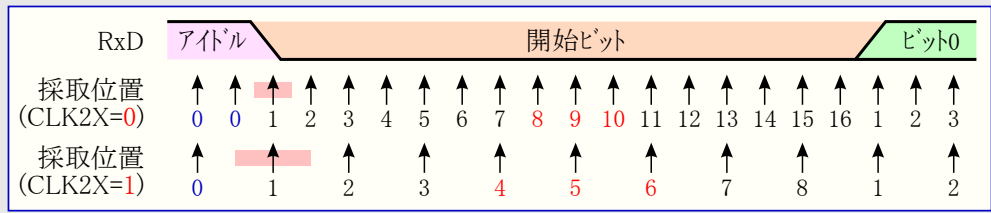
19.8. 非同期データ受信

USARTは非同期データ受信を使うためのクロック再生部とデータ再生部を含みます。クロック再生部はRxDピンに到着する非同期直列構造体を内部で生成されたボーレートクロックに同期化するのに使用されます。それは各到着ビットを採取して低域通過濾波を行い、それによって受信部の雑音耐性を改善します。非同期受信動作範囲は、内部ボーレートクロックの精度、到着構造体の速度、ビット数での構造体の量に依存します。

19.8.1. 非同期クロック再生

クロック再生部は内部クロックを到着直列構造体に同期化します。図19-6は到着構造体の開始ビットの採取処理を図解します。採取速度は標準速動作に対してボーレートの16倍、倍速動作に対して8倍です。赤帯(訳注:原文は水平矢印)は採取処理のための同期偏差を図示します。倍速動作(CLK2X=1)を使用する時のより広い偏差時間に注意してください。0として記される採取はRxD線がアイドル、換言すると通信活動なしの時に行われる採取です。

図19-6. 開始ビット採取

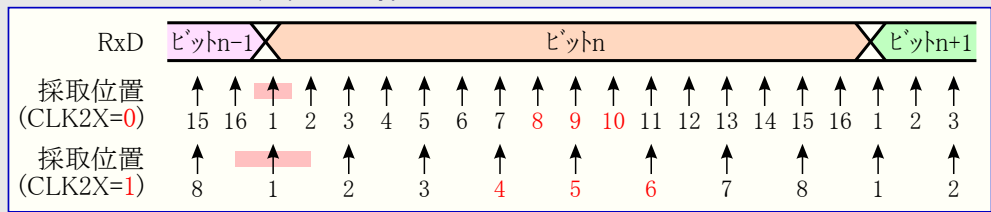


クロック再生論理回路がRxD線でHigh(アイドル)からLow(開始)の遷移を検出すると、開始ビット検出手順が開始されます。図で示されるように採取1は最初のLow採取を記します。その後クロック再生論理回路は有効な開始ビットが受信されるかを定めるために、標準速動作に対して採取8,9,10、倍速動作に対して採取4,5,6を使用します。2または3採取がLowレベルを持つ場合、その開始ビットは受け入れられます。クロック再生部は同期化され、データ再生が始められます。2または3採取がHighレベルを持つ場合、この開始ビットは尖頭雑音として捨てられ、受信部は次のHighからLow遷移を探します。この処理は各開始ビット毎に繰り返されます。

19.8.2. 非同期データ再生

データ再生部は各ビットに対して、標準速動作で16採取、倍速動作で8採取を使用します。図19-7はデータビットとパリティビットの採取を示します。

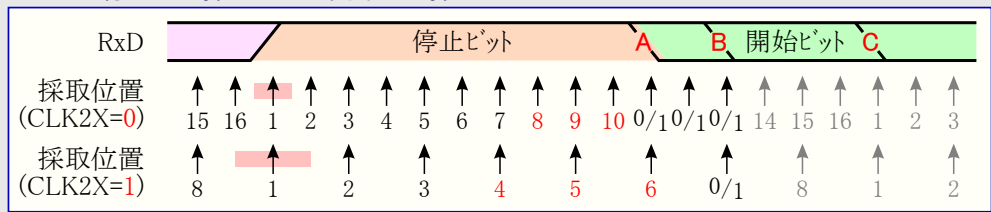
図19-7. データビットとパリティビットの採取



受信したビットの論理値を決定するために、開始ビット検出と同じ多数決技法が中央の3採取で使用されます。この処理は構造体が完全に受信されるまで各ビットに対して繰り返されます。これは最初の停止ビットを含みますが、追加の停止ビットを含みません。採取した停止ビットが0値を持つ場合、構造体異常(FERR)フラグが設定(1)されます。

図19-8は停止ビットの採取と次の構造体の最も早い開始ビットの始めの可能性を示します。

図19-8. 停止ビット採取と次の開始ビット採取



新しい構造体の開始ビットを示すHighからLowへの遷移は多数決に使用した最後のビット後に実現できます。標準速動作に関しては最初のLowレベル採取が停止ビット採取と次の開始ビット採取でのA点で有り得ます。倍速動作については最初のLowレベルがB点に遅らされなければなりません。C点は公称ボーレートでの停止ビット全長(の終点)を示します。この早い開始ビット検出は受信部の動作範囲に影響します。

19.8.3. 非同期動作範囲

受信部の動作範囲は受信したビットレートと内部的に生成したボーレート間の不一致に依存します。外部の送信部が速すぎるまたは遅すぎるビット速度を用いて送出したり、内部的に生成した受信部のボーレートが外部供給元の基本周波数と一致しない場合、受信部は開始ビットで構造体を同期できないでしょう。

次式は到着データ速度と内部受信部ボーレート間の比率計算に使用できます。

$$R_{\text{slow}} = \frac{(D+1)S}{S-1+D \times S+S_F} \quad R_{\text{fast}} = \frac{(D+2)S}{(D+1)S+S_M}$$

D : データとパリティのビット数 (5～10)
S : ビット当たりの採取数 (標準速動作=16、倍速動作=8)
S_F : 多数決に使用する最初の採取番号 (標準速動作=8、倍速動作=4)
S_M : 多数決に使用する中心の採取番号 (標準速動作=9、倍速動作=5)
R_{slow} : は受信側ボーレートに対して許容できる最低受信ビット速度の比率です。
R_{fast} : は受信側ボーレートに対して許容できる最高受信ビット速度の比率です。

表19-3.は許容できる最大受信部ボーレート誤差を一覧にします。標準速動作にはより高いボーレート変動許容能力があります。

表19-3. 標準速と倍速での受信部ボーレート推奨最大許容誤差

D	標準速動作 (CLK2X=0)				倍速動作 (CLK2X=1)			
	R _{slow} (%)	R _{fast} (%)	総合許容誤差(%)	推奨許容誤差(%)	R _{slow} (%)	R _{fast} (%)	総合許容誤差(%)	推奨許容誤差(%)
5	93.20	106.67	-6.80～+6.67	±3.0	94.12	105.66	-5.88～+5.66	±2.5
6	94.12	105.79	-5.88～+5.79	±2.5	94.92	104.92	-5.08～+4.92	±2.0
7	94.81	105.11	-5.19～+5.11	±2.0	95.52	104.35	-4.48～+4.35	±1.5
8	95.36	104.58	-4.54～+4.58	±2.0	96.00	103.90	-4.00～+3.90	±1.5
9	95.81	104.14	-4.19～+4.14	±1.5	96.39	103.53	-3.61～+3.53	±1.5
10	96.17	103.78	-3.83～+3.78	±1.5	96.70	103.23	-3.30～+3.23	±1.0

注: Dはデータビット数とパリティビットの合計ビット数です。

(訳注) 原書の表19-3.と表19-4.は表19-3.として纏めました。

最大受信部ボーレート誤差の推奨は送信部と受信部で等分割するとの仮定です。

19.9. 分数ボーレート生成

分数ボーレート生成は各構造体に対して相対的に高いクロック周期数のため、非同期動作に対して可能です。各ビットは16回採取されますが、中央3採取だけが重要です。1つの構造体に対する総採取数も相対的に高くなります。1開始ビット、8データビット、パリティなし、1停止ビットの構造体構成が与えられ、標準速動作が使用されると仮定すると、構造体に対する総採取数は(1+8+1)×16=160です。先に述べられたように、USARTは各採取に関してクロック周期での変化を許容できます。重要な要素は開始ビットの上昇端(換言するとクロック同期化)から最後のビット(換言すると最初の停止ビット)の値が再生されるまでの時間です。

標準的なボーレート発生器は高いボーレート設定間に大きな周波数段差を持つ望まれない特性を持っています。最悪の場合はBSEL値\$000と\$001間で得られます。160クロック周期の10ビット構造体での\$000のBSEL値から320クロック周期でのBSEL値\$001への状態は、周波数での50%変化を生じます。理想的な段階量は最速ボーレート間までも小さくあるべきです。これは分数ボーレート発生器の優位性が登場する場面です。

原則的に分数ボーレート発生器は一樣でない計数とその後の構造体全体に渡って誤差を均一に分配することによって動きます。通常のボーレート発生器に対する代表的な計数の流れは以下です。

2, 1, 0, 2, 1, 0, 2, 1, 0, 2, ...

これは一樣な時間周期を持ちます。ボーレートクロックは計数器が0に達する時毎に刻まれ、RxDで受信した信号の採取は第16ボーレートクロック刻み毎に行われます。

分数ボーレート発生器に関しては計数の流れが一樣でない周期を持てます。

2, 1, 0, 3, 2, 1, 0, 2, 1, 0, 3, 2, ...

この例では追加周期が毎回の第2ボーレートクロックに付加されています。これはボーレートクロックの刻みに細動を与えますが、平均周期は0.5クロック周期の分数によって増やされます。

図19-9.は単にBSELを変更することによって可能な間でボーレートを達成するのにBSELとBSCALEがどう使用され得るかの例を示します。

分数ボーレート発生器の衝撃はボーレート設定間の段階量が低減されることです。-1の倍率係数が与えられると、その後の最悪段階は以前の160から320に比べて10ビット構造体当たり160から240採取になります。より大きな負の倍率係数はより細かい粒度(分解能)までも与えます。倍率係数をどれだけ高くできるかには制限があります。値2^{BSCALE}は構造体にかかるクロック周期の少なくとも半分でなければなりません。例えば10ビット構造体に対する最小クロック周期数は160です。これは利用可能な最高倍率係数が-6(2^{|-6|}=64<160/2=80)であることを意味します。

より高いBSEL設定については倍率係数を増やすことができます。

表19-5.は非同期動作に対して最も一般的に使用されるボーレート生成するのに内部発振器を使用する時のBSELとBSCALEの設定と更に一層ボーレート誤差を減らすためにBSCALEがどう使用されるかを示します。

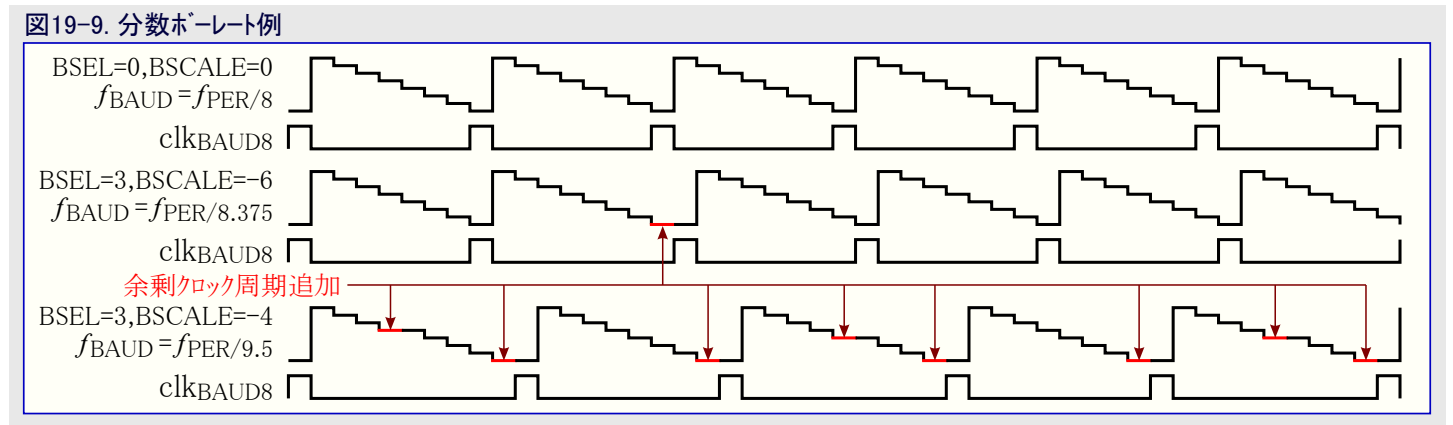


表19-5. USARTボーレート													
ボーレート (bps)	f _{OSC} = 32MHz						ボーレート (bps)	f _{OSC} = 32MHz					
	CLK2X=0			CLK2X=1				CLK2X=0			CLK2X=1		
	BSEL	BSCALE	誤差(%)	BSEL	BSCALE	誤差(%)		BSEL	BSCALE	誤差(%)	BSEL	BSCALE	誤差(%)
2400	12	6	0.2	12	7	0.2	460.8k	27	-3	-0.8	31	-2	-0.8
4800	12	5	0.2	12	6	0.2		107	-5	-0.1	123	-4	-0.1
9600	12	4	0.2	12	5	0.2	921.6k	19	-4	-0.8	27	-3	-0.8
14400	34	2	0.8	34	3	0.2		75	-6	-0.1	107	-5	-0.1
	138	0	-0.1	138	1	-0.1	1.382M	7	-4	0.6	15	-3	0.6
19200	12	3	0.2	12	4	0.2		57	-7	0.1	121	-6	0.1
28800	34	1	-0.8	34	2	-0.8	1.843M	3	-5	-0.8	19	-4	-0.8
	137	-1	-0.1	138	0	-0.1		11	-7	-0.1	75	-6	-0.1
38400	12	2	0.2	12	3	0.2	2.0M	0	0	0.0	1	0	0.0
57600	34	0	-0.8	34	1	-0.8	2.304M	-	-	-	3	-2	-0.8
	135	-2	-0.1	137	-1	-0.1		-	-	-	47	-6	-0.1
76800	12	1	0.2	12	2	0.2	2.5M	-	-	-	19	-4	0.4
115.2k	33	-1	-0.8	34	0	-0.8		-	-	-	77	-7	-0.1
	131	-3	-0.1	135	-2	-0.1	3.0M	-	-	-	11	-5	-0.8
230.4k	31	-2	-0.8	33	-1	-0.8		-	-	-	43	-7	-0.2
							4.0M	-	-	-	0	0	0.0
							最高速	2.0Mbps			4.0Mbps		

19.10. 主装置SPI動作でのUSART

主装置SPI動作でUSARTを使用するには送信部の許可が必要です。受信部は直列入力として扱うために任意選択で許可にできます。XCKピンは転送クロックとして使用されます。

USARTでのようにデータ転送はデータ(DATA)レジスタへの書き込みによって開始されます。送信部が転送クロックを制御するので、これは送受信データの両方に対する場合です。DATAに書かれたデータはシフトレジスタが新しい構造体を送る準備が整った時に送信緩衝部からシフトレジスタへ移動されます。

主装置SPI動作で使用される送受信割り込み要求フラグと対応するUSART割り込みは通常のUSART動作での使用と機能的に同じです。受信部異常状態フラグは未使用で常に0として読めます。

主装置SPI動作でのUSART送信部または受信部の禁止は通常のUSART動作でのそれらの禁止と同じです。

19.11. USART SPIとSPIの比較

主装置SPI動作でのUSARTは以下に於いて独立したSPI部署と完全な互換性があります。

- タイミング図が同じ
- クロック位相選択(UCPHA)ビットはSPIの動作種別0(MODE0)ビットのそれと機能的に同じです。
- データ順選択(UDORD)ビットはSPIのデータ順選択(DORD)ビットのそれと機能的に同じです。

USARTが主装置SPI動作に設定されると、形態設定と使い方は独立したSPI部署のそれらといくつかの場合で異なります。加えて、以下の違いが存在します。

- 主装置SPI動作でのUSART送信部は緩衝処理を含みます。SPI部署は送信緩衝部を持ちません。
- 主装置SPI動作でのUSART受信部は追加の緩衝段を含みます。
- 主装置SPI動作でのUSARTはSPIの上書き発生(WRCOL)ビット(書き込み衝突)機能を含みません。
- 主装置SPI動作でのUSARTはSPIの倍速許可(CLK2X)ビット(倍速動作機能)を含みませんが、これはそれに応じてボーレート発生器を形態設定することによって達成することができます。
- 割り込みタイミングが互換ではありません。
- 主装置SPI動作でのUSARTが主装置動作だけのため、ピン制御が異なります。

主装置SPI動作でのUSARTとSPIでのピンは表19-6.で示されます。

表19-6. 主装置SPI動作でのUSARTとSPIのピン比較

USART	SPI	注釈
TXD	MOSI	主装置出力のみ
RXD	MISO	主装置入力のみ
XCK	SCK	(機能的に同一)
該当なし	SS	主装置SPI動作でのUSARTで未支援

19.12. 複数プロセッサ通信動作

複数プロセッサ通信動作(MPCM)は同一直列バス経由で複数マイクロコントローラの通信を持つシステムで、受信部によって扱われなければならない到着構造体数を効果的に減らします。この動作では構造体がアドレスまたはデータのどちらかを示すために構造体内の専用ビットが使用されます。

受信部が5～8データビットを含む構造体受信に初期設定されるなら、最初の停止ビットが構造体形式を示すのに使用されます。受信部が9データビットの構造体に初期設定されるなら、第9ビットが使用されます。構造体形式(最初の停止または第9)ビットが1のとき、その構造体はアドレスを含みます。構造体形式ビットが0のとき、その構造体はデータ構造体です。5～8ビットデータ構造体を使用される場合、最初の停止ビットが構造体形式を示すのに使用されるので、送信部は2停止ビット使用に設定されなければなりません。

特定の従装置MCUがアドレス指定されたなら、そのMCUは後続するデータ構造体を通常のように受信し、一方他の従装置MCUは別のアドレス構造体が受信されるまで構造体を無視します。

19.12.1. 複数プロセッサ通信動作の使い方

複数プロセッサ通信動作でデータを交換するために次の手順が使用されるべきです。

1. 全ての従装置MCUは複数プロセッサ通信動作です(MPCM=1)。
2. 主装置MCUはアドレス構造体を送り、全ての従装置がこの構造体を受信して読みます。
3. 各従装置MCUは選択されたかを判定します。
4. アドレス指定されたMCUはMPCMを禁止して全てのデータ構造体を受信します。他の従装置CPUはデータ構造体を無視します。
5. アドレス指定されたMCUが最終データ構造体を受信すると、MPCMを再び許可して主装置からの新しいアドレス構造体を待たなければなりません。

その後、手順は2.からを繰り返します。

5～8ビットデータ構造体構成のどれかの使用は、受信側がnとn+1ビットデータ構造体構成の使用を切り替えなければならないため非実用的です。これは送信側と受信側が同じデータ長設定を使用しなければならないので、全二重動作を困難にします。

19.13. 赤外線通信(IRCOM)動作

IRCOM動作はUSARTと共にIRCOM部署の使用を許可されることで行えます。これは115.2kbpsまでのボーレートに対してIrDA1.4適合の変調と復調を可能にします。IRCOM動作が許可されると、USARTに対して倍速動作は使用できません。

複数のUSARTを持つデバイスについてはIRCOMが同時に1つのUSARTに対してだけ許可することができます。詳細については164頁の「IRCOM - 赤外線通信部署」を参照してください。

19.14. レジスタ説明

19.14.1. DATA – データレジスタ (Data register)

ビット	7	6	5	4	3	2	1	0	
+\$00	RXB7~0 TXB7~0								DATA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

USART送信データ緩衝(TXB)レジスタとUSART受信データ緩衝(RXB)レジスタは同じI/Oアドレスを共用し、USARTデータレジスタ(DATA)として参照されます。TXBレジスタはDATAレジスタ位置に書かれるデータの転送先です。DATAレジスタ位置読み込みはRXBレジスタの内容を返します。

5〜7ビットデータに関しては上位未使用ビットが送信部によって無視され、受信部によって0に設定されます。

送信緩衝部は状態(STATUS)レジスタのデータレジスタ空きフラグ(DREIF)が設定(1)されている時にだけ書くことができます。DREIFフラグが設定(1)されていない時にDATAレジスタへ書かれたデータはUSART送信部によって無視されます。送信部が許可されてデータが送信緩衝部へ書かれると、送信部はシフトレジスタが空の時にデータを送信シフトレジスタへ格納します。その後データはTxDピンで送信されます。

受信緩衝部は2段のFIFOから成ります。受信緩衝部の正しい状態を得るため、常にDATAに先行してSTATUSを読んでください。

19.14.2. STATUS – 状態レジスタ (Status register)

ビット	7	6	5	4	3	2	1	0	
+\$01	RXCIF	TXCIF	DREIF	FERR	BUFOVF	PERR	–	RXB8	STATUS
Read/Write	R	R/W	R	R	R	R	R	R/W	
初期値	0	0	1	0	0	0	0	0	

● ビット7 – RXCIF : 受信完了割り込み要求フラグ (Receive Complete Interrupt Flag)

このフラグは受信緩衝部内に未読データがある時に設定(1)され、受信緩衝部が空の(換言すると何れの未読データも含まない)時に解除(0)されます。受信部が禁止されると、受信緩衝部は破棄され、その結果としてRXCIFが0になります。

● ビット6 – TXCIF : 送信完了割り込み要求フラグ (Transmit Complete Interrupt Flag)

このフラグは送信シフトレジスタの構造体全体がシフト出力され、送信緩衝部(DATA)内に新しいデータがない時に設定(1)されます。TXCIFは送信完了割り込みベクタが実行される時、自動的に解除(0)されます。このフラグはこのビット位置への1書き込みによっても解除(0)できます。

● ビット5 – DREIF : データレジスタ空割り込み要求フラグ (Data Register Empty Flag)

DREIFは送信緩衝部(DATA)が新しいデータを受け取る準備が整っているかを示します。このフラグは送信緩衝部が空の時に1で、シフトレジスタ内へ未だ移動されていない送信されるべきデータを送信緩衝部が含む時に0です。DREIFは送信部準備完了を示すためにリセット後に設定(1)されます。

DREIFはDATA書き込みによって解除(0)されます。割り込み駆動データ送信が使用される時、データレジスタ空割り込み処理ルーチンはDREIFを解除(0)するためにDATAに新しいデータを書くか、またはデータレジスタ空割り込みを禁止しなければなりません。そうしなければ、現在の割り込みからの復帰直後に新しい割り込みが起きます。

● ビット4 – FERR : 構造体異常フラグ (Frame Error)

FERRフラグは受信緩衝部に格納された読み込み可能な次の構造体の最初の停止ビットの状態を示します。このビットは受信したデータが構造体異常を持つ、換言すると、最初の停止ビットが0だった場合に設定(1)され、受信したデータの停止ビットが1の時に解除(0)されます。このビットは受信緩衝部が読まれるまで有効です。それが最初の停止ビットだけを使用するので、FERRは使用する停止ビット設定によって影響を及ぼされません。STATUSレジスタを書く時、常にこのビット位置に0を書いてください。

このフラグは主装置SPI動作形態で使用されません。

● ビット3 – BUFOVF : 緩衝部溢れフラグ (Buffer Overflow)

このフラグは受信緩衝部満杯状態のためのデータ損失を示します。このフラグは緩衝部溢れ状態が検出される場合に設定(1)されます。緩衝部溢れは受信緩衝部が満杯(2データ)で、新しいデータが受信シフトレジスタで待機中で、且つ新しい開始ビットが検出される時に起きます。このフラグは受信緩衝部(DATA)が読まれるまで有効です。STATUSレジスタを書く時は常にこのビット位置に0を書いてください。

このフラグは主装置SPI動作形態で使用されません。

● ビット2 – PERR : パリティ異常フラグ (Parity Error)

パリティ検査が許可され、受信緩衝部の次のデータがパリティ異常を持つ場合に、このフラグが設定(1)されます。パリティ検査が許可されていないならば、このフラグは常に0として読めます。このフラグは受信緩衝部(DATA)が読まれるまで有効です。STATUSレジスタを書く時、常にこのビット位置に0を書いてください。パリティ計算の詳細については153頁の「パリティビット計算」を参照してください。

このフラグは主装置SPI動作形態で使用されません。

●ビット1 – 予約 (Reserved)

このビットは予約されており、常に0として読めます。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

●ビット0 – RXB8 : 受信ビット8 (Receive Bit 8)

RXB8は第9データビットを持つ直列構造体での動作時に受信したデータの第9データビットです。使用時、このビットはDATAレジスタから下位ビットを読む前に読まなければなりません。

このフラグは主装置SPI動作形態で使用されません。

19.14.3. CTRLA – 制御レジスタA (Control register A)

ビット	7	6	5	4	3	2	1	0	
+\$03	–	–	RXCINTLVL1,0	TXCINTLVL1,0	TXCINTLVL1,0	TXCINTLVL1,0	DREINTLVL1,0	DREINTLVL1,0	CTRLA
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7,6 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

●ビット5,4 – RXCINTLVL1,0 : 受信完了割り込みレベル (Receive Complete Interrupt Level)

これらのビットは68頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選びます。許可した割り込みは状態(STATUS)レジスタの受信完了割り込み要求フラグ(RXCIF)が設定(1)される時に起動されます。

●ビット3,2 – TXCINTLVL1,0 : 送信完了割り込みレベル (Transmit Complete Interrupt Level)

これらのビットは68頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選びます。許可した割り込みは状態(STATUS)レジスタの送信完了割り込み要求フラグ(TXCIF)が設定(1)される時に起動されます。

●ビット1,0 – DREINTLVL1,0 : データレジスタ空割り込みレベル (USART Data Register Empty Interrupt Level)

これらのビットは68頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選びます。許可した割り込みは状態(STATUS)レジスタのデータレジスタ空割り込み要求フラグ(DREIF)が設定(1)される時に起動されます。

19.14.4. CTRLB – 制御レジスタB (Control register B)

ビット	7	6	5	4	3	2	1	0	
+\$04	–	–	–	RXEN	TXEN	CLK2X	MPCM	TXB8	CTRLB
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7~5 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

●ビット4 – RXEN : 受信許可 (Receiver Enable)

このビットの設定(1)がUSART受信部を許可します。受信部は許可された時にRxDピンに対する標準ポート動作を無効にします。受信部の禁止(RXENの0書き込み)は受信緩衝部を破棄して構造体異常(FERR)、緩衝部溢れ(BUFOVF)、パリティ異常(PERR)のフラグを無効にします。

●ビット3 – TXEN : 送信許可 (Transmitter Enable)

このビットの設定(1)がUSART送信部を許可します。送信部は許可された時にTxDピンに対する標準ポート動作を無効にします。送信部の禁止(TXENの0書き込み)は実行中と保留中の送信が完了される、換言すると送信シフトレジスタと送信緩衝レジスタが送信すべきデータを含まない時まで有効になりません。禁止時、送信部はもはやTxDピンを無効にしません。

●ビット2 – CLK2X : 倍速動作 (Double Transmission Speed)

このビットの設定(1)はボーレート分周器の分周数を16から8に減らし、非同期通信動作に対して転送速度を効果的に倍にします。同期動作に対しては、このビットが無効で、常に0として読めます。このビットはUSART通信動作種別がIRCOMに形態設定されている時に0でなければなりません。

このビットは主装置SPI動作形態で使用されません。

●ビット1 – MPCM : 複数プロセッサ通信動作 (Multi-processor Communication Mode)

このビットは複数プロセッサ通信動作を許可します。MPCMビットが1を書かれると、USART受信部はアドレス情報を含まない到着構造体全てを無視します。送信部はMPCM設定によって影響を及ぼされません。より多くの詳細情報については158頁の「複数プロセッサ通信動作」をご覧ください。

このビットは主装置SPI動作形態で使用されません。

●ビット0 – TXB8 : 送信ビット8 (Transmit Bit 8)

TXB8は第9データビットを持つ直列構造体で動作する時に送信されるべきデータの第9データビットです。使用時、このビットはDATAレジスタへ下位ビットが書かれる前に書かれなければなりません。

このビットは主装置SPI動作形態で使用されません。

19.14.5. CTRLC – 制御レジスタC (Control register C)

ビット	7	6	5	4	3	2	1	0	
+\$05	CMODE1,0		PMODE1,0		SBMODE	CHSIZE2~0			CTRLC
	CMODE1,0		–	–	–	UDORD	UCPHA	–	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	1	1	0	

注: 下段は主装置SPI動作での機能です。

●ビット7,6 – CMODE1,0 : 通信動作種別 (Communication Mode)

これらのビットは表19-7.で示されるようにUSARTの動作種別を選びます。

表19-7. CMODEビット設定

CMODE1,0	群形態設定	動作種別
0 0	ASYNCHRONOUS	非同期USART
0 1	SYNCHRONOUS	同期USART
1 0	IRCOM	赤外線通信(IRCOM) (注1)
1 1	MSPI	主装置SPI (注2)

注1: IRCOM動作使用の完全な記述については164頁の「IRCOM – 赤外線通信部署」をご覧ください。

注2: 主装置SPI動作の完全な記述については157頁の「主装置SPI動作でのUSART」をご覧ください。

●ビット5,4 – PMODE1,0 : パリティ動作種別 (Parity Mode)

これらのビットは表19-8.に従ってパリティ生成の形式の許可と設定を行います。許可時、送信部は各構造体内の送信すべきデータビットのパリティを自動的に生成して送出します。受信部は到着データに対してパリティ値を生成し、それをPMODE設定と比較して、不一致が検出された場合に状態(STATUS)レジスタのパリティ異常(PE)フラグが設定(1)されます。

これらのビットは主装置SPI動作で使用されません。

表19-8. PMODEビット設定

PMODE1,0	群形態設定	パリティ動作種別
0 0	DISABLED	禁止
0 1	–	(予約)
1 0	EVEN	偶数パリティ許可
1 1	ODD	奇数パリティ許可

●ビット3 – SBMODE : 停止ビット種別 (Stop Bit Mode)

このビットは表19-9.に従って送信部で挿入される停止ビット数を選びます。受信部はこの設定を無視します。

このビットは主装置SPI動作形態で使用されません。

表19-9. SBMODEビット設定

SBMODE	停止ビット
0	1
1	2

●ビット2~0 – CHSIZE2~0 : データ量 (Character Size)

CHSIZE2~0ビットは表19-10.に従って構造体内のデータビット数を設定します。送受信部が同じ設定を使用します。

表19-10. CHSIZEビット設定

CHSIZE2~0	群形態設定	データ長
0 0 0	5BIT	5ビット
0 0 1	6BIT	6ビット
0 1 0	7BIT	7ビット
0 1 1	8BIT	8ビット
1 0 0	–	(予約)
1 0 1	–	(予約)
1 1 0	–	(予約)
1 1 1	9BIT	9ビット

●ビット2 – UDORD : データ順 (Data Order)

このビットは主装置SPI動作に対してだけ有効で、このビットは構造体形式を設定します。**1**書き込み時、データ語のLSBが最初に送信されます。**0**書き込み時、データ語のMSBが最初に送信されます。送受信部が同じ設定を使用します。UDORDの設定変更は送受信部両方に対して実行中の通信を不正にします。

●ビット1 – UCPHA : クロック位相 (Clock Phase)

このビットは主装置SPI動作に対してだけ有効で、このビットはデータがXCKの先行(先頭)端または後行(最終)端のどちらで採取されるのかを決めます。詳細については152頁の「主装置SPI動作クロック生成」を参照してください。

19.14.6. BAUDCTRLA – ボーレートレジスタA (Baud Rate register A)

ビット	7	6	5	4	3	2	1	0	
+\$06	BSEL7~0								BAUDCTRLA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7~0 – BSEL7~0 : ボーレート (Baud Rate bits)

これらはUSARTボーレート設定に使用される12ビットのBSEL値の下位8ビットです。BAUDCTRLBが上位4ビットを含みます。ボーレートが変更された場合、送受信部による実行中の転送が不正にされます。BSEL書き込みがボーレート前置分周器更新を直ちに起動します。151頁の表19-1.の式をご覧ください。

19.14.7. BAUDCTRLB – ボーレートレジスタB (Baud Rate register B)

ビット	7	6	5	4	3	2	1	0	
+\$07	BSCALE3~0				BSEL11~8				BAUDCTRLB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7~4 – BSCALE3~0 : ボーレート倍率 (Baud Rate Scale factor)

これらのビットはボーレート発生器倍率を選択します。倍率は-7(**1001**)~+7(**0111**)の2の補数で与えられます。-8(**1000**)設定は予約されています。151頁の表19-1.の式をご覧ください。

●ビット3~0 – BSEL11~8 : ボーレート (Baud Rate bits)

これらはUSARTボーレート設定に使用される12ビットのBSEL値の上位4ビットです。**BAUDCTRLA**がUSARTボーレートの下位8ビットを含みます。ボーレートが変更された場合、送受信部による実行中の転送が不正にされます。BAUDCTRLA書き込みがボーレート前置分周器更新を直ちに起動します。

19.15. レジスタ要約

19.15.1. レジスタ要約 – USART

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$07	BAUDCTRLB	BSCALE3~0				BSEL11~8				162
+\$06	BAUDCTRLA	BSEL7~0								162
+\$05	CTRLC	CMODE1,0		PMODE1,0		SBMODE		CHSIZE2~0		161
+\$04	CTRLB	－	－	－	RXEN	TXEN	CLK2X	MPCM	TXB8	160
+\$03	CTRLA	－	－	RXCINTLVL1,0		TXCINTLVL1,0		DREINTLVL1,0		160
+\$02	予約	－	－	－	－	－	－	－	－	
+\$01	STATUS	RXCIF	TXCIF	DREIF	FERR	BUFOVF	PERR	－	RXB8	159
+\$00	DATA	DATA7~0								159

19.15.2. レジスタ要約 – 主装置SPI動作でのUSART

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$07	BAUDCTRLB	BSCALE3~0				BSEL11~8				162
+\$06	BAUDCTRLA	BSEL7~0								162
+\$05	CTRLC	CMODE1,0		－	－	－	UDORD	UCPHA	－	161
+\$04	CTRLB	－	－	－	RXEN	TXEN	－	－	－	160
+\$03	CTRLA	－	－	RXCINTLVL1,0		TXCINTLVL1,0		DREINTLVL1,0		160
+\$02	予約	－	－	－	－	－	－	－	－	
+\$01	STATUS	RXCIF	TXCIF	DREIF	－	－	－	－	－	159
+\$00	DATA	DATA7~0								159

19.16. 割り込みベクタ要約

変位	記述例	割り込み内容
\$00	RXC_vect	USART受信完了割り込みベクタ
\$02	DRE_vect	USARTデータレジスタ空き割り込みベクタ
\$04	TXC_vect	USART送信完了割り込みベクタ

20. IRCOM – 赤外線通信部署

20.1. 要点

- 赤外線通信用パルス変調/復調
- 115.2kbpsまでのボーレートに対してIrDA適合
- 選択可能なパルス変調方式
 - 3/16ボーレート周期
 - 固定パルス周期、設定可能な8ビット
 - パルス変調禁止
- 組み込み濾波
- 何れかのUSARTへ接続可能(USARTによる使用)

20.2. 概要

XMEGAデバイスは15.2kbpsまでのボーレートに対してIrDA適合の赤外線通信部署です。これはUSARTに対して赤外線パルスの符号化と復号を可能とするためにどのUSARTにも接続することができます。

IRCOMはUSARTが赤外線通信(IRCOM)動作に設定されると、自動的に許可されます。そしてUSARTとRxD/TxDピン間の信号は図20-1.で示すようにこの部署を通して配線されます。TX/RXピン上のデータは送受信される赤外パルスの反転値です。これはIRCOM受信部に対する入力として事象システムからの事象チャンネルも選択することが可能です。これはUSARTピンからのRxD入力を禁止します。

送信については3つのパルス変調方式が利用可能です。

- 3/16ボーレート周期
- 周辺クロック周波数に基いた設定可能な固定パルス時間
- パルス変調禁止

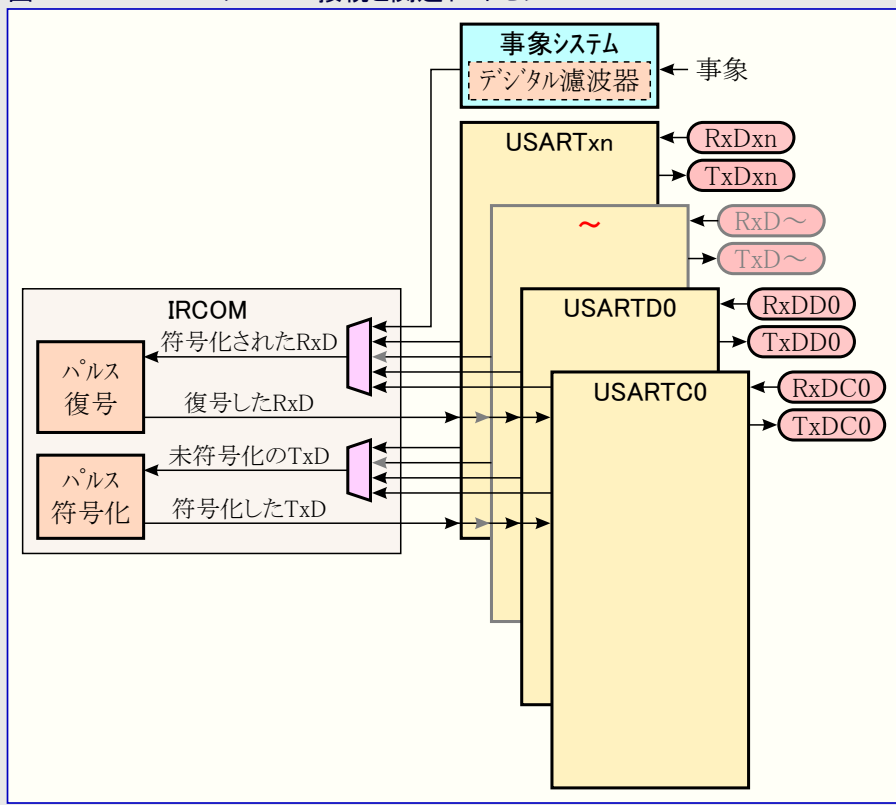
受信については論理0として復号されるべきパルスに対する定められた選択可能な最小Highレベルパルス幅が使用されます。そしてより短いパルスは破棄され、そのビットはパルスが全く受信されなかった場合に論理1に復号されます。

この部署は同時に1つのUSARTとの組み合わせでだけ使用でき、従ってIRCOM動作は同時に複数のUSARTに対して設定してはなりません。これは使用者ソフトウェアで保証しなければなりません。

20.2.1. 事象システムの濾波

事象システムが受信部入力として使用できます。これは対応するRxDピン以外のI/Oピンまたは供給元からの入力をIRCOMまたはUSARTに許します。事象システム入力に許可された場合、USARTのRxDピンからの入力は自動的に禁止されます。事象システムは事象チャンネルにデジタル濾波器(DIF)を持ち、濾波するために使用することができます。事象システムの使い方については34頁の「[事象システム](#)」を参照してください。

図20-1. USARTへのIRCOM接続と関連ポートピン



20.3. レジスタ説明

20.3.1. CTRL – 制御レジスタ (Control register)

ビット +\$00	7	6	5	4	3	2	1	0	
	–	–	–	–	EVSEL3~0				CTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3~0 – EVSEL3~0: 事象チャネル選択 (Event Channel Selection)

これらのビットは表20-1に従ってIRCOM受信部に対する事象チャネル元を選びます。IRCOM受信部に対して事象入力を選択された場合、USARTのRxDピンからの入力は自動的に禁止されます。

表20-1. 事象チャネル選択

EVSEL3~0	群形態設定	内容
0 0 0 0	–	なし
0 0 0 1	–	(予約)
0 0 1 0	–	(予約)
0 0 1 1	–	(予約)
0 1 0 0	–	(予約)
0 1 0 1	–	(予約)
0 1 1 0	–	(予約)
0 1 1 1	–	(予約)
1 n n n	CHn	事象システム チャネルn (n=0~3)

20.3.2. TXPLCTRL – 送信パルス長制御レジスタ (Transmitter Pulse Length Control register)

ビット +\$01	7	6	5	4	3	2	1	0	
	TXPLCTRL7~0								TXPLCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – TXPLCTRL7~0: 送信パルス長制御 (Transmitter Pulse Length Control)

この8ビット値は送信部に対するパルス変調方式を設定します。このレジスタ設定はUSARTでIRCOM動作が選択されていなければ無効です。

このレジスタ値を0のままにすることによって、3/16ボーレート周期パルス変調が使用されます。

この値の1~254設定は固定パルス長符号化を行います。この8ビット値はパルスに対する周辺クロック周期数を設定します。パルスの始めはボーレートクロックの上昇端に同期されます。

この値の255(\$FF)設定はパルス符号化を禁止し、送受信信号はIRCOM部署を無変化でそのまま通過します。これは半二重USART、行き戻し検査、事象チャネルからのUSART受信入力のような、IRCOM部署を通す他の機能を可能にします。

TXPLCTRLはUSART送信部が許可(TXEN)される前に形態設定されなければなりません。

20.3.3. RXPLCTRL – 受信パルス長制御レジスタ (Receiver Pulse Length Control register)

ビット +\$02	7	6	5	4	3	2	1	0	
	RXPLCTRL7~0								RXPLCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – RXPLCTRL7~0: 受信パルス長制御 (Receiver Pulse Length Control)

この8ビット値はIRCOM送受信部に対する濾波器係数を設定します。このレジスタ設定はUSARTでIRCOM動作が選択されていなければ無効です。

このレジスタ値を0のままにすることによって濾波が禁止されます。この値の1~255設定は濾波を許可し、そしてそれは受け入れるべきパルスに対して、この値+1に等しい採取を必要とします。

RXPLCTRLはUSART受信部が許可(RXEN)される前に形態設定されなければなりません。

20.4. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$02	RXPLCTRL					RXPLCTRL7~0				165
+\$01	TXPLCTRL					TXPLCTRL7~0				165
+\$00	CTRL	-	-	-	-	EVSEL3~0				165

21. CRC – 巡回冗長検査 (Cyclic Redundancy Check)

21.1. 要点

- 以下に対する巡回冗長検査(CRC)生成と検査
 - 通信データ
 - フラッシュメモリ内のプログラムまたはデータ
 - SRAMとI/Oメモリ空間内のデータ
- フラッシュメモリ、CPUとの統合
 - フラッシュメモリの全体または選択可能な範囲の自動CRC
 - CPUはI/Oインターフェースを通してデータをCRC生成器に設定可
- 以下にソフトウェア選択可能なCRC生成多項式
 - CRC-16 (CRC-CCITT)
 - CRC-32 (IEEE 802.3)
- 0剰余検出

21.2. 概要

巡回冗長検査(CRC)はデータ内の偶発的な誤りを見つけるのに使用される誤り検出技術調査算法で、これは一般的にデータ送信の正しさを決めるのに使用され、データはデータとプログラムのメモリ内に存在します。CRCは入力としてデータの流れまたはデータの塊を取り、データに追加してチェックサムとして使用することができる16ビットまたは32ビットの出力を生成します。同じデータが後で受信される、または読まれる時に、デバイスまたは応用が計算を繰り返します。新しいCRCの結果が先に計算されたものと一致しなければ、その塊はデータ誤りを含みます。そして応用はこれを検知し、再び送るべきデータの要求または単純に不正なデータを不使用のように、調整的な活動を取るかもしれません。

代表的に、任意長のデータ塊に適用されるnビットCRCはnビットよりも長くないどんな単一の連続誤り(データのnビットよりも多くに及ばないどんな単一の改変)も検出し、より長い全ての連続誤り分の $1-2^{-n}$ を検出します。XMEGAデバイスのCRC部署は一般的に使用される2つのCRC生成多項式、CRC-16(CRC=CCITT)とCRC-32(IEEE 802.3)を支援します。

● CRC-16:

生成多項式 : $X^{16}+X^{12}+X^5+1$

16進値 : \$1021

● CRC-32:

生成多項式 : $X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^8+X^7+X^5+X^4+X^2+X+1$

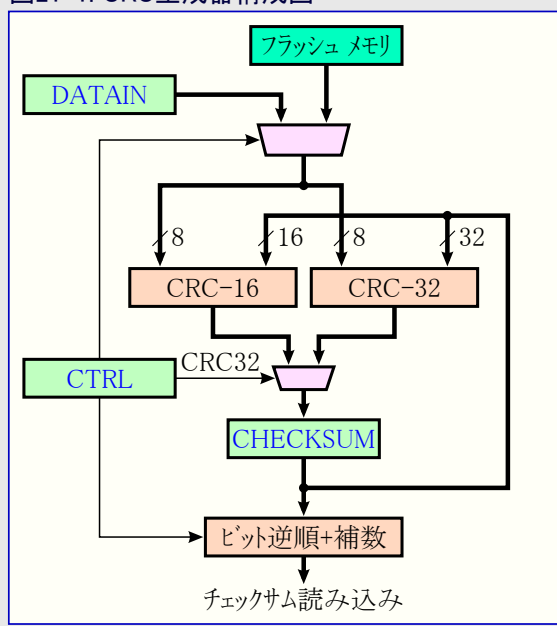
16進値 : \$04C11DB7

21.3. 動作

CRC部署に対するデータ元はフラッシュメモリまたはI/Oインターフェースのどちらかとしてソフトウェアで選ばなければなりません。そしてCRC部署は選択した供給元からデータ入力を取り、それらのデータをに基づいてチェックサムを生成します。チェックサムはCRC部署内の**チェックサム(CHECKSUM)レジスタ**で利用可能です。CRC-32生成多項式使用時、読まれた最終チェックサムはビット逆順にされて補数にされます(図21-1をご覧ください)。

I/Oインターフェースに対して、どちらのCRC生成多項式が使用されるかはソフトウェア選択可能ですが、既定設定はCRC-16です。供給元としてフラッシュメモリが選択された場合、自動的にCRC-32が使用されます。CRC部署はバイトでだけ動作します。

図21-1. CRC生成器構成図



21.4. フラッシュ メモリでのCRC

フラッシュ メモリ全体、応用領域だけ、ブート領域だけ、またはソフトウェアで選択可能なフラッシュ メモリの範囲でCRC-32計算を実行することができます。供給元としてフラッシュ メモリを選択すること以外、更なる全ての制御と構成設定はNVM制御器から行われます。これはNVM制御器がCRCを実行するメモリ範囲を形態設定し、CRCがNVM指令を用いて開始されることを意味します。一旦完了されると、結果はCRC部署の**チェックサム(CHECKSUM)レジスタ**で利用可能です。フラッシュ メモリでの構成設定とCRC実行の更なる詳細については[205頁の「メモリ プログラミング」](#)を参照してください。

21.5. I/Oインターフェースを用いるCRC

CPUを用いてCRC部署内にそれらを運ぶ、**データ入力(DATAIN)レジスタ**にデータを書くことによってどのデータでもCRCを実行することができます。この方法の使用で、CPUによって任意のバイト数をレジスタに書くことができ、CRCは各バイトに対して継続的行われます。新しいデータは各周期毎に書くことができます。CRC完了は**状態(STATUS)レジスタ**内の**多忙(BUSY)ビット**書き込みによって合図されます。

21.6. レジスタ説明

21.6.1. CTRL – 制御レジスタ (Control register)

ビット +\$00	7	6	5	4	3	2	1	0	
	RESET1,0		CRC32	–	SOURCE3~0				CTRL
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 – RESET1,0 : リセット (Reset)

これらのビットはCRC部署のリセットに使用され、これらは常に0として読めます。CRCレジスタはRESET1ビットが設定(1)された後の1周辺クロック周期でリセットします。

表21-1. CRCリセット

RESET1,0	群形態設定	内容
0 0	NO	リセットなし
0 1	–	(予約)
1 0	RESET0	CHECKSUMを全0でCRCをリセット
1 1	RESET1	CHECKSUMを全1でCRCをリセット

● ビット5 – CRC32 : CRC-32許可 (CRC-32 Enable)

このビットの設定(1)はCRC-16の代わりにCRC-32を許可します。これは多忙(BUSY)フラグが設定(1)されている間に変更することはできません。

● ビット4 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット3~0 – SOURCE3~0 : 入力元 (Input Source)

これらのビットはCRCを生成するための入力元を選びます。選択した供給元はCRC生成が完了されるか、またはCRC部署がリセットされるかのどちらかまで固定化されます。CRC生成完了はフラッシュメモリで使用された時に選択した供給元から合図されます。

表21-2. CRC供給元選択

SOURCE3~0	群形態設定	内容
0 0 0 0	DISABLE	CRC禁止
0 0 0 1	IO	I/Oインターフェース
0 0 1 0	FLASH	フラッシュメモリ
0 0 1 1	–	(将来の使用に予約)
0 1 0 0	–	(将来の使用に予約)
0 1 0 1	–	(将来の使用に予約)
0 1 1 x	–	(将来の使用に予約)
1 x x x	–	(将来の使用に予約)

21.6.2. STATUS – 状態レジスタ (Status register)

ビット +\$01	7	6	5	4	3	2	1	0	
	–	–	–	–	–	–	ZERO	BUSY	STATUS
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1 – ZERO : チェックサム0 (Checksum Zero)

このフラグはCRC生成完了時にチェックサム(CHECKSUM)レジスタが0の場合に設定(1)されます。これは新しいCRC供給元が選択された時に自動的に解除(0)されます。

CRC-32動作で(リトルエンディアンとして)パケットの最後でチェックサムを追加する時には、最終チェックサムが0ではなく\$2144DF1Cであるべきです。それがデータに(リトルエンディアンとして)追加される前にチェックサムが補数にされる場合、CHECKSUMレジスタ内の最終結果は0になるでしょう。

CHECKSUMの各種版を読み出すためにCHECKSUMの記述をご覧ください。

● ビット0 – BUSY : 多忙 (Busy)

このフラグは供給元形態設定が選択され、その供給元がCRC部署を使用する限り、**1**として読めます。供給元としてI/Oインターフェースが選択される場合、このフラグはこの位置に**1**を書くことによって解除(**0**)することができます。供給元としてフラッシュメモリが選択される場合、このフラグはCRC生成が完了された時に解除(**0**)されます。

21.6.3. DATAIN – データ入力レジスタ (Data Input register)

ビット	7	6	5	4	3	2	1	0	
+\$03	DATAIN7~0								DATAIN
Read/Write	W	W	W	W	W	W	W	W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – DATAIN7~0 : データ入力 (Data input)

このレジスタはCRCチェックサムが計算されるためのデータを格納するのに使用されます。DATAINレジスタが書かれた後の1クロック周期でチェックサム(CHECKSUM)レジスタは準備が整います。

21.6.4. CHECKSUM0 – チェックサム レジスタ0 (Checksum register 0)

CHECKSUM0, CHECKSUM1, CHECKSUM2, CHECKSUM3は生成されたCRC、16または32ビットのチェックサム(CHECKSUM)値を表します。レジスタは既定で0にリセットされますが、全ビットを**1**にリセットするように**CRCリセット(RESET)ビット**を書くことが可能です。CRC部署が禁止されている時にだけ、これらのレジスタを書くことが可能です。供給元として不揮発性メモリ(NVM)が選択される場合、CHECKSUMの読み込みは**多忙(BUSY)フラグ**が解除(**0**)されるまで0値を返します。CRC-32が選択され、BUSYフラグが解除(**0**)(換言すると、CRC生成が完了または中断)された場合、ビット逆順(ビット31がビット0と交換され、ビット30がビット1と、以下同様)と補数にされた結果がCHECKSUMから読めます。CRC-16が選択される、またはBUSYフラグが設定(**1**)される(換言すると、CRC生成が進行中の)場合、CHECKSUMは実際の内容を含みます。

ビット	7	6	5	4	3	2	1	0	
+\$04	CHECKSUM7~0								CHECKSUM0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – CHECKSUM7~0 : チェックサム7~0 (Checksum byte 0)

これらのビットは生成されたCRCの第1バイトを保持します。

21.6.5. CHECKSUM1 – チェックサム レジスタ1 (Checksum register 1)

ビット	7	6	5	4	3	2	1	0	
+\$05	CHECKSUM15~8								CHECKSUM1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – CHECKSUM15~8 : チェックサム15~8 (Checksum byte 1)

これらのビットは生成されたCRCの第2バイトを保持します。

21.6.6. CHECKSUM2 – チェックサム レジスタ2 (Checksum register 2)

ビット	7	6	5	4	3	2	1	0	
+\$06	CHECKSUM23~16								CHECKSUM2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – CHECKSUM23~16 : チェックサム23~16 (Checksum byte 2)

これらのビットは生成されたCRCの第3バイトを保持します。

21.6.7. CHECKSUM3 – チェックサム レジスタ3 (Checksum register 3)

ビット	7	6	5	4	3	2	1	0	
+\$07	CHECKSUM31~24								CHECKSUM3
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – CHECKSUM31~24 : チェックサム31~24 (Checksum byte 3)

これらのビットは生成されたCRCの第4バイトを保持します。

21.7. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$07	CHECKSUM3					CHECKSUM31~24				170
+\$06	CHECKSUM2					CHECKSUM23~16				170
+\$05	CHECKSUM1					CHECKSUM15~8				170
+\$04	CHECKSUM0					CHECKSUM7~0				170
+\$03	DATAIN					DATAIN7~0				170
+\$02	予約	-	-	-	-	-	-	-	-	
+\$01	STATUS	-	-	-	-	-	-	ZERO	BUSY	169
+\$00	CTRL	RESET1,0		CRC32		-	SOURCE3~0			169

22. ADC – A/D変換器

22.1. 要点

- 12ビット分解能
- 1秒当たり最大30万採取
 - 8ビット分解能で最小 $2.3\mu s$ の変換時間
 - 12ビット分解能で最小 $3.35\mu s$ の変換時間
- 差動とシングルエンドの入力
 - 最大16のシングルエンド入力
 - 16×4 種の利得なし差動入力
 - 16×4 種の利得付き差動入力
- 組み込み差動利得段
 - $1/2$ 倍、1倍、2倍、4倍、8倍、16倍、32倍、64倍の利得任意選択
- 単発、連続、走査の変換任意選択
- 3つの内部入力
 - 内部温度感知器
 - AVCCの $1/10$ の電圧
 - 1.1Vバンドギャップ電圧
- 内部及び外部の基準電圧任意選択
- 使用者定義閾値の正確な監視用の比較機能
- 任意選択の正確なタイミング用事象起動変換
- 任意選択の比較結果での割り込み/事象

22.2. 概要

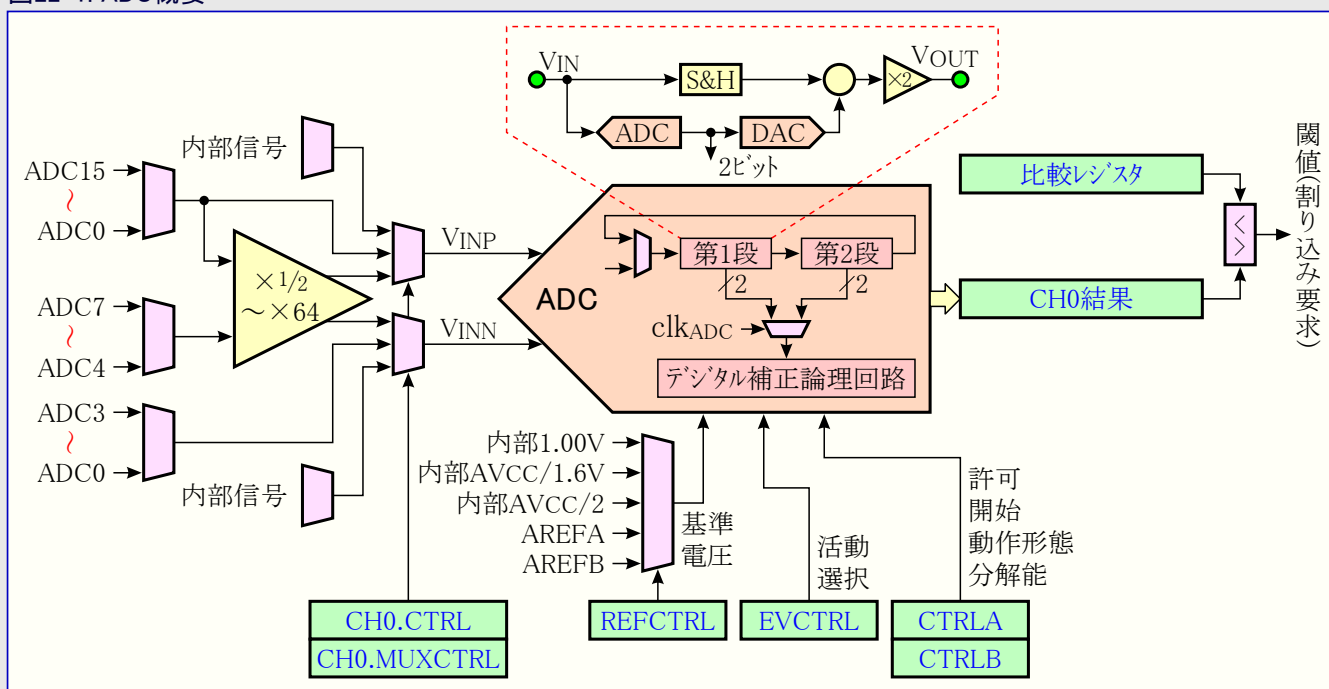
A/D変換器(ADC)はアナログ信号をデジタル値に変換します。ADCは12ビット分解能と秒当たり30万(300k)採取(SPS)までの変換能力を持ちます。入力選択は柔軟で、シングルエンドと差動の両方の測定を実行することができます。差動測定に対しては動態範囲を拡大するために任意選択の利得段が利用可能です。加えて多数の内部信号入力が利用可能です。ADCは符号付と符号なしの結果を提供できます。

ADC測定は応用ソフトウェアまたはデバイス内の別の周辺機能からやって来る事象のどちらかによって開始することができます。ADC測定はソフトウェアの介在なしで予め予測されたタイミングで開始することができます。

内部と外部の両方の基準電圧が使用できます。統合された温度感知器がADCとで利用可能です。AVCC/10とバンドギャップ電圧からの出力もADCによって測定することができます。

ADCは必要とされる最小のソフトウェア介在で使用者定義された閾値の正確な監視のための比較機能を持ちます。

図22-1. ADC概要



22.3. 入力元

入力元はADCが測定と変換を行える電圧入力です。4つの測定形式が選択できます。

- (利得なし)差動入力
- 利得付き差動入力
- シングルエンド入力
- 内部入力

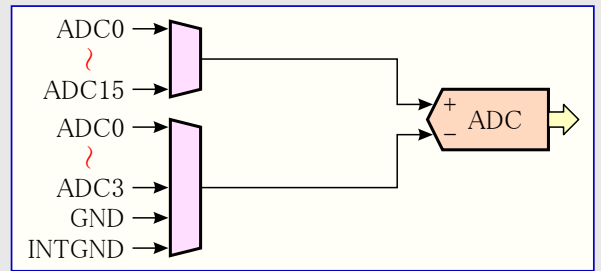
入力ピンはシングルエンドと差動の入力に使用され、一方内部入力はデバイスの内側で直接的に利用可能です。2つのADCを持つデバイスでは、PORTAピンがADCAへの入力にでき、PORTBピンがADCBへの入力にできます。1つだけのADCを持つデバイスについては、PORTAとPORTBの両方でADCに対して利用可能かもしれません。

ADCは差動で、故にシングルエンド測定については負入力が内部固定値に接続されます。4つの測定形式とそれらに対応する入力選択は図22-2.～174頁の図22-7.で示されます

22.3.1. 利得なし差動入力

差動入力が許可されると、全ての入力ピンは正入力として選択でき、入力ピン0～3は負入力として選択できます。差動入力を使用される時、ADCは符号付き動作(CONVMODE=1)でなければなりません。

図22-2. 利得なし差動測定

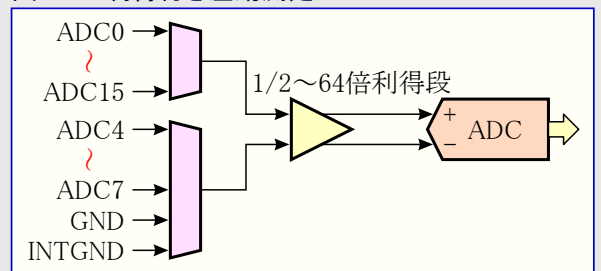


22.3.2. 利得付き差動入力

利得付き差動入力が許可されると、全ての入力ピンは正入力として選択でき、入力ピン4～7は負入力として選択できます。利得が許可されると、差動入力は最初に採取され、その結果が変換される前に利得段によって増幅されます。利得付き差動入力を使用される時、ADCは符号付き動作(CONVMODE=1)でなければなりません。

利得は1/2倍、1倍、2倍、4倍、8倍、16倍、32倍、64倍の利得が選択可能です。

図22-3. 利得付き差動測定



22.3.3. シングルエンド入力

シングルエンド測定については全ての入力ピンが入力として使用することができます。シングルエンド測定は符号付きと符号なしの両動作で行うことができます。

負入力は符号付き動作で内部GNDに接続されます。

符号なし動作では、負入力が基準電圧(VREF)の半分-固定変位に接続されます。この変位に対する公称値は以下です。

$$\Delta V = VREF \times 0.05$$

ADCが差動なので、入力範囲シングルエンド入力に対してVREFから0までです。変位はADCに対して符号なし動作での0交差測定を可能にし、デバイスの内部GNDが外部GNDよりも高い時の正の変位(オフセット)校正を許します。詳細については176頁の図22-11.をご覧ください。

図22-4. 符号付き動作でのシングルエンド測定

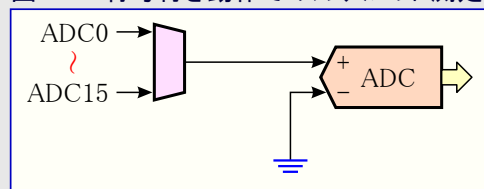
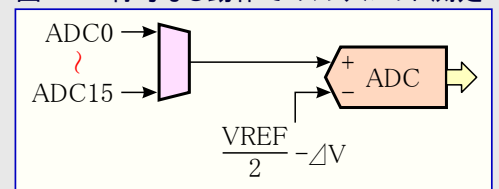


図22-5. 符号なし動作でのシングルエンド測定



22.3.4. 内部入力

これらの内部信号はADCによって測定または使用することができます。

- 温度感知器
- バンドギャップ電圧
- 縮尺AVCC
- パットと内部GND

温度感知器はデバイスの内部温度で直線的に増加する出力電圧を生じます。温度感知器からの温度を計算するのに1つ以上の校正点が必要とされます。温度感知器は製造検査で1点校正され、結果が製品識別票列内の温度感知器校正レジスタ(TEMPSENSE0とTEMPSENSE1)に格納されます。より多くの校正条件の詳細についてはデバイスのデータシートを参照してください。

バンドギャップ電圧は正確な内部電圧基準です。

VCCはADC入力の前で1/10して縮尺することによって直接測定することができます。従って、1.8VのVCCは0.18Vとして測定され、3.6VのVCCは0.36Vとして測定され、これはVCC電圧の容易な測定を許します。

内部信号はそれらが測定され得るのに先立って許可される必要があります。それらを許可する方法の詳細についてはそれらの手引書のバンドギャップに関する項を参照してください。内部信号に対する採取速度はADCのそれよりも遅くなります。詳細についてはデバイスのデータシート内のADC特性を参照してください。

差動測定に関し、負入力としてパットGND(GND)と内部GND(INTGND)を選択することができます。パットGNDはピン上のGNDレベルで、外部GNDと同じかまたは非常に近いものです。内部GNDはデバイス内部GNDレベルです。

符号付きシングルエンド動作で他の内部信号が測定される時に負入力として内部GNDが使用されます。

符号なし動作で内部信号を測定するため、負入力は下の式によって与えられる固定値に接続され、それは符号なしシングルエンド入力に対する負入力として、基準電圧(VREF)の半分-固定変位です。詳細については176頁の図22-11をご覧ください。

$$VINN = VREF/2 - \Delta V$$

図22-6. 符号付き動作での内部測定

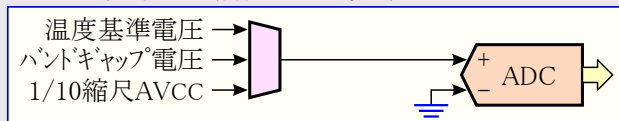
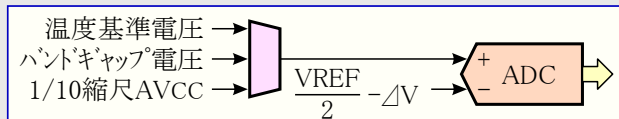


図22-7. 符号なし動作での内部測定



22.4. 採取時間制御

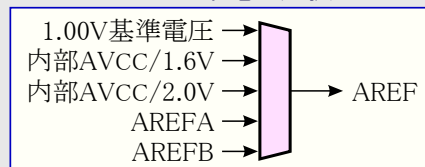
高インピーダンス供給元出力を持つ応用を支援するため、採取時間は最大64ADCクロック周期までADCクロック周期の半分の段階によって増加することができます。

22.5. 基準電圧選択

ADCに対する基準電圧(AREF)として以下の電圧が利用可能です。

- バンドギャップから生成された正確な内部1.00V電圧
- 内部AVCC/1.6V電圧
- 内部AVCC/2.0V電圧
- PORTAのAREFピンに印加された外部基準電圧
- PORTBのAREFピンに印加された外部基準電圧

図22-8. アナログ基準電圧選択



22.6. 変換結果

A/D変換の結果はチャンネル結果(RES)レジスタに書かれます。ADCは符号付きと符号なしのどちらかです。この設定はADCとADCチャンネルに対する全体設定です。

符号付き動作では、正と負の結果が生成されます。ADCチャンネルが差動測定に設定される時は符号付き動作が使用されなければなりません。符号なし動作ではシングルエンドまたは内部信号だけを測定することができます。12ビット分解能では符号付き結果のTOP値が2047で、結果は-2048~+2047(\$F800~\$07FF)の範囲です。

ADCの伝達関数は次のように書くことができます。

$$RES = \frac{VINP - VINN}{VREF} \times GAIN \times (TOP+1)$$

VINPとVINNはADCへの正入力と負入力です。

差動測定に関して利得(GAIN)は1/2~64です。シングルエンドと内部測定に関して、利得(GAIN)は常に1で、VINPは内部GNDです。

符号なし動作では、正の結果だけが生成されます。符号なしの結果のTOP値は4095で、結果は0~4095(\$0000~\$0FFF)の範囲です。

ADCの伝達関数は次のように書くことができます。

$$\text{RES} = \frac{\text{VINP} - (-\Delta V)}{\text{VREF}} \times (\text{TOP} + 1)$$

VINPはシングルエンドまたは内部の入力です。

ADCは8ビットまたは12ビットの結果のどちらかを生成するように形態設定することができます。より低い分解能での結果はより早く利用可能になります。伝播遅延の記述については「[ADCクロックと変換タイミング](#)」をご覧ください。

結果レジスタは右揃えされた16ビットとして格納される16ビット幅です。右揃えは下位8ビットが下位バイトで得られることを意味します。12ビットの結果は左揃えまたは右揃えのどちらかで表されます。左揃えは上位8ビットが上位バイトで得られることを意味します。

ADCが符号付き動作のとき、最上位ビットは符号ビットを表します。12ビット右揃え動作では、直接的な符号付き16ビット数値を作成するために符号ビット(ビット11)値がビット12～15に詰められます。8ビット動作では符号ビット(ビット7)値が上位バイト全体に詰められます。

図22-9.～図22-11.は差動入力任意選択、信号入力範囲、12ビット右揃え動作での結果表現を示します。

図22-9. (利得付き)符号付き差動入力、入力範囲、結果表現

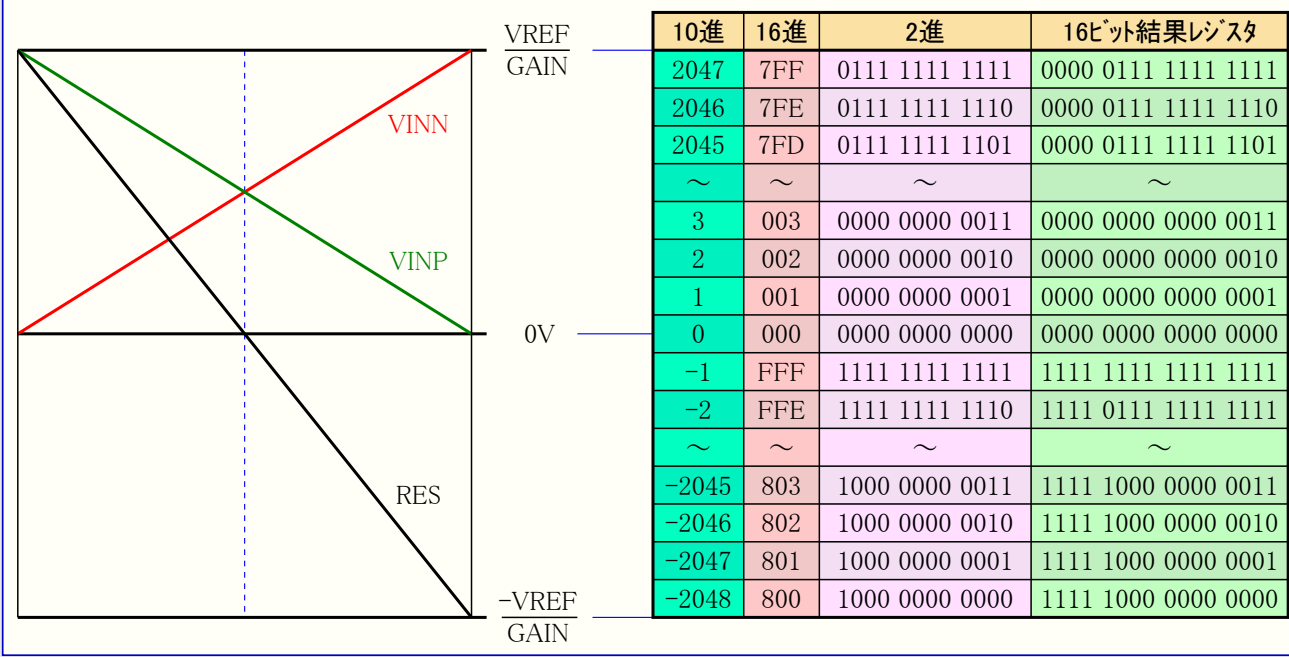


図22-10. 符号付きシングル エント 入力と内部入力、入力範囲、結果表現

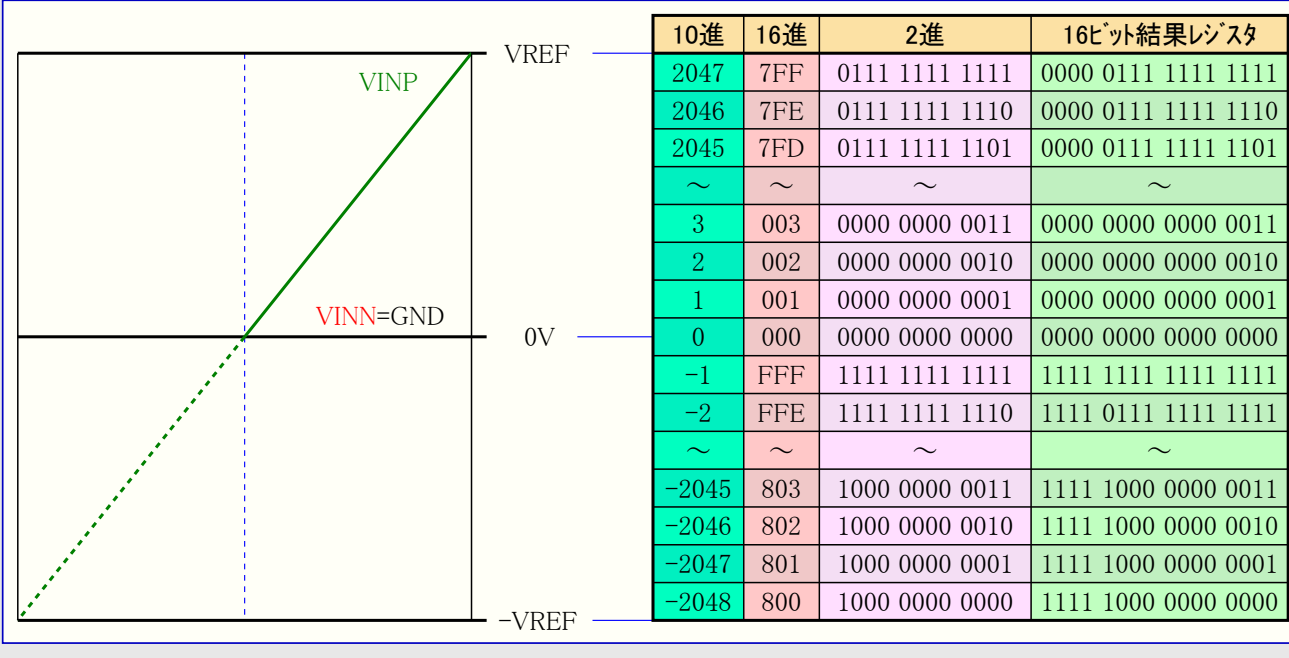
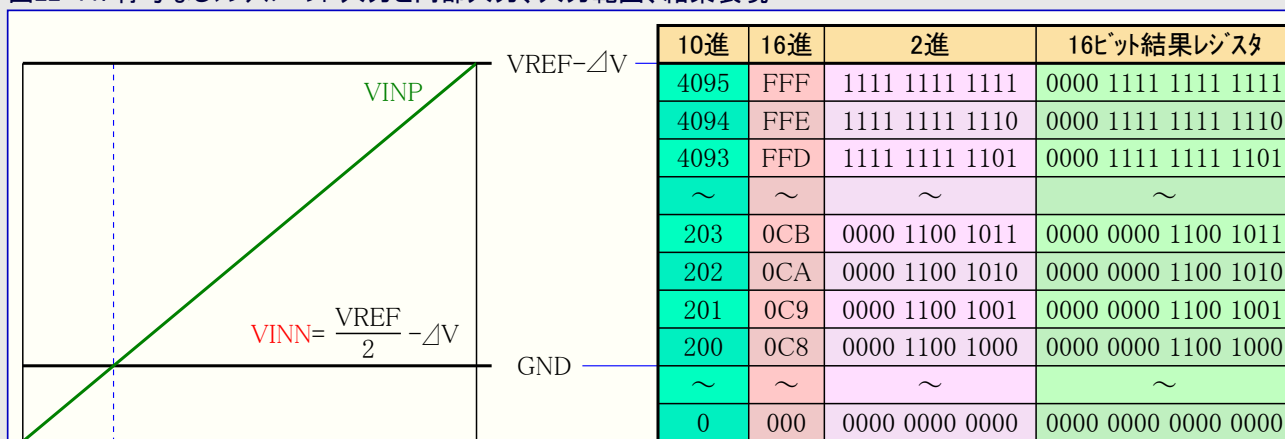


図22-11. 符号なしシングルエンド入力と内部入力、入力範囲、結果表現



22.7. 比較機能

ADCは組み込みの12ビット比較機能を持っています。ADC比較(CMP)レジスタは閾値電圧を表す12ビットを保持することができます。ADCチャネルは(比較)結果が閾値以上または以下の時にだけ割り込みまたは事象を生成するために、(変換)結果をこの比較値と自動的に比較するように形態設定することができます。

22.8. 変換の開始方法

変換が開始される前に入力元が選択されなければなりません。A/D変換は変換開始(START)ビットへのソフトウェア書き込みによって、または事象システムでのどれかの事象からのどちらからでも開始することができます。

22.8.1. 入力元走査

変換が開始される時に自動的に走査して測定される連続的な入力元の範囲を選択することが可能です。これは多重器制御レジスタ(MUXCTRL)を用いる最初(最低)の正ADCチャネル入力と連続的な正入力元数の設定によって行われます。変換が開始されると、選択された最初の入力元が測定/変換され、そして正入力選択はそれが走査のために指定された供給元数に達するまで各変換後に増やされます。

22.9. ADCクロックと変換タイミング

ADCは周辺クロックからクロック駆動されます。ADCの動作範囲内で応用の必要条件に合致するADCクロック(clkADC)を供給するために、ADCは周辺クロックを前置分周できます。

ADC測定の伝播遅延は次式によって与えられます。

$$\text{伝播遅延} = \frac{1 + \frac{\text{RESOLUTION}}{2} + \text{GAIN}}{f_{\text{ADC}}}$$

RESOLUTIONは分解能で8または12ビットです。利得段(GAIN)が使用された場合に、伝播遅延は追加ADCクロック周期によって増します。新規A/D変換は前の変換が完了されると直ぐに開始することができます。

結果の最上位ビット(MSB)が最初に変換され、残りのビットは次からの(8ビット結果に対して)3または(12ビット結果に対して)5周期の間に変換されます。1ビットの変換はADCクロック半周期かかります。最終周期の間で割り込み要求フラグが設定(1)される前に結果が準備されます。結果は読み出し用の結果レジスタで利用可能です。

22.9.1. 利得なし単独変換

次ページの図22-13は利得なしでの単独変換に関するADCタイミングを示します。変換開始ビットの書き込みまたは事象が起動する変換(START)は、(START起動元の赤色(訳注:原書は灰色)傾斜で示される)変換が始まるADCクロック周期の、最低1周辺クロック周期前に起きなければなりません。

入力元は最初の周期の前半で採取されます。

図22-12. ADC前置分周器

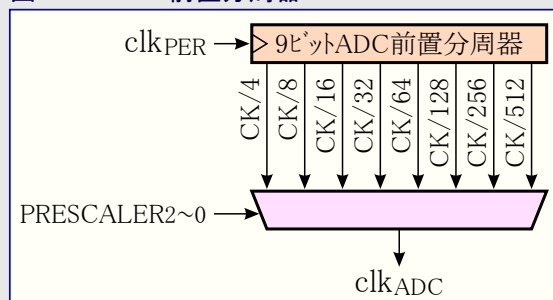


図22-13. 利得なしでの単独変換用ADCタイミング

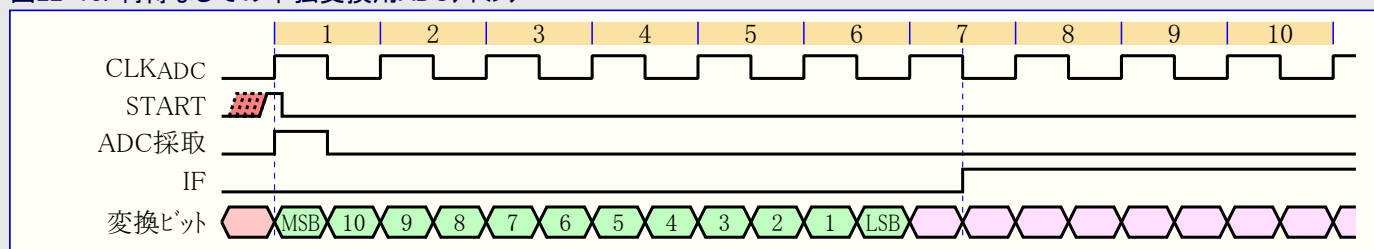
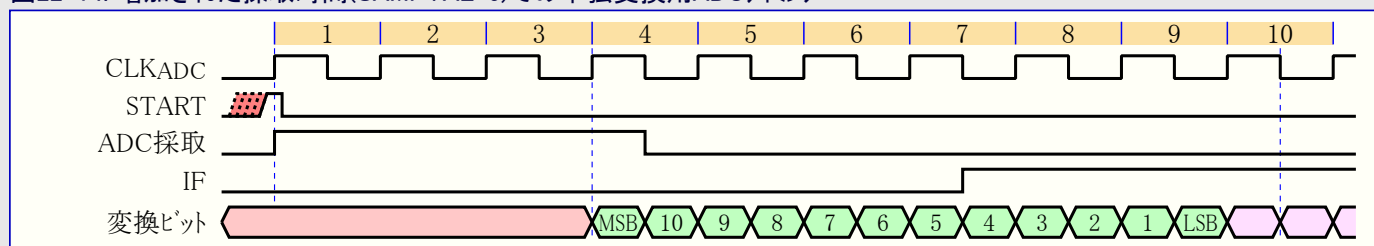


図22-14. 増加された採取時間(SAMPVAL=6)での単独変換用ADCタイミング



22.9.2. 利得付き単独変換

図22-15.～図22-17.は様々な利得設定での単独変換に関するADCタイミングを示します。172頁の「概要」で見られるように、利得段はADC内に組み込まれます。利得は変換無しのパイプライン段を通して信号を走らせることによって達成されます。利得なしでの単独変換と比べて、各2倍利得がADCクロック周期の半分を追加します。

図22-15. 2倍利得での単独変換用ADCタイミング

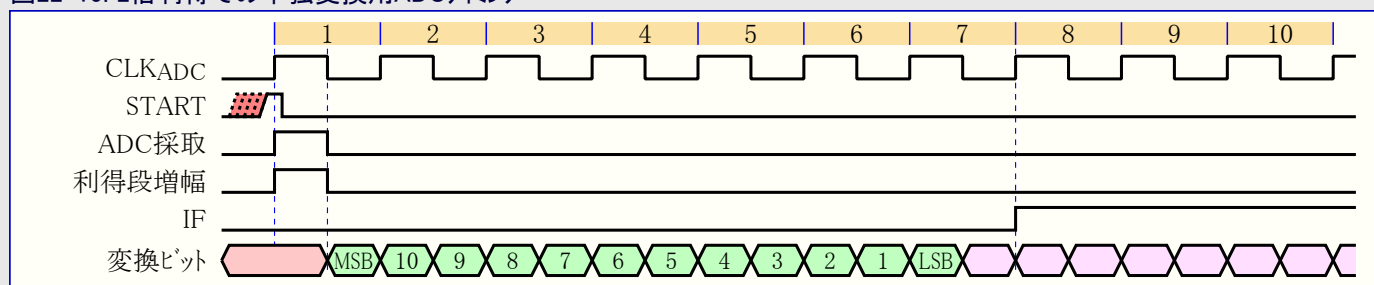


図22-16. 8倍利得での単独変換用ADCタイミング

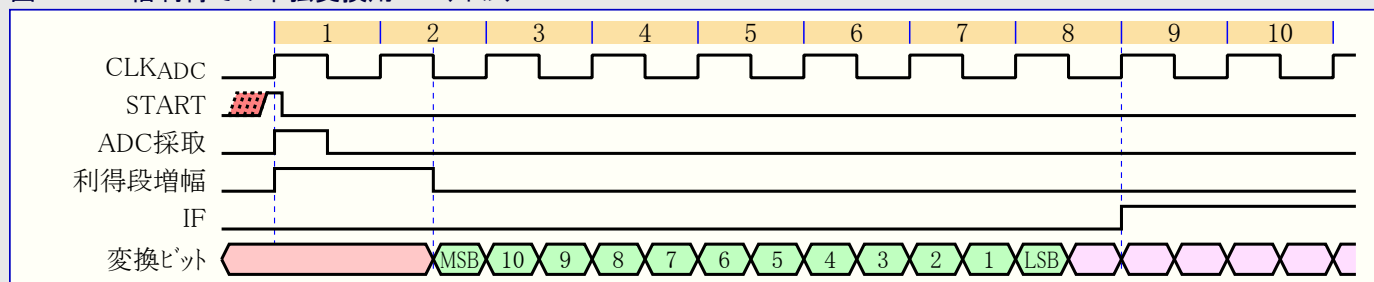
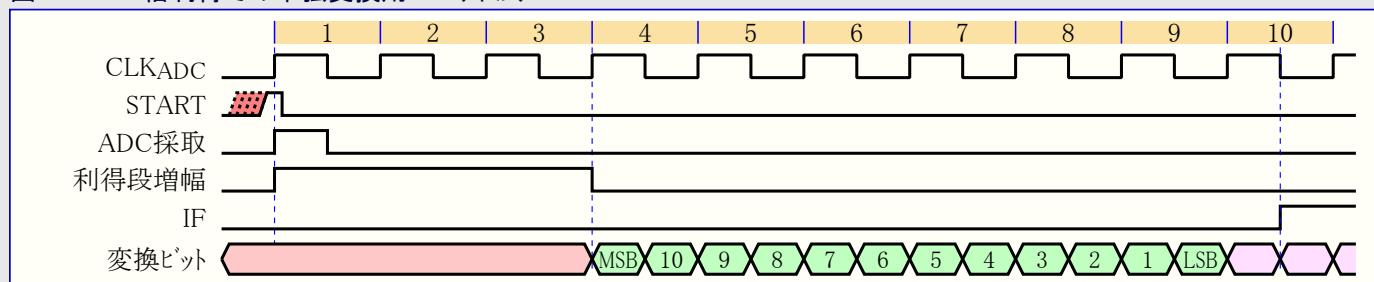


図22-17. 64倍利得での単独変換用ADCタイミング



22.10. ADC入力模式

入力電圧は最大精度を得るためにADC内の採取/保持(S/H)コンデンサを充電しなければなりません。外部的に見たADC入力が入力抵抗($R_{in}=R_{channel}+R_{switch}$)とS/Hコンデンサ(C_{sample})から成ります。図22-18.と図22-19.はADC入力チャネルを示します。

図22-18. シングル エンド測定用ADC入力

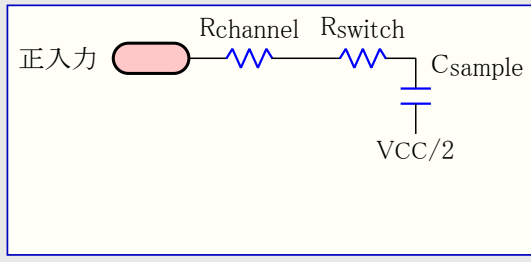
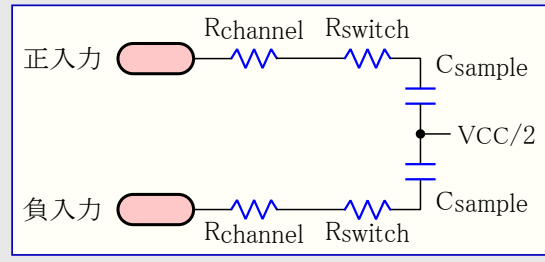


図22-19. (利得付き)差動測定用ADC入力



nビット精度を達成するために供給元出力抵抗(R_{source})はピンのADC入力よりも低くなければなりません。

$$R_{source} \leq \frac{T_s}{C_{sample} \times \ln(2^{n+1})} - R_{channel} - R_{switch}$$

ここでADC採取時間(T_s)は

$$T_s \leq \frac{1}{2 \times f_{ADC}}$$

によって与えられる0.5ADCクロック周期です。

$R_{channel}$, R_{switch} , C_{sample} の詳細についてはデバイスのデータシートでADCとADC利得段の電気的特性を参照してください。

22.11. 割り込みと事象

ADCは割り込み要求と事象を生成できます。ADCチャネルは個別の割り込み設定と割り込みベクタを持ちます。割り込み要求と事象はADC変換が完了する時、またはADC測定がADC比較レジスタ値より上または下の時に生成することができます。

22.12. 校正

ADCは組み込みの直線状校正を持ちます。ADC内の内部パイプラインを校正する組み込み校正機構を持っています。仕様の精度を達成するために、ソフトウェアで製造検査校正からの値が識別列からADC校正レジスタ内に格納されなければなりません。直線性の使用者校正は不要で、従って不可能です。変位(オフセット)と利得の校正はソフトウェアで行われなければなりません。

22.13. 同期採取

周辺クロックがADCクロックよりも速いので、ADC変換の開始は開始の起動または事象と実際の変換開始の間に未知の遅延が起き得ます。到着事象で直ちにADC変換を開始するために、全ての測定に対してADCを破棄し、ADCクロックをリセットして次の周辺クロック周期(それはその後の次のADCクロック周期でもある)で変換を開始することが可能です(FLUSH=1)。これが行われた場合、ADCの進行中の変換が失われます。

ADCはソフトウェアから、またはこれを自動的に実行可能、やってくる事象で破棄することができます。この機能が使用される時に、ADCが破棄されて次の変換が開始される前に1つの変換が終了することを保証するために、各変換開始起動間の時間は伝播遅延よりも長くなければなりません。

破棄を行う前に保留の事象やADC変換開始指令を解除することも重要です。そうしなければ、破棄後直ちに保留中の変換が開始します。

22.14. レジスタ説明 – ADC

22.14.1. CTRLA – 制御レジスタA (Control register A)

ビット	7	6	5	4	3	2	1	0	
+\$00	–	–	–	–	–	CH0START	FLUSH	ENABLE	CTRLA
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7～3 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット2 – CH0START : チャネル単独変換開始 (Channel Start Single Conversion)

このビットの設定(1)がADC変換を開始します。このビットは変換が開始される時にハードウェアによって解除(0)されます。このビットの(1)書き込みはADCチャネル制御(CTRL)レジスタ内のチャネル変換開始(START)ビットの(1)書き込みと等価です。

● ビット1 – FLUSH : パイプライン破棄 (Pipeline Flush)

このビットの設定(1)がADCを破棄します。これが行われると、進行中の変換が中止されて失われ、ADCクロックは次の周辺クロック端で再始動されます。

破棄及びADCクロック再開後、ADCは中断された処から再開、換言すると何れかの変換が保留中だった場合、それらがADC完了に至るでしょう。

● ビット0 – ENABLE : ADC許可 (ADC Enable)

このビットの設定(1)がADCを許可します。

22.14.2. CTRLB – 制御レジスタB (Control register B)

ビット	7	6	5	4	3	2	1	0	
+\$01	–	CURRLIMIT1,0		CONVMODE	FREERUN	RESOLUTION1,0		–	CTRLB
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット6,5 – CURRLIMIT1,0 : 電流制限 (Current Limitation)

これらのビットは最大ADC採取速度を減らすことによって、ADCの最大消費電流を制限するのに使用することができます。利用可能な設定は表22-1.で示されます。示された電流制限は公称値で、各設定に対する実際の電流制限についてはデバイスのデータシートを参照してください。

表22-1. ADC電流制限

CURRLIMIT1,0	群形態設定	内容
0 0	NO	電流制限なし
0 1	LOW	低電流制限、最大採取速度=225kSPS
1 0	MED	中電流制限、最大採取速度=150kSPS
1 1	HIGH	高電流制限、最大採取速度=75kSPS

● ビット4 – CONVMODE : 両極/単極変換 (Conversion Mode)

このビットはADCが符号付きまたは符号なしのどちらの動作で動くかを制御します。既定でのこのビットは解除(0)され、ADCは符号なし動作に形態設定されます。このビットが設定(1)されると、ADCは符号付き動作に形態設定されます。

● ビット3 – FREERUN : 連続動作 (Free Running Mode)

このビットはADCの連続(自由走行)動作を制御します。一旦変換が終わると、次の入力採取されて変換されます。

● ビット2,1 – RESOUSION1,0 : 分解能/整列 (Conversion Result Resolution)

これらのビットはADCが12ビットまたは8ビットのどちらの変換結果分解能で完了するかを制御します。これらは12ビットの結果が16ビットの結果レジスタで右または左のどちらの向きかも定義します。可能な設定については表22-2.をご覧ください。

表22-2. ADC変換結果分解能

RESOLUTION1,0	群形態設定	内容
0 0	12BIT	12ビット結果、右揃え
0 1	–	(予約)
1 0	8BIT	8ビット結果、右揃え
1 1	LEFT12BIT	12ビット結果、左揃え

●ビット0 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

22.14.3. REFCTRL – 基準電圧制御レジスタ (Reference Control register)

ビット	7	6	5	4	3	2	1	0	
+\$02	–	REFSEL2~0			–	–	BANDGAP	TEMPREF	REFCTRL
Read/Write	R	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

●ビット6~4 – REFSEL2~0 : 基準電圧選択 (Reference Selection)

これらのビットは表22-3に従ってADCに対する基準電圧を選びます。

表22-3. ADC基準電圧形態

REFSEL2~0	群形態設定	内容
0 0 0	INT1V	バンドギャップ(1.1V)の10/11(1.0V)
0 0 1	INTVCC	AVCC/1.6
0 1 0	AREFA	PORTAのAREFピンからの外部基準電圧
0 1 1	AREFB	PORTBのAREFピンからの外部基準電圧
1 0 0	INTVCC2	AVCC/2
1 0 1~1 1 1	–	(予約)

●ビット3,2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

●ビット1 – BANDGAP : バンドギャップ許可 (Bandgap Enable)

このビットの設定(1)はADC測定用バンドギャップを許可します。他の何れかの機能が既にバンドギャップを使用している場合、内部1.00V基準電圧が別のADCで使用される時、または低電圧検出器(Brown-out Detectr)が許可されている場合、このビットの設定(1)が必要ないことに留意してください。

●ビット0 – TEMPREF : 温度基準電圧許可 (Temperature Reference Enable)

このビットの設定(1)はADC測定用温度基準を許可します。

22.14.4. EVCTRL – 事象制御レジスタ (Event Control register)

ビット	7	6	5	4	3	2	1	0	
+\$03	–	–	–	EVSEL1,0		EVACT2~0			EVCTRL
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7~5 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

●ビット4,3 – EVSEL1,0 : 事象チャネル入力選択 (Event channel Input Select)

これらのビットはどの事象チャネルがADCチャネルを起動するのかを定義します。各設定は事象チャネルの群を定義し、これは最小番号の事象チャネルがADCチャネル0を、次の事象チャネルがADCチャネル1を起動し、以下同様です。表22-4をご覧ください。

表22-4. ADC事象チャネル選択

EVSEL1,0	群形態設定	選択する事象線
0 0	0	起動入力として事象チャネル0を選択
0 1	1	起動入力として事象チャネル1を選択
1 0	2	起動入力として事象チャネル2を選択
1 1	3	起動入力として事象チャネル3を選択

●ビット2~0 – EVACT2~0 : 事象活動種別 (Event Mode)

これらのビットは選択した事象チャネルのいくつが使用され、そして更にADCチャネル起動も制限するかを、選択そして制限します。これらは表22-5.で定義されるようにもっと特別な事象起動も定義します。

表22-5. ADC事象活動種別選択		
EVACT2~0	群形態設定	選択入力動作形態
0 0 0	NONE	事象入力なし
0 0 1	CH0	EVSELで定義された最小番号の事象チャネルがADCチャネルでの変換を起動
0 1 0	-	(予約)
0 1 1	-	(予約)
1 0 0	-	(予約)
1 0 1	-	(予約)
1 1 0	SYNCSWEEP	ADCは正確なタイミングで破棄そして再始動されます。
1 1 1	-	(予約)

22.14.5. PRESCALER – クロック前置分周レジスタ (Clock Prescaler register)

ビット	7	6	5	4	3	2	1	0	PRESCALER
+\$04	—	—	—	—	—	PRESCALER2~0			
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7~3 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

●ビット2~0 – PRESCALER2~0 : 前置分周器設定 (Prescaler Configuration)

これらのビットは表22-6.に従って周辺クロックに相対するADCクロックを定義します。

PRESCALER2~0	群形態設定	周辺クロック分周数
0 0 0	DIV4	4
0 0 1	DIV8	8
0 1 0	DIV16	16
0 1 1	DIV32	32
1 0 0	DIV64	64
1 0 1	DIV128	128
1 1 0	DIV256	256
1 1 1	DIV512	512

22.14.6. INTFLAGS – 割り込み要求フラグ レジスタ (Interrupt Flag register)

ビット	7	6	5	4	3	2	1	0	INTFLAGS
+\$06	-	-	-	-	-	-	-	CH0IF	
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7~1 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

●ビット3~0 – CH0IF : 割り込み要求フラグ (Interrupt Flag)

これらのフラグはADC変換が完了される時に設定(1)されます。ADCチャネルが比較動作に形態設定されている場合、割り込み要求フラグは比較条件一致時に設定(1)されます。CH0IFはADC割り込みベクタが実行される時に自動的に解除(0)されます。これらのフラグはそのビット位置への1書き込みによっても解除(0)できます。

22.14.7. TEMP – 一時レジスタ (Temporary register)

ビット	7	6	5	4	3	2	1	0	
+\$07	TEMP7~0								TEMP
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – TEMP7~0 : 一時値 (Temporary bits)

このレジスタはADC制御器内の16ビットレジスタ読み込み時に使用されます。CPUによって下位バイトが読まれる時に16ビットレジスタの上位バイトがここに格納されます。このレジスタは使用者ソフトウェアから読み書きすることもできます。

16ビットレジスタアクセスのより多くの詳細については9頁の「16ビットレジスタのアクセス」を参照してください。

22.14.8. SAMPCTRL – 採取時間制御レジスタ (Sampling time control register)

ビット	7	6	5	4	3	2	1	0	
+\$08	–	–	SAMPVAL5~0						SAMPCTRL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット5~0 – SAMPVAL5~0 : 採取時間制御値 (sampling time control register)

これらのビットは前置分周されたA/D変換クロック周囲の半分の数値(ADC_PRESCALER値依存)でA/D変換採取時間を制御し、従ってADC入力インピーダンスを制御します。採取時間は次式に従って設定されます。

$$\text{採取時間} = (\text{SAMPVAL} + 1) \times (\text{clk}_{\text{ADC}} / 2)$$

22.14.9. CALL – 校正値レジスタ下位 (Calibration Value register Low)

CALLレジスタは12ビット校正値の下位側8ビットを保持します。ADCは製造書き込み中に校正され、その校正値はソフトウェアで識別列から読まれてCALLレジスタに書かれなければなりません。

ビット	7	6	5	4	3	2	1	0	
+\$0C	CAL7~0								CALL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – CAL7~0 : ADC校正値 (ADC Calibration value)

これは12ビットCAL値の下位側8ビットです。

22.14.10. CH0RESH – チャネル0結果レジスタ上位 (Channel 0 Result register High)

CH0RESHとCH0RESLレジスタ対は16ビット値CH0RESを表します。16ビットレジスタ読み込みの詳細については9頁の「16ビットレジスタのアクセス」を参照してください。

ビット	7	6	5	4	3	2	1	0	
12ビット左揃え	CHRES11~4								CH0RESH +\$11
12ビット右揃え	—	—	—	—	CHRES11~8				
8ビット	—	—	—	—	—	—	—	—	
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

22.14.10.1. 左揃え12ビット動作

● ビット7~0 – CHRES11~4 : チャネル結果上位バイト (Channel Result, high byte)

これらは12ビットADCの結果の上位8ビットです。

22.14.10.2. 右揃え12ビット動作

● ビット7~4 – 予約 (Reserved)

これらのビットは実際問題としてADCが差動動作で動く時のCHRES11符号ビットの拡張で、ADCが符号なし動作で動く時に0が設定されます。

● ビット3~0 – CHRES11~8 : チャネル結果上位バイト (Channel Result, high byte)

これらは12ビットADCの結果の上位4ビットです。

22.14.10.3. 8ビット動作

- ビット7~0 – 予約 (Reserved)

これらのビットは実際問題としてADCが符号付き動作で動く時のCHRES7符号ビットの拡張で、ADCがシングルエンド動作で動く時に0が設定されます。

22.14.11. CH0RESL – チャンネル0結果レジスタ下位 (Channel 0 Result register Low)

ビット	7	6	5	4	3	2	1	0		
12ビット左揃え	CHRES3~0				—	—	—	—	CH0RESL +\$10	
12ビット右揃え	CHRES7~0									
8ビット	CHRES7~0									
Read/Write	R	R	R	R	R	R	R	R		
初期値	0	0	0	0	0	0	0	0		

22.14.11.1. 左揃え12ビット動作

- ビット7~4 – CHRES3~0 : チャンネル結果下位バイト (Channel Result, low byte)

これらは12ビットADCの結果の下位4ビットです。

- ビット3~0 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

22.14.11.2. 右揃え12ビット動作、8ビット動作

- ビット7~0 – CHRES7~0 : チャンネル結果下位バイト (Channel Result, low byte)

これらはADCの結果の下位8ビットです。

22.14.12. CMPH – 比較レジスタ上位 (Compare register High)

CMPHとCMPLレジスタ対は16ビットのCMP値を表します。16ビットレジスタ読み書きの詳細については9頁の「16ビットレジスタのアクセス」を参照してください。

ビット	7	6	5	4	3	2	1	0	
+ \$19	CMP15~8								CMPH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~0 – CMP15~8 : 比較値上位 (Compare Value High)

これらは16ビットのADC比較値の上位8ビットです。符号付き動作では、数値が2の補数で表され、最上位ビットが符号ビットです。

22.14.13. CMPL – 比較レジスタ下位 (Compare register Low)

ビット	7	6	5	4	3	2	1	0	
+ \$18	CMP7~0								CMPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~0 – CMP7~0 : 比較値下位 (Compare Value Low)

これらは16ビットのADC比較値の下位8ビットです。符号付き動作では、数値が2の補数で表されます。

22.15. レジスタ説明 – ADCチャネル

22.15.1. CTRL – 制御レジスタ (Control register)

ビット	7	6	5	4	3	2	1	0	
+\$00	START	–	–	GAIN2~0			INPUTMODE1,0		CTRL
Read/Write	R/W	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – START : チャネル変換開始 (Start Conversion on Channel)

このビットの設定(1)がチャネルでの変換を開始します。このビットは変換が開始される時にハードウェアによって解除(0)されます。このビットが既に設定(1)されている時の設定(1)は無効です。このビットの読み書きは179頁の「CTRLA – 制御レジスタ」のADCチャネル0単独変換開始(CH0START)ビット書き込みと等価です。

● ビット6,5 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット4~2 – GAIN2~0 : 利得選択 (Gain Factor)

これらのビットはADC利得段に対する利得係数を定義します。

表22-7をご覧ください。利得は正しい多重器(MUX)設定でだけ有効です。「MUXCTRL – 多重器制御レジスタ」をご覧ください。

表22-7. ADC利得係数		
GAIN2~0	群形態設定	内容
0 0 0	1X	1倍
0 0 1	2X	2倍
0 1 0	4X	4倍
0 1 1	8X	8倍
1 0 0	16X	16倍
1 0 1	32X	32倍
1 1 0	64X	64倍
1 1 1	DIV2	1/2倍

● ビット1,0 – INPUTMODE1,0 : チャネルn入力動作種別 (Channel Input Mode)

これらのビットはチャネル入力動作種別を定義します。入力形態変更はパイプライン内のどのデータも不正にします。

表22-8. チャネル入力種別、CONVMODE=0 (符号なし動作)		
INPUTMODE1,0	群形態設定	内容
0 0	INTERNAL	内部正入力信号
0 1	SINGLEENDED	シングルエンド正入力信号
1 0	–	(予約)
1 1	–	(予約)

表22-9. チャネル入力種別、CONVMODE=1 (符号付き動作)		
INPUTMODE1,0	群形態設定	内容
0 0	INTERNAL	内部正入力信号
0 1	SINGLEENDED	シングルエンド正入力信号
1 0	DIFF	差動入力信号
1 1	DIFFWGAIN	利得付き差動入力信号

22.15.2. MUXCTRL – 多重器制御レジスタ (MUX Control register)

MUXCTRLレジスタはチャンネルに対する入力元を定義します。

ビット +\$01	7	6	5	4	3	2	1	0	
	–	MUXPOS3~0				MUXNEG2~0			MUXCTRL
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット6~3 – MUXPOS3~0 : ADC正入力選択 (MUX selection on Positive ADC Input)

これらのビットはADC正入力に対する多重器(MUX)選択を定義します。表22-10.は内部信号に対する、表22-11.はシングル エントと差動入力動作に対する可能な入力選択を示します。

表22-10. INPUTMODE=00(内部信号)使用時のADC MUXPOS形態設定

MUXPOS3~0	群形態設定	アナログ入力
0 0 0 0	TEMP	温度基準電圧
0 0 0 1	BANDGAP	バンドギャップ電圧
0 0 1 0	SCALEDVCC	1/10縮尺AVCC
0 0 1 1	–	(予約)
0100~1111	–	(予約)

表22-11. INPUTMODE=01(シングルエント),=10(差動),=11(利得付き差動)使用時のADC MUXPOS形態設定

MUXPOS3~0	群形態設定	アナログ入力	MUXPOS3~0	群形態設定	アナログ入力
0 0 0 0	PIN0	ADC0ピン	1 0 0 0	PIN8	ADC8ピン
0 0 0 1	PIN1	ADC1ピン	1 0 0 1	PIN9	ADC9ピン
0 0 1 0	PIN2	ADC2ピン	1 0 1 0	PIN10	ADC10ピン
0 0 1 1	PIN3	ADC3ピン	1 0 1 1	PIN11	ADC11ピン
0 1 0 0	PIN4	ADC4ピン	1 1 0 0	PIN12	ADC12ピン
0 1 0 1	PIN5	ADC5ピン	1 1 0 1	PIN13	ADC13ピン
0 1 1 0	PIN6	ADC6ピン	1 1 1 0	PIN14	ADC14ピン
0 1 1 1	PIN7	ADC7ピン	1 1 1 1	PIN15	ADC15ピン

デバイスのピン数と機能の形態設定に依存して、実際のアナログ入力ピンの数は16よりも少ないかもしれませんが、詳細についてはデバイスのデータシートとピン配置記述を参照してください。

● ビット2~0 – MUXNEG2~0 : ADC負入力選択 (MUX selection on Negative ADC Input)

これらのビットは差動測定が行われる時のADC負入力に対する多重器(MUX)選択を定義します。

表22-12.は利得なしに対する、表22-13.は利得付きに対する可能な入力選択を示します。

表22-12. INPUTMODE=10(利得なし差動)使用時のADC MUXNEG形態設定

MUXNEG2~0	群形態設定	アナログ入力
0 0 0	PIN0	ADC0ピン
0 0 1	PIN1	ADC1ピン
0 1 0	PIN2	ADC2ピン
0 1 1	PIN3	ADC3ピン
1 0 0	–	(予約)
1 0 1	GND	パッドGND
1 1 0	–	(予約)
1 1 1	INTGND	内部GND

表22-13. INPUTMODE=11(利得付き差動)使用時のADC MUXNEG形態設定

MUXNEG2~0	群形態設定	アナログ入力
0 0 0	PIN4	ADC4ピン
0 0 1	PIN5	ADC5ピン
0 1 0	PIN6	ADC6ピン
0 1 1	PIN7	ADC7ピン
1 0 0	INTGND	内部GND
1 0 1	–	(予約)
1 1 0	–	(予約)
1 1 1	GND	パッドGND

22.15.3. INTCTRL – 割り込み制御レジスタ (Interrupt Control register)

ビット +\$02	7	6	5	4	3	2	1	0	
	–	–	–	–	INTMODE1,0		INTLVL1,0		INTCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7～4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3,2 – INTMODE1,0 : 割り込み種別 (Interrupt Mode)

これらのビットは表22-14に従ってチャネルに対する割り込み種別を選択します。

表22-14. ADC割り込み種別

INTMODE1,0	群形態設定	割り込み種別
0 0	COMPLETE	変換完了
0 1	BELOW	閾値以下の比較結果
1 0	–	(予約)
1 1	ABOVE	閾値以上の比較結果

● ビット1,0 – INTLVL1,0 : 割り込みレベル (Interrupt Priority Level and Enable)

これらのビットは68頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選びます。許可した割り込みは割り込み要求フラグレジスタ(INTFLAGS)レジスタのADCチャネル割り込み要求フラグ(IF)ビットが設定(1)される時の条件に対して起動されます。

22.15.4. INTFLAGS – 割り込み要求フラグ レジスタ (Interrupt Flag register)

ビット +\$03	7	6	5	4	3	2	1	0	
	–	–	–	–	–	–	–	IF	INTFLAGS
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7～1 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット0 – IF : 割り込み要求フラグ (Interrupt Flag)

この割り込み要求フラグはA/D変換完了時に設定(1)されます。チャネルが比較動作に形態設定されている場合、このフラグは比較条件に一致した時に設定(1)されます。このフラグはADCチャネル割り込みベクタが実行される時に自動的に解除(0)されます。このフラグはこのビット位置への1書き込みによっても解除(0)できます。

22.15.5. RESH – 結果レジスタ上位 (Result register High)

どのADC分解能でも全ての結果レジスタについて、符号付き数値は2の補数形式で表され、最上位ビットが符号ビットを表します。

RESHとRESLレジスタ対は16ビット値RESを表します。16ビット値の読み書きは特別な注意が必要です。詳細については9頁の「16ビットレジスタのアクセス」を参照してください。

ビット	7	6	5	4	3	2	1	0	
12ビット左揃え	RES11~4								RESH +\$05
12ビット右揃え	—	—	—	—	RES11~8				
8ビット	—	—	—	—	—	—	—	—	
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

22.15.5.1. 左揃え12ビット動作

● ビット7～0 – CHRES11~4 : チャネル結果上位 (Channel Result High byte)

これらは12ビットADCの結果の上位8ビットです。

22.15.5.2. 右揃え12ビット動作

● ビット7～4 – 予約 (Reserved)

これらのビットは実際問題としてADCが差動動作で動く時のRES11符号ビットの拡張で、ADCが符号なし動作で動く時に0が設定されます。

● ビット3~0 – CHRES11~8 : チャネル結果上位 (Channel Result High byte)

これらは12ビットADCの結果の上位4ビットです。

22.15.5.3. 8ビット動作

● ビット7~0 – 予約 (Reserved)

これらのビットは実際問題としてADCが符号付き動作で動く時のRES7符号ビットの拡張で、ADCがシングルエンド動作で動く時に0が設定されます。

22.15.6. RESL – 結果レジスタ下位 (Result register Low)

ビット	7	6	5	4	3	2	1	0	
12ビット左揃え	RES3~0				—	—	—	—	RESL +\$04
12ビット右揃え	RES7~0								
8ビット	RES7~0								
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

22.15.6.1. 左揃え12ビット動作

● ビット7~4 – CHRES3~0 : チャネル結果下位 (Channel Result Low byte)

これらは12ビットADCの結果の下位4ビットです。

● ビット3~0 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

22.15.6.2. 右揃え12ビット動作、8ビット動作

● ビット7~0 – CHRES7~0 : チャネル結果下位 (Channel Result Low byte)

これらはADCの結果の下位8ビットです。

22.15.7. SCAN – 入力チャネル走査レジスタ (Input Channel Scan register)

COUNTが0以外に設定される時に走査が許可されます。

ビット	7	6	5	4	3	2	1	0	
+ \$06	OFFSET3~0				COUNT3~0				SCAN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – OFFSET3~0 : 正多重器設定変位(オフセット) (Positive MUX Setting Offset)

COUNT ≠ 0の時にチャネル走査が許可され、このレジスタはADCチャネル上で変換されるべき次の入力元に対する変位(オフセット)を含みます。実際の正入力用多重器設定はMUXPOS+OFFSETに等しくなります。この値はCOUNTによって与えられる最大値に達するまで各変換後に増加されます。OFFSETがCOUNTに等しい時に、OFFSETは次の変換で解除(0)されます。

● ビット3~0 – COUNT3~0 : 走査に含まれる入力チャネル数 (Number of Input Channels Included in Scan)

このレジスタはチャネル走査に含まれる入力供給元数を与えます。含まれる入力供給元数はCOUNT+1です。含まれる入力チャネルはMUXPOSからMUXPOS+COUNTまでの範囲です。

22.16. レジスタ要約 – ADC

これはADCが標準的な12ビットの結果を生じるように形態設定された時のレジスタ要約です。8ビットと左揃え12ビットに対するレジスタ要約は同様ですが、CH0RESHとCH0RESLの結果レジスタでいくつかが変わります。

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$38	予約	－	－	－	－	－	－	－	－	
+\$30	予約	－	－	－	－	－	－	－	－	
+\$28	予約	－	－	－	－	－	－	－	－	
+\$20	CH0変位	ADCチャネル0用変位アドレス								
+\$1F	予約	－	－	－	－	－	－	－	－	
+\$1E	予約	－	－	－	－	－	－	－	－	
+\$1D	予約	－	－	－	－	－	－	－	－	
+\$1C	予約	－	－	－	－	－	－	－	－	
+\$1B	予約	－	－	－	－	－	－	－	－	
+\$1A	予約	－	－	－	－	－	－	－	－	
+\$19	CMPH	CMP15～8								183
+\$18	CMPL	CMP7～0								183
+\$17	予約	－	－	－	－	－	－	－	－	
+\$16	予約	－	－	－	－	－	－	－	－	
+\$15	予約	－	－	－	－	－	－	－	－	
+\$14	予約	－	－	－	－	－	－	－	－	
+\$13	予約	－	－	－	－	－	－	－	－	
+\$12	予約	－	－	－	－	－	－	－	－	
+\$11	CH0RESH	CH0RES11～8または11～4								182
+\$10	CH0RESL	CH0RES7～0または3～0								183
+\$0F	予約	－	－	－	－	－	－	－	－	
+\$0E	予約	－	－	－	－	－	－	－	－	
+\$0D	予約	－	－	－	－	－	－	－	－	
+\$0C	CALL	CAL7～0								182
+\$0B	予約	－	－	－	－	－	－	－	－	
+\$0A	予約	－	－	－	－	－	－	－	－	
+\$09	予約	－	－	－	－	－	－	－	－	
+\$08	SAMPCTRL	－	－	SAMPVAL5～0						182
+\$07	TEMP	TEMP7～0								182
+\$06	INTFLAGS	－	－	－	－	－	－	－	CH0IF	181
+\$05	予約	－	－	－	－	－	－	－	－	
+\$04	PRESCALER	－	－	－	－	－	PRESCALER2～0			181
+\$03	EVCTRL	－	－	－	EVSEL1,0		EVACT2～0			180
+\$02	REFCTRL	－	REFSEL2～0			－	－	BANDGAP	TEMPREF	180
+\$01	CTRLB	－	CURRLIMIT1,0		CONVMODE	FREERUN	RSOLUTION1,0		－	179
+\$00	CTRLA	－	－	－	－	－	CH0START	FLUSH	ENABLE	179

22.17. レジスタ要約 – ADCチャンネル

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$07	予約	－	－	－	－	－	－	－	－	
+\$06	SCAN	OFFSET3~0				COUNT3~0				187
+\$05	RESH					RES11~8または11~4				186
+\$04	RESL					RES7~0または3~0				187
+\$03	INTFLAGS	－	－	－	－	－	－	－	IF	186
+\$02	INTCTRL	－	－	－	－	INTMODE1,0		INTLVL1,0		186
+\$01	MUXCTRL	－	MUXPOS3~0					MUXNEG2~0		185
+\$00	CTRL	START	－	－	GAIN2~0				INPUTMODE1,0	184

22.18. 割り込みベクタ要約

変位	記述例	割り込み内容
\$00	CH0_vect	A/D変換器チャンネル0割り込みベクタ

23. AC – アナログ比較器

23.1. 要点

- 選択可能なヒステリシス
 - なし
 - 小
 - 大
- ピンで利用可能なアナログ比較器出力
- 柔軟な入力選択
 - ポート上の全ピン
 - バントギャップ基準電圧
 - 内部AVCC電圧の64段階に設定可能な分圧器
- 以下での割り込みと事象の生成
 - 上昇端
 - 下降端
 - 切り替わり
- 以下での窓機能割り込みと事象の生成
 - 窓以上の信号
 - 窓内側の信号
 - 窓以下の信号
- 形態設定可能な出力ピン選択を持つ定電流源

23.2. 概要

アナログ比較器(AC)は2つの入力の電圧レベルを比較してその比較に基いたデジタル出力を与えます。アナログ比較器は多数の異なる入力変化の組み合わせで割り込み要求や事象を生成するように形態設定できます。

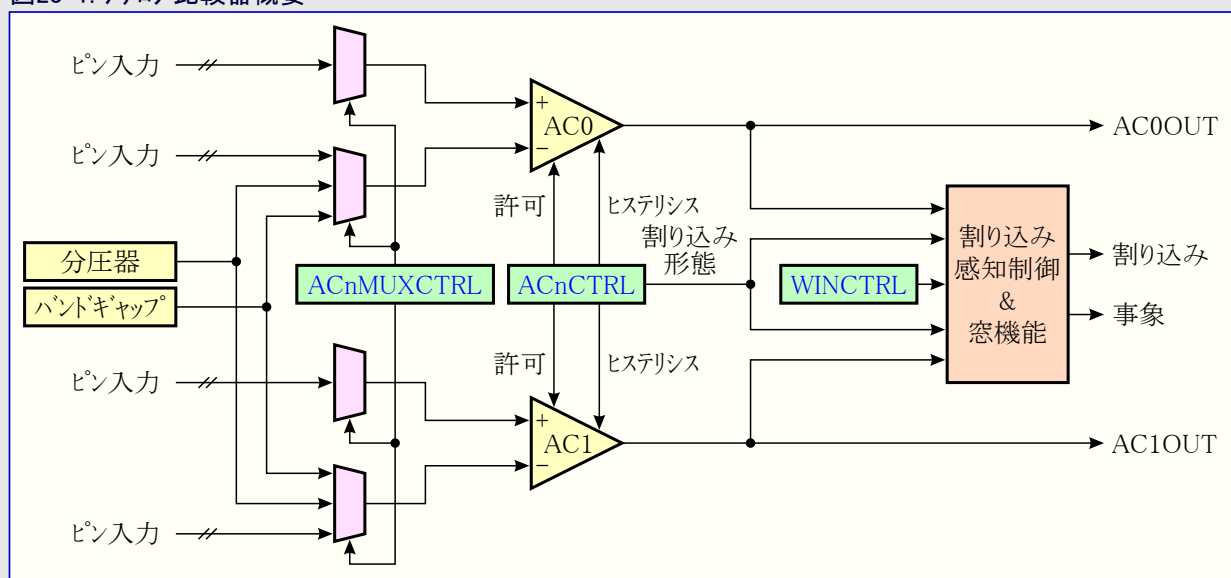
アナログ比較器ヒステリシスは各応用に対して最適な動作を達成するために調節することができます。

入力選択はアナログポートピン、多数の内部信号、64段階の設定可能な分圧器を含みます。アナログ比較器出力の状態は外部デバイスによって使用するためにピン上に出力することもできます。

定電流源を許可することができ、選択可能なピン上に出力することができます。これは例えば容量性接触感知応用でコンデンサを充電するのに使用される外部抵抗を置き換えるのに使用することができます。

アナログ比較器は常に各ポート上の対で分類されます。それらはアナログ比較器0(AC0)とアナログ比較器1(AC1)と呼ばれます。それらは同様の動きを持ちますが、独立した制御レジスタを持ちます。対として使用すると、それらは電圧レベルの代わりに電圧範囲と信号を比較するように窓動作で設定することができます。

図23-1. アナログ比較器概要



23.3. 入力元

各アナログ比較器は1つの正入力と1つの負入力を持っています。各入力にはアナログ入力ピン、内部入力、AVCCを縮尺した入力から選ぶことができます。アナログ比較器からのデジタル出力は正と負の入力電圧間の差が正の時に1、差が負の時に0です。

23.3.1. ピン入力

ポートのアナログ入力ピンのどれもがアナログ比較器への入力として選択することができます。

23.3.2. 内部入力

アナログ比較器に対して2つの内部入力を利用可能です。

- バンドギャップ基準電圧
- 内部AVCC電圧を縮尺した64段階を提供する分圧器

23.4. 信号比較

信号比較を開始するため、この部署が許可される前に、アナログ比較器は望んだ特性と入力で形態設定されなければなりません。比較結果は連続的に更新され、応用ソフトウェアと事象システムで利用可能です。

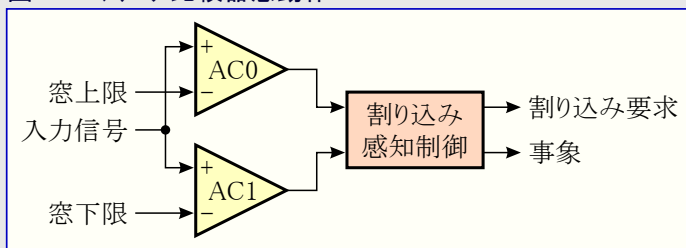
23.5. 割り込みと事象

アナログ比較器は出力が切り替わる時、出力が0から1に変化する(上昇端)時、または出力が1から0に変化する(下降端)時に割り込みを生成するように形態設定することができます。割り込みが許可されているか否かのどちらかに拘らず、事象は割り込みと同じ条件の間、常時生成されます。

23.6. 窓動作

同じポートの2つのアナログ比較器は窓動作で共に動作するように形態設定することができます。この動作では電圧範囲が定義され、アナログ比較器は入力信号がこの範囲内か否かのどちらかかについての情報を提供できます。

図23-2. アナログ比較器窓動作



23.7. 入力ヒステリシス

応用ソフトウェアは比較に関してヒステリシスのなし、低、高を選ぶことができます。ヒステリシス付加は入力信号(値)がお互いに近い時に雑音によって引き起こされ得る定常的な出力切り換わりを防ぐのを手助けします。

23.8. レジスタ説明

23.8.1. ACnCTRL – アナログ比較器n制御レジスタ (Analog Comparator n Control register)

ビット	7	6	5	4	3	2	1	0	
+\$00,\$01	INTMODE1,0		INTLVL1,0		–	HYSMODE1,0		ENABLE	ACnCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 – INTMODE1,0 : 割り込み種別 (Interrupt Modes)

これらのビットは表23-1.に従ってアナログ比較器に対する割り込み種別を形態設定します。

表23-1. アナログ比較器n割り込み設定

INTMODE1,0	群形態設定	内容
0 0	BOTHEDGES	出力切り替わりでの比較器割り込みまたは事象
0 1	–	(予約)
1 0	FALLING	出力下降端での比較器割り込みまたは事象
1 1	RISING	出力上昇端での比較器割り込みまたは事象

● ビット5,4 – INTLVL1,0 : 割り込みレベル (Interrupt Level)

これらのビットはアナログ比較器nの割り込みを許可して68頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選びます。許可した割り込みは割り込み種別(INTMODE)設定に従って起動します。

● ビット3 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット2,1 – HYSMODE1,0 : ヒステリシス選択 (Hysteresis Mode Select)

これらのビットは表23-2.に従ってヒステリシス形態を選択します。実際のヒステリシスレベルの詳細についてはデバイスのデータシートを参照してください。

表23-2. アナログ比較器nヒステリシス設定

HYSMODE1,0	群形態設定	内容
0 0	NO	ヒステリシスなし
0 1	SMALL	ヒステリシス小
1 0	LARGE	ヒステリシス大
1 1	–	(予約)

● ビット0 – ENABLE : 許可 (Enable)

このビットの設定(1)がアナログ比較器を許可します。

23.8.2. ACnMUXCTRL – アナログ比較器n多重器(MUX)制御レジスタ (Analog Comparator n MUX Control register)

ビット	7	6	5	4	3	2	1	0	
+\$02,\$03	–	–	MUXPOS2~0			MUXNEG2~0			ACnMUXCTRL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット5~3 – MUXPOS2~0 : 正入力選択 (Positive Input MUX Selection)

これらのビットは表23-3.に従ってアナログ比較器の正入力にどの入力か接続されるかを選びます。

表23-3. アナログ比較器n正入力多重器(MUX)選択

MUXPOS2~0	群形態設定	正入力
0 0 0	PIN0	アナログ入力ピン0
0 0 1	PIN1	アナログ入力ピン1
0 1 0	PIN2	アナログ入力ピン2
0 1 1	PIN3	アナログ入力ピン3
1 0 0	PIN4	アナログ入力ピン4
1 0 1	PIN5	アナログ入力ピン5
1 1 0	PIN6	アナログ入力ピン6
1 1 1	–	(予約)

● ビット2~0 – MUXNEG2~0 : 負入力選択 (Negative Input MUX Selection)

これらのビットは表23-4.に従ってアナログ比較器の負入力にどの入力に接続されるかを選びます。

表23-4. アナログ比較器n負入力多重器(MUX)選択

MUXPOS2~0	群形態設定	負入力
0 0 0	PIN0	アナログ入力ピン0
0 0 1	PIN1	アナログ入力ピン1
0 1 0	PIN3	アナログ入力ピン3
0 1 1	PIN5	アナログ入力ピン5
1 0 0	PIN7	アナログ入力ピン7
1 0 1	–	(予約)
1 1 0	BANDGAP	内部バンドギャップ基準電圧
1 1 1	SCALER	縮尺AVCC電圧

23.8.3. CTRLA – 制御レジスタA (Control register A)

ビット +\$04	7	6	5	4	3	2	1	0	
	–	–	–	–	–	–	AC1OUT	AC0OUT	CTRLA
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1 – AC1OUT : アナログ比較器1出力許可 (Analog Comparator 1 Output)

このビットの設定(1)はアナログ比較器1(AC1)の出力を同じポートのピン6で利用可能にします。

● ビット0 – AC0OUT : アナログ比較器0出力許可 (Analog Comparator 0 Output)

このビットの設定(1)はアナログ比較器0(AC0)の出力を同じポートのピン7で利用可能にします。

23.8.4. CTRLB – 制御レジスタB (Control register B)

ビット +\$05	7	6	5	4	3	2	1	0	
	–	–	SCALEFAC5~0						CTRLB
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット5~0 – SCALEFAC5~0 : アナログ比較器AVCC入力縮尺 (Input Voltage Scalling Factor)

これらのビットはAVCC電圧縮尺器に対する縮尺係数を定義します。アナログ比較器への入力 V_{SCALE} は以下です。

$$V_{SCALE} = \frac{AVCC \times (SCALEFAC + 1)}{64}$$

23.8.5. WINCTRL – 窓制御レジスタ (Window Function Control register)

ビット +\$06	7	6	5	4	3	2	1	0	
	–	–	–	WEN	WINTMODE1,0		WINTLVL1,0		WINCTRL
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~5 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット4 – WEN : 窓動作許可 (Window Mode Enable)

このビットの設定(1)はアナログ比較器窓動作を許可します。

●ビット3,2 – WINTMODE1,0 : 窓割り込み種別 (Window Interrupt Mode Settings)

これらのビットは表23-5に従ってアナログ比較器窓動作に対する割り込み動作種別を形態設定します。

表23-5. 窓動作割り込み設定

WINTMODE1,0	群形態設定	内容
0 0	ABOVE	窓以上の信号で割り込み
0 1	INSIDE	窓内の信号で割り込み
1 0	BELOW	窓以下の信号で割り込み
1 1	OUTSIDE	窓外の信号で割り込み

●ビット1,0 – WINTLVL1,0 : アナログ比較器窓割り込みレベル (Window Interrupt Enable)

これらのビットはアナログ比較器窓動作割り込みを許可して68頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選びます。許可した割り込みは窓割り込み種別(WINTMODE)設定に従って起動します。

23.8.6. STATUS – 状態レジスタ (Status register)

ビット +\$07	7	6	5	4	3	2	1	0	
	WSTATE1,0	AC1STATE	AC0STATE	–	WIF	AC1IF	AC0IF		STATUS
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7,6 – WSTATE1,0 : 窓動作現状 (Window Mode Current State)

これらのビットは表23-6に従って窓動作が許可された場合の信号の現在の状態を示します。

表23-6. 窓動作での現在の状態

WSTATE1,0	群形態設定	内容
0 0	ABOVE	信号は窓以上
0 1	INSIDE	信号は窓内
1 0	BELOW	信号は窓以下
1 1	OUTSIDE	信号は窓外

●ビット5 – AC1STATE : アナログ比較器1現状 (Analog Comparator 1 Current State)

このビットはアナログ比較器1からの出力信号の現在の状態を示します。

●ビット4 – AC0STATE : アナログ比較器0現状 (Analog Comparator 0 Current State)

このビットはアナログ比較器0からの出力信号の現在の状態を示します。

●ビット3 – 予約 (Reserved)

このビットは予約されており、常に0として読めます。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

●ビット2 – WIF : アナログ比較器窓割り込み要求フラグ (Analog Comparator Window Interrupt Flag)

このビットは窓動作に対する割り込み要求フラグです。WIFは「WINCTRL – 窓制御レジスタ」のアナログ比較器窓割り込み種別(WINTMODE)設定に従って設定(1)されます。

このフラグはアナログ比較器窓割り込みベクタが実行されると、自動的に解除(0)されます。このフラグはこのビット位置に1を書くことによって解除(0)することができます。

●ビット1 – AC1IF : アナログ比較器1割り込み要求フラグ (Analog Comparator 1 Interrupt Flag)

このビットはアナログ比較器1に対する割り込み要求フラグです。AC1IFは192頁の「ACnCTRL – アナログ比較器n制御レジスタ」のアナログ比較器n割り込み種別(INTMODE)設定に従って設定(1)されます。

このフラグはアナログ比較器1割り込みベクタが実行されると、自動的に解除(0)されます。このフラグはこのビット位置に1を書くことによって解除(0)することができます。

●ビット0 – AC0IF : アナログ比較器0割り込み要求フラグ (Analog Comparator 0 Interrupt Flag)

このビットはアナログ比較器0に対する割り込み要求フラグです。AC0IFは192頁の「ACnCTRL – アナログ比較器n制御レジスタ」のアナログ比較器n割り込み種別(INTMODE)設定に従って設定(1)されます。

このフラグはアナログ比較器0割り込みベクタが実行されると、自動的に解除(0)されます。このフラグはこのビット位置に1を書くことによって解除(0)することができます。

23.8.7. CURRCTRL – 電流源制御レジスタ (Current Source Control register)

ビット	7	6	5	4	3	2	1	0	
+\$08	CURRENT	–	–	–	–	–	AC1CURR	AC0CURR	CURRCTRL
Read/Write	R/W	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7 – CURRENT : 電流源許可 (Current Source Enable)

このビットの1設定は定電流源を許可します。

- ビット6~2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット1 – AC1CURR : アナログ比較器1電流源出力許可 (AC1 Current Source Output Enable)

このビットの1設定はアナログ比較器1多重器(MUX)制御(AC1MUXCTRL)レジスタ内の負入力選択(MUXNEG)によって選択されたピン上での定電流源出力を許可します。

- ビット0 – AC0CURR : アナログ比較器0電流源出力許可 (AC0 Current Source Output Enable)

このビットの1設定はアナログ比較器0多重器(MUX)制御(AC0MUXCTRL)レジスタ内の負入力選択(MUXNEG)によって選択されたピン上での定電流源出力を許可します。

23.8.8. CURRCALIB – 電流源校正レジスタ (Current Source Calibration register)

ビット	7	6	5	4	3	2	1	0	
+\$09	–	–	–	–	CALIB3~0				CURRCALIB
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット3~0 – CALIB3~0 : 電流源校正 (Current Source Calibration)

定電流源は製造中に校正されます。校正値はソフトウェアで識別列から読んでCURRCALIBレジスタに書くことができます。既定校正値と使用者校正範囲についてはデバイスのデータシートを参照してください。

23.9. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$09	CURRCALIB	－	－	－	－	CALIB3～0				195
+\$08	CURRCTRL	CURRENT	－	－	－	－	－	AC1CURR	AC0CURR	195
+\$07	STATUS	WSTATE1,0		AC1STATE	AC0STATE	－	WIF	AC1IF	AC0IF	194
+\$06	WINCTRL	－	－	－	WEN	WINTMODE1,0		WINTLVL1,0		194
+\$05	CTRLB	－	－	SCALEFACL5～0						193
+\$04	CTRLA	－	－	－	－	－	－	AC1OUT	AC0OUT	193
+\$03	AC1MUXCTRL	－	－	MUXPOS2～0			MUXNEG2～0			192
+\$02	AC0MUXCTRL	－	－	MUXPOS2～0			MUXNEG2～0			192
+\$01	AC1CTRL	INTMODE1,0		INTLVL1,0		－	HYSMODE1,0		ENABLE	192
+\$00	AC0CTRL	INTMODE1,0		INTLVL1,0		－	HYSMODE1,0		ENABLE	192

23.10. 割り込みベクタ要約

変位	記述例	割り込み内容
\$00	COMP0_vect	アナログ比較器0割り込みベクタ
\$02	COMP1_vect	アナログ比較器1割り込みベクタ
\$04	WINDOW_vect	アナログ比較器窓割り込みベクタ

24. フログラミングとデバッグ用インターフェース

24.1. 要点

- フログラミング
 - PDIインターフェースを通す外部フログラミング
 - 高速動作のための最小の規約付随負荷
 - 確かな動作のための組み込みの異常検出と処理
 - 何れかの通信インターフェースを通すフログラミング用のポート ロータ支援
- デバッグ
 - 不干涉、実時間、チップ上デバッグ システム
 - ピン接続を除き、デバイスから必要とされるソフトウェアまたはハードウェアなし
 - プログラムの流れ制御
 - 実行、停止、リセット、1行実行、内側実行、外側実行、カーソルまで実行
 - 無制限数の使用者プログラム中断点(ブレークポイント)
 - 無制限数の使用者データ中断点、以下で中断
 - データ位置読み、書き、または読み書き両方
 - データ位置内容が値と等しいまたは等しくない
 - データ位置内容が値よりも大きいまたは小さい
 - データ位置内容が範囲の内側または外側
 - デバイス クロック周波数での制限なし
- フログラミングとデバッグ用インターフェース(PDI)
 - 外部のフログラミングとデバッグ用の2ピン インターフェース
 - リセット ピンと専用ピンを使用
 - フログラミングまたはデバッグ中にI/Oピンの必要なし

24.2. 概要

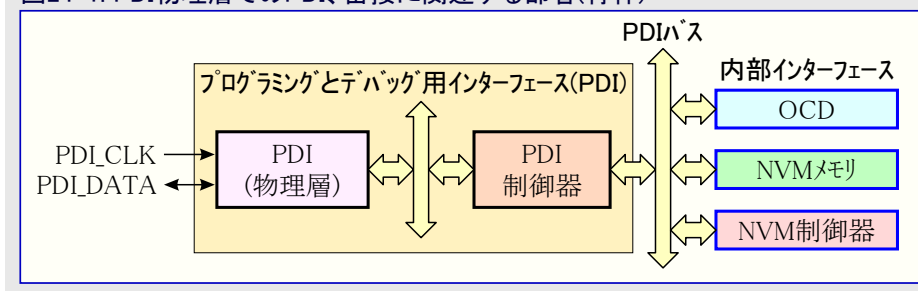
フログラミングとデバッグ用インターフェース(PDI)はデバイスの外部フログラミングとチップ上デバッグ用のAtmel専有インターフェースです。

PDIはフラッシュ、EEPROM、ヒューズ、施錠ビット、使用者識別列の不揮発性メモリ(NVM)の高速フログラミングを支援します。これはNVM制御器をアクセスして、[205頁の「メモリ フログラミング」](#)で記述されるようにNVM制御器命令を実行することによって行われます。

デバッグは不干涉、実時間のデバッグを提供するチップ上デバッグ システムを通して支援されます。これはデバイス ピン接続を除いてどんなソフトウェアまたはハードウェアも必要としません。Atmelのツール チェーン使用は完全なプログラムの流れ制御を提供し、プログラムと複雑なデータの無制限数の中断点(ブレークポイント)を支援します。応用デバッグはアセンブラと逆アセンブラレベルからだけでなく、Cまたは他の高位言語ソースコードのレベルからも行うことができます。

フログラミングとデバッグはPDI物理層を通して行えます。これはクロック入力用のリセット ピン(PDI_CLK)とデータ入出力用の他の1つの専用検査ピン(PDI_DATA)を使用する2ピン インターフェースです。何れかの外部書き込み器またはチップ上デバッグ/エミュレータがこれらインターフェースのどちらかへ直接的に接続することができます。

図24-1. PDI物理層でのPDI、密接に関連する部署(青枠)

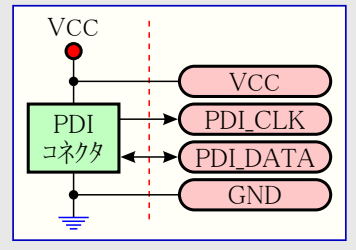


24.3. PDI物理層

PDI物理層は低位直列通信を扱います。これは(丁度USRT動作でのUSARTのように)双方向半二重同期直列送受信器を使用します。物理層は構造体開始検出、構造体異常検出、パリティ生成、パリティ異常検出、衝突検出を含みます。

PDI_CLKとPDI_DATAに加え、PDI_DATAピンは内部プルアップ抵抗を持ち、VCCとGNDは外部書き込み器/デバッガとデバイス間で接続されなければなりません。図24-2は代表的な接続を示します。

図24-2. PDI接続



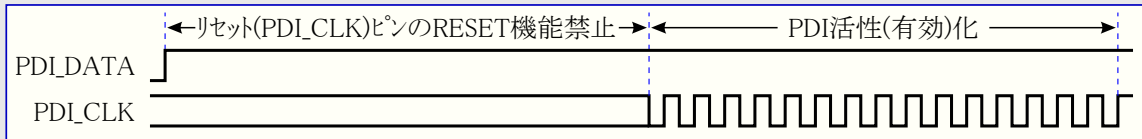
本項の残りはAtmel AVR XMEGAデバイスに対する第3者開発書き込み器またはプログラミング支援による使用だけを意図したものです。

24.3.1. 許可方法

PDI物理層は使用前に許可されなければなりません。これは最初にPDI_DATA線を外部リセット最小パルス幅と等しい長さよりも長い期間、**High**に強制することによって行われます(外部リセットパルス幅のデータについてはデバイスのデータシートを参照してください)。これはヒューズ設定によって未だ禁止されていない場合に、リセットピンのRESET機能を禁止します。

次に、PDI_DATAを16PDI_CLK周期間、**High**保持を継続してください。最初のPDI_CLK周期はリセットピンのRESET機能が禁止された後、100 μ sよりも遅れてはなりません。これがその時間で起きない場合、許可手順は始めから再び開始されなければなりません。許可の流れは図24-3で示されます。

図24-3. PDI許可の流れ



RESETピンはPDIインターフェースが許可されている時に採取されます。そしてリセットレジスタはRESETピンの状態に従って設定され、このピンのリセット機能が禁止された後でのコード走行からデバイスを保護します。

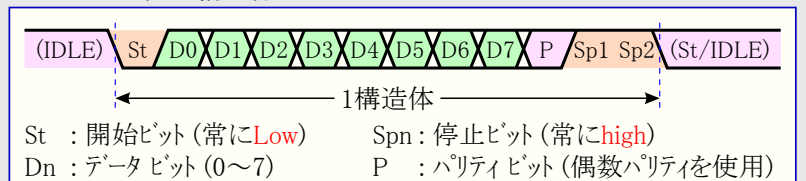
24.3.2. 禁止方法

PDI_CLKのクロック周波数が概ね10kHzよりも低い場合、これはクロック線での無活動と見なします。それはPDIを自動的に禁止します。ヒューズによって禁止されていないならば、リセット(PDI_CLK)ピンのリセット機能が再び許可されます。これは最低プログラミング周波数が概ね10kHzであることも意味します。

24.3.3. 構造体形式とキャラクタ

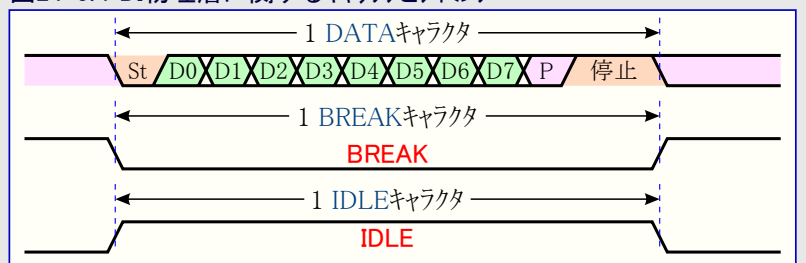
PDI物理層は開始ビット、パリティビット、2つの停止ビットを持つ8ビットデータの1キャラクタで定義される固定構造体形式を使用します。

図24-4. PDI直列構造体形式



DATA、BREAK、IDLEの3つの異なるキャラクタが使用されます。BREAKキャラクタは12ビット長の**Low**レベルと当価です。IDLEキャラクタは12ビット長の**High**レベルと当価です。BREAKとIDLEのキャラクタは12ビット長を超えて延ばすことができます。

図24-5. PDI物理層に関するキャラクタとタイミング

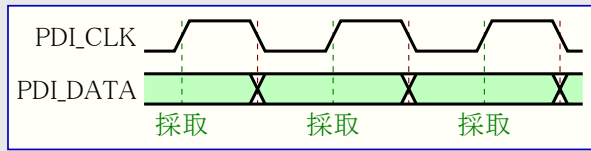


24.3.4. 直列送受信

PDI物理層は送信動作(TX)または受信動作(RX)のどちらかです。既定ではそれがRX動作で、開始ビットを待ちます。

書き込み器とPDIは書き込み器によって供給されるPDI_CLKで同期して動作します。クロック端とデータ採取またはデータ変更の間の依存性は固定化されています。図24-6.で図解されるように、(書き込み器またはPDIのどちらかからの)出力データは常にPDI_CLKの下降端で設定(変更)され、PDI_CLKの上昇端で採取されます。

図24-6. データの変更と採取



24.3.5. 直列送信

データ送信がPDI制御器によって開始されると、送信部は開始ビット、データビット、パリティビット、2つの停止ビットをPDI_DATAへ単純にシフト出力します。送信速度はPDI_CLK信号によって指示されます。送信動作の間では、連続するDATAキャラクタ間の隙間を可能な限り満たすためにIDLEビット(Highビット)が自動的に送信されます。送信中に衝突が検出された場合、出力駆動部が禁止されてインターフェースはBREAKキャラクタを待つRX動作に置かれます。

24.3.6. 直列受信

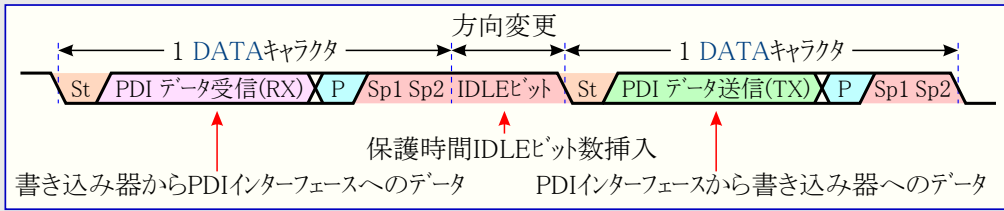
開始ビットが検出されると、受信部は8つのデータビット収集を始めます。パリティビットがデータビットのパリティに対応していない場合、パリティ異常が発生しています。1つまたは両方の停止ビットがLowなら、構造体異常が発生しています。パリティビットが正しくて構造体異常が検出されないなら、受信データビットはPDI制御器で利用可能です。

PDIがTX動作の時に、書き込み器によるBREAKキャラクタの合図はBREAK(中断)として解釈されませんが、一般的なデータ衝突を代わりに引き起こします。PDIがRX動作の時に、BREAKキャラクタはBREAKとして認識されます。(1つ以上のHighビットによって分けられていない)2つの連続するBREAKキャラクタの送信によって、PDIが始めにTXまたはRX動作のどちらだったかに拘らず、最後のBREAKキャラクタが常にBREAK(中断)として認識されます。これはTX動作に於いて最初のBREAKが衝突として見えるためです。その後PDIはRX動作に移動して2つ目のBREAKをBREAK(中断)として知ります。

24.3.7. 方向変更

半二重動作に対して正しいタイミングを保証するため、保護時間機構が使用されます。PDIがRX動作からTX動作へ動作変更する時で開始ビットが送信される前に形態設定可能なビット数のIDLEビットが挿入されます。RXとTXの動作間の最小遷移時間は2IDLE周期で、これらが常に挿入されます。PDI制御器の制御(CTRL)レジスタ内の保護時間(GUARDTIME)ビット書き込みが追加保護時間を指定します。既定保護時間は128ビットです。

図24-7. IDLEビット挿入によるPDI方向変更

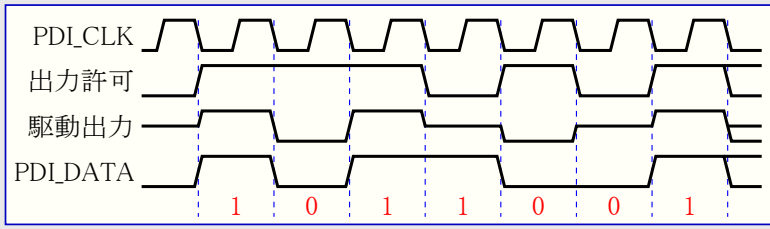


外部書き込み器は目的PDIがRX動作からTX動作へ変更する点でPDI_DATA線の制御を失うでしょう。保護時間は通信のこの重要な段階を緩和します。書き込み器がRX動作からTX動作へ変更する時は、開始ビットが送信される前に最小で単一IDLEビットが挿入されるべきです。

24.3.8. 駆動競合と衝突検出

駆動競合(PDIと書き込み器が同時にPDI_DATAを駆動)の影響を低減するために衝突検出用機構が使用されます。この機構はPDI_DATA線でのデータ出力のPDI駆動方法に基づきます。図24-8.で示されるように、PDI出力駆動部は出力値が変化(0⇒1または1⇒0)する時にだけ活性(有効)です。従って、2つ以上の連続するビット値が同じ場合、その値は最初のクロック周期だけ能動的に駆動されます。この時点の後にはPDI出力駆動部が自動的にHi-Zにされ、PDI_DATAピンは出力駆動部がビット値での変化のために再許可されるまでピン値を無変化に保つ責任があるバス保持器を持ちます。

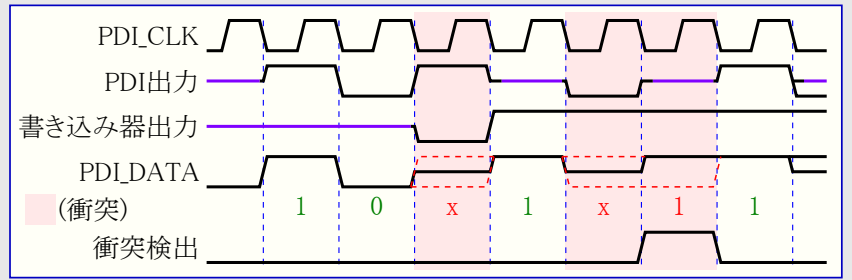
図24-8. バス保持器を使用するPDI_DATAでのデータ出力駆動



書き込み器とPDIの両方が同時にPDI_DATAを駆動する場合、図24-9で図解されるように駆動競合が起きます。ビット値が2クロック周期以上保たれていれば、いつもPDIはPDI_DATA線で駆動されている正しいビット値を検証できます。PDIが予想するものと逆のビット値で書き込み器がPDI_DATA線を駆動する場合に衝突が検出されます。

PDI出力駆動部が活動する時はPDI_DATA線のポーリングを妨げるので、PDIが1と0を切り換えながら送信する限り、衝突を検知することができません。けれども、1つの構造体内で2つの停止ビットが常に1として送信されるべきなので、少なくとも構造体当たり1度は衝突検出を許します。

図24-9. PDI_DATAでの駆動競合と衝突検出



24.4. PDI制御器

PDI制御器はバイトレベルのデータ送受信、命令復号、高位方向制御、制御と状態のレジスタ入出力、例外操作、クロック切り換え(TCKとPDI_CLK)を実行します。外部書き込み器とPDI制御器間の相互作用は書き込み器がPDI制御器へ様々な形式の要求を送信し、そしてPDI制御器が指定要求に応じて応答を返す仕組みに基づいています。書き込み器要求は命令の形式でやって来て、それは1つまたはそれ以上のバイトオペランドが後続するかもしれません。PDI制御器の応答は沈黙かもしれず(例えばデバイス内の位置へデータバイトが格納される)、または書き込み器へ返されつつあるデータを巻き込むかもしれません(例えばデバイス内の位置からデータバイトを読む)。

24.4.1. 内部インターフェースの入出力

外部書き込み器がPDIとの通信を確立した後、内部インターフェースは既定で入出力不能です。プログラミング用にNVM制御器と不揮発性メモリへの入出力を得るには、KEY命令の使用によって固有の鍵で合図されなければなりません。内部インターフェースはPDIと内部インターフェース間の専用(PDIBUS)バスを使用して1つの直線的なアドレス空間として入出力されます。PDIBUSアドレス空間は216頁の図25-3.で示されます。NVM制御器はNVMインターフェースへのどのアクセスのためにもPDI制御器に対して許可されなければなりません。PDI制御器はプログラミング動作でだけNVMとNVM制御器にアクセスすることができます。PDI制御器はNVM読み書き時にNVM制御器のデータやアドレスレジスタのアクセスを必要としません。

24.4.2. NVMプログラミング鍵

KEY命令を使用して送らなければならない鍵は64ビット長です。NVMプログラミングを許可する鍵は \$1289AB45CDD888FF です。

24.4.3. 例外操作

通常動作から考察される例外が様々な状態であります。例外はPDIがRXまたはTXのどちらの動作形態が使用されているのかに依存します。

PDIがRX動作の間の例外は以下です。

- PDI:
 - 物理層がパリティ異常を検出
 - 物理層が構造体異常を検出
 - 物理層がBREAKキャラクタを認識 (構造体異常としても検出)

PDIがTX動作の間の例外は以下です。

- PDI:
 - 物理層がデータ衝突を検出

例外はPDI制御器に合図されます。そして実行中の全ての動作が中止され、PDIがERROR状態に置かれます。PDIは外部書き込み器からBREAKが送られるまでERROR状態に留まり、これはPDIを既定RX状態に引き戻します。

この構造のため、書き込み器は2つの連続するBREAKキャラクタを送信することによって常に規約を同期することができます。

24.4.4. リセット指示

リセット(RESET)レジスタを通して書き込み器はリセットを発行してデバイスをリセットに強制できます。リセットレジスタの解除(0)後、別のいくつかのリセット元が活性(有効)でなければ、リセットが開放されます。

24.4.5. 命令一式

PDIはPDI自身と内部インターフェースの両方の入出力に使用される小さな一式の命令を持っています。全ての命令はバイト命令です。命令は外部書き込み器にPDI制御器、NVM制御器、不揮発性メモリの入出力を許します。

24.4.5.1. LDS – 直接アドレス指定を使用するPDIバスデータ空間からのデータ取得

LDS命令は読み出し用にPDIバスデータ空間からデータを取得するのに使用されます。LDS命令は直接アドレス指定に基づき、それはアドレスが命令の引数として与えられなければならないことを意味します。例えば規約がバイト単位通信に基いていても、LDS命令は複数バイトのアドレスとデータの入出力を支援します。バイト、語(2バイト)、3バイト、ロング(4バイト)の4つの異なるアドレス/データ量が支援されます。複数バイト入出力は内部的に単一バイト入出力の繰り返しに分解されますが、これは規約での付随負荷を減らします。LDS命令使用時、データ転送の前にアドレスバイトが送信されなければなりません。

24.4.5.2. STS – 直接アドレス指定を使用するPDIバスデータ空間へのデータ格納

STS命令は物理層のシフトレジスタ内へ直列でシフト入力してPDIバスデータ空間内の位置にデータを格納するのに使用されます。STS命令は直接アドレス指定に基づき、それはアドレスが命令の引数として与えられなければならないことを意味します。例えば規約がバイト単位通信に基いていても、STS命令は複数バイトのアドレスとデータの入出力を支援します。単一バイト、語(2バイト)、3バイト、ロング(4バイト)の4つの異なるアドレス/データ量が支援されます。複数バイト入出力は内部的に単一バイト入出力の繰り返しに分解されますが、これは規約での付随負荷を減らします。STS命令使用時、データ転送の前にアドレスバイトが送信されなければなりません。

24.4.5.3. LD – 間接アドレス指定を使用するPDIバスデータ空間からのデータ取得

LD命令は直列読み出し用にPDIバスデータ空間からデータを取得するのに使用されます。LD命令は間接アドレス指定(ポインタ入出力)に基づき、それはデータ入出力に先行してアドレスがポインタレジスタ内に格納されていなければならないことを意味します。間接アドレス指定はポインタ進行と組み合わせることができます。PDIバスデータ空間からのデータ読み込みに加え、LD命令はポインタレジスタを読むことができます。例えば規約がバイト単位通信に基いていても、LD命令は複数バイトのアドレスとデータの入出力を支援します。単一バイト、語(2バイト)、3バイト、ロング(4バイト)の4つの異なるアドレス/データ量が支援されます。複数バイト入出力は内部的に単一バイト入出力の繰り返しに分解されますが、これは規約での付随負荷を減らします。

24.4.5.4. ST – 間接アドレス指定を使用するPDIバスデータ空間へのデータ格納

ST命令は物理層のシフトレジスタ内へ直列でシフト入力してPDIバスデータ空間内の位置にデータを格納するのに使用されます。ST命令は間接アドレス指定(ポインタ入出力)に基づき、それはデータ入出力に先行してアドレスがポインタレジスタ内に格納されていなければならないことを意味します。間接アドレス指定はポインタ進行と組み合わせることができます。PDIバスデータ空間へのデータ書き込みに加え、ST命令はポインタレジスタに書くことができます。例えば規約がバイト単位通信に基いていても、ST命令は複数バイトのアドレスとデータの入出力を支援します。バイト、語、3バイト、ロング(4バイト)の4つの異なるアドレス/データ量が支援されます。複数バイト入出力は内部的に単一バイト入出力の繰り返しに分解されますが、これは規約での付随負荷を減らします。

24.4.5.5. LDCS – PDI制御/状態レジスタ空間からのデータ取得

LDCS命令はPDI制御/状態レジスタから直列読み出し用の物理層シフトレジスタへデータを取得するのに使用されます。LDCS命令は直接アドレス指定と単一バイト入出力だけを支援します。

24.4.5.6. STCS – PDI制御/状態レジスタ空間へのデータ格納

STCS命令は物理層のシフトレジスタ内へ直列でシフト入力してPDI制御/状態レジスタ内の位置にデータを格納するのに使用されます。STCS命令は直接アドレス指定と単一バイト入出力だけを支援します。

24.4.5.7. KEY – 活性化鍵設定

KEY命令はNVMインターフェースを活性化(有効)化するのに必要とされる活性化鍵バイトの通信に使用されます。

24.4.5.8. REPEAT – 命令繰り返し計数器設定

REPEAT命令は物理層のシフトレジスタ内へ直列でシフト入力して繰り返し計数器レジスタにデータを格納するのに使用されます。REPEAT命令のオペランドの直後に取得された命令が指定した繰り返し計数器レジスタ値に対応した回数を繰り返します。故に繰り返し計数器レジスタ初期値+1が総命令実行回数を与えます。繰り返し計数器レジスタの0設定は繰り返しなしの後続命令1回動作を行います。

REPEAT命令は繰り返すことができません。KEY命令は繰り返すことができず、繰り返し計数器レジスタの現在値を無効にします。

24.4.6. 命令一式要約

PDI命令一式要約は図24-10.で示されます。

図24-10. PDI命令一式要約

	指令				A量		D量	
LDS	0	0	0	0	x	x	x	x
STS	0	1	0	0	x	x	x	x
LD	0	0	1	0	x	x	x	x
ST	0	1	1	0	x	x	x	x
LDCS	1	0	0	0	x	x	x	x
STCS	1	1	0	0	x	x	x	x
REPEAT	1	0	1	0	0	0	x	x
KEY	1	1	1	0	0	0	0	0

指令				
0	0	0		LDS (直接アドレス指定データ取得)
0	0	1		LD (間接アドレス指定データ取得)
0	1	0		STS (直接アドレス指定データ設定)
0	1	1		ST (間接アドレス指定データ設定)
1	0	0		LDCS (LDS 制御/状態レジスタ)
1	0	1		REPEAT (繰り返し指定)
1	1	0		STCS (STS 制御/状態レジスタ)
1	1	1		KEY (NVMインターフェース許可鍵)

A量 (直接アドレス指定時アドレス長)		D量 (データ長)		P種別 (間接アドレス指定時)	
0	0	0	0	0	0
0	1	0	1	0	1
1	0	1	0	1	0
1	1	1	1	1	1

CSアドレス (制御/状態レジスタ)							
0	0	0	0	0	1	0	0
0	0	0	1	0	1	0	1
0	0	1	0	0	1	1	0
0	0	1	1	0	1	1	1

24.5. レジスタ説明 – PDI命令とアドレス指定レジスタ

PDI命令とアドレス指定のレジスタは全て命令復号とPDIBUSアドレス指定に利用される内部レジスタです。これらのレジスタはレジスタ空間でのレジスタとして入出力不能です。

24.5.1. 命令レジスタ

命令が成功裏に物理層のシフトレジスタ内へシフトされると、それが命令レジスタに複写されます。命令は別の命令が格納されるまで保持されます。この理由は必要な指令の復号を繰り返し行って同じ命令を多数回実行するために、REPEAT命令が同じ命令を強制するかもしれないからです。

24.5.2. ポインタレジスタ

ポインタレジスタはPDIBUSアドレス空間内の位置を指定するアドレス値の格納に使用されます。直接データ入出力の間、ポインタレジスタは命令バイトのオペラントとして与えられたアドレスバイトの指定値によって更新されます。間接データ入出力の間、その入出力自体に先行して既にポインタレジスタ内に格納されているアドレスに基づいてアドレス指定を行います。間接データ入出力は他のどのレジスタ入出力もなしでポインタレジスタの読み書きを可能する任意選択を持ちます。どのレジスタ更新もリトルエンディアン(下位側優先)形式で実行されます。従って、アドレスレジスタの単一バイト格納は常にLSB側バイトが更新され、一方MSB側バイトは無変化のままです。

ポインタレジスタはPDI制御/状態レジスタ空間(CSRS)内のアドレス指定レジスタと無関係です。

24.5.3. 繰り返し計数器レジスタ

REPEAT命令は繰り返されるべき次の命令回数を定義する1つ以上のオペラントバイトを常に伴います。これらのオペラントバイトは受信で繰り返し計数器レジスタ内に複写されます。REPEAT命令とそのオペラントの直ぐに後続する命令の繰り返し実行の間、繰り返し計数器レジスタはそれが全ての繰り返し完了を示す0に達するまで減数(-1)されます。繰り返し計数器は鍵受信にも関係します。

24.5.4. オペラント計数レジスタ

(LDCSとSTCS命令を除く)命令直後、(命令の量部分によって与えられる)指定数のオペラントまたはデータバイトが期待されます。オペラント計数レジスタは何バイトが転送されたかの経過を保持するのに使用されます。

24.6. レジスタ説明 – PDI制御/状態レジスタ

PDIの制御と状態のレジスタはLDCSとSTCSの命令を使用して入出力可能なPDI制御/状態レジスタ空間(CSRS)内のレジスタです。CSRSはPDI自身の形態設定と状態監視に直接関係するレジスタを含みます。

24.6.1. STATUS – 状態レジスタ (Status register)

ビット	7	6	5	4	3	2	1	0	
+\$00	–	–	–	–	–	–	NVMEN	–	STATUS
Read/Write	R	R	R	R	R	R	R/W	R	
初期値	0	0	0	0	0	0	0	0	

●ビット7~2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

●ビット1 – NVMEN : 不揮発性メモリ許可 (Non-Volatile Memory Enable)

この状態ビットは鍵指令がNVMプログラミングインターフェースを許可する時に設定(1)されます。外部書き込み器は許可の成功を検証するために、このビットをポーリングすることができます。NVMENビット書き込みはNVMインターフェースを禁止します。

●ビット0 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

24.6.2. RESET – リセットレジスタ (Reset register)

ビット	7	6	5	4	3	2	1	0	
+\$01	RESET7~0								RESET
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7~0 – RESET7~0 : リセット識票 (Reset Signature)

リセット識票(\$59)がRESETレジスタに書かれると、デバイスはリセットを強制されます。デバイスはRESETレジスタがリセット識票と異なるデータ値で書かれるまでリセットを維持します。LSBビット読み込みはRESETレジスタ(リセット)の状態を返します。上位7ビットはデバイスがリセットか否かのどちらかに拘らず常に0を返します。

24.6.3. CTRL – 制御レジスタ (Control register)

ビット +\$02	7	6	5	4	3	2	1	0	
	–	–	–	–	–	GUARDTIME2~0			CTRL
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~3 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット2~0 – GUARDTIME2~0 : 保護時間 (Guard Time)

これらのビットはPDI送受信方向の変更間に挿入される保護時間のIDLEビット数を指定します。既定保護時間は128 IDLEビットで、利用可能な設定は表24-1.で示されます。通信速度向上のために、保護時間は許容される安全で最低の形態設定にされるべきです。保護時間はTX動作からRX動作への切り換え時に全く挿入されません。

表24-1. 保護時間設定

GUARDTIME2~0	IDLEビット数
0 0 0	128
0 0 1	64
0 1 0	32
0 1 1	16
1 0 0	8
1 0 1	4
1 1 0	2
1 1 1	2

24.7. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$03	予約		－	－	－	－	－	－	－	
+\$02	CTRL	－	－	－	－	－	GUARDTIME2~0			204
+\$01	RESET	RESET7~0								203
+\$00	STATUS	－	－	－	－	－	－	NVMEN	－	203

25. メモリプログラミング

25.1. 要点

- 以下からの全メモリ空間への読み書きアクセス
 - 外部書き込み器
 - 応用ソフトウェア自己プログラミング
- 自己プログラミングとブートローダの支援
 - 書き中の読み(Read-While-Write)自己プログラミング
 - CPUはフラッシュプログラミング(書き込み)最中にコード実行と走行が可能
 - どの通信インターフェースもプログラムの両方向転送に使用可能
- 外部プログラミング
 - 実装時と製造時のプログラミング支援
 - 直列PDIを通したプログラミング
- 以下に対する独立したブート施錠ビットでの高い安全性
 - 外部書き込み器アクセス
 - ブートローダ領域アクセス
 - 応用領域アクセス
 - 応用表領域アクセス
- 以下の先頭でのリセットベクタアドレスを選択するためのリセットヒューズ
 - 応用領域、または
 - ブートローダ領域

25.2. 概要

本項はAtmel AVR XMEGAデバイス内の不揮発性メモリ(NVM)のプログラミング方法を記述し、自己プログラミングと外部プログラミングの両方を網羅します。NVMはプログラムフラッシュメモリ、使用者識別票列と製品識別票(校正)列、ヒューズと施錠ビット、データ用EEPROMから成ります。実際のメモリ詳細、それらがどう構成されるかと、メモリをアクセスするのに使用されるNVM制御器に関するレジスタ記述については15頁の「[メモリ](#)」を参照してください。

NVMは自己プログラミングを通す応用ソフトウェアと外部書き込み器から読み書きに関してアクセスすることができます。NVMアクセスはNVM制御器を通して行われ、この2つのプログラミング方法は同様です。メモリアクセスは選択したメモリまたはNVM制御器にアドレスと/またはデータを設定することによって行われ、1式の命令の使用と起動元がNVM制御器に不揮発性メモリでの特別な作業をさせます。

外部プログラミングからは、読み込みだけ可能な製品識別票列を除いて、全メモリ空間が読み書きできます。デバイスは実装プログラミングができ、PDIインターフェースを用いてPDIを通してアクセスされます。216頁の「[外部プログラミング](#)」はPDIを詳細に記述します。

自己プログラミングとブートローダ支援はフラッシュメモリ、使用者識別票列、EEPROMの読み書きと、より安全な設定への施錠ビット書き込みと、製品識別票列とヒューズの読み込みをデバイス内の応用ソフトウェアに許します。フラッシュメモリは、フラッシュメモリがプログラミング(書き込まれつつある)最中にCPUがコードを実行して動作を続けられることを意味する、書き中の読み(Read-While-Write)自己プログラミングを許します。208頁の「[自己プログラミングとブートローダ支援](#)」はこれを詳細に記述します。

自己プログラミングと外部プログラミングの両方について、プログラミング後の内容を検証するためにフラッシュメモリまたはフラッシュメモリの領域でのCRC検査を走行することが可能です。

デバイスはNVMの読みと/または書きを防ぐために施錠することができます。外部プログラミングでのアクセスと、ブートローダ領域、応用領域、応用表領域への自己プログラミングでのアクセスに対して独立した施錠ビットがあります。

25.3. NVM制御器

不揮発性メモリへのアクセスはNVM制御器を通して行われます。これは外部プログラミングと自己プログラミングの両方に対する共通NVMインターフェースで、NVMタイミングとアクセス権限を制御してNVMの状態を保持します。より多くの詳細については220頁の「[レジスタ説明](#)」を参照してください。

25.4. NVM指令

NVM制御器はNVMで作業を実行するのに使用される1組の指令を持っています。これはNVM指令(CMD)レジスタへ選択した指令を書くことによって行われます。加えてメモリ読み書き操作についてはデータとアドレスがNVMデータとNVMアドレスのレジスタと読み書きされなければなりません。

操作に関するアドレスとデータが設定され、選択した指令が格納されると、各指令はその操作を開始する起動源を持ちます。それらの起動源に基くものには主に3つの命令形式があります。

25.4.1. 活動起動指令

活動起動指令はNVM制御レジスタA(CTRLA)で指令実行(CMD)ビットが書かれる時に起動されます。活動起動指令は代表的にCRC検査のような、NVM読み書きをしない操作に対して用いられます。

25.4.2. NVM読み込み起動指令

NVM読み込み起動指令はNVMが読まれる時に起動され、これは代表的にNVM読み込み操作に用いられます。

25.4.3. NVM書き込み起動指令

NVM書き込み起動指令はNVMが書かれる時に起動され、これは代表的にNVM書き込み操作に用いられます。

25.4.4. 書き込み/実行保護

殆どの指令起動源は自己プログラミング中の不慮の変更/実行から保護されます。これはビット変更または指令実行のために特別な書き込みや実行の手順を必要とする、形態設定変更保護(CCP)機能を使用して行われます。CCPの詳細については10頁の「[形態設定変更保護](#)」を参照してください。

25.5. NVM制御器多忙状態

NVM制御器が操作実行中で多忙のとき、[NVM状態\(STATUS\)レジスタ](#)の[多忙\(NVMBUSY\)フラグ](#)が設定(1)され、以下のレジスタが書き込みアクセスに対して防がれます。

- [NVM指令\(CMD\)レジスタ](#)
- [NVM制御A\(CTRLA\)レジスタ](#)
- [NVM制御B\(CTRLB\)レジスタ](#)
- [NVMアドレス\(ADDR2,ADDR1,ADDR0\)レジスタ](#)
- [NVMデータ\(DATA2,DATA1,DATA0\)レジスタ](#)

これは新しい操作の開始前に与えられた指令が実行されて操作が終了するのを保証します。外部書き込み器または応用ソフトウェアはプログラミング操作で多忙の間にNVMがアドレス指定されないことを保証しなければなりません。

NVMのどの部分のプログラミングも以下のように自動的に防がれます。

- NVMの他の部分への全てのプログラミング
- フラッシュ メモリとEEPROMのページ緩衝部の全ての格納/消去
- 外部書き込み器からの全てのNVM読み込み
- 応用領域からの全てのNVM読み込み

自己プログラミングの間は割り込みが禁止されなければならないか、または68頁の「[割り込みと設定可能な多段割り込み制御器](#)」で記述されるように割り込みベクタ表が[ブートローダ領域へ移動](#)されなければなりません。

25.6. フラッシュ メモリとEEPROMのページ緩衝部

フラッシュ メモリはページ単位で更新されます。EEPROMはバイト単位とページ単位で更新することができます。フラッシュ メモリとEEPROMのページ書き込みは最初に関連するページ緩衝部を満たし、そしてフラッシュ メモリまたはEEPROM内の選択したページにページ緩衝部全体を書くことによって行われます。

ページとページ緩衝部の容量は各デバイスでのフラッシュ メモリとEEPROMの容量に依存し、ページ容量とページ数の詳細はデバイスのデータシートで記述されます。

25.6.1. フラッシュ ページ緩衝部

フラッシュ ページ緩衝部は1語(ワード)ずつ満たされ、それが格納され得るのに先立って消去されなければなりません。新しい内容でページ緩衝部が格納される時の結果はページ緩衝部位置の内容と新しい値間の2進でのANDです。ページ緩衝部が消去後に既に一旦格納された場合、その位置は多分不正にされるでしょう。

未格納のページ緩衝部位置は\$FFFFの値を持ち、**(訳補:そのまま書かれたなら、)**その後この値が対応するフラッシュ メモリのページ位置に書かれます。

ページ緩衝部は以下の後で自動的に消去されます。

- デバイス リセット
- フラッシュ ページ書き込み指令実行
- フラッシュ ページ消去&書き込み指令実行
- 識別列書き込み指令実行
- 施錠ビット書き込み指令実行

25.6.2. EEPROM ページ緩衝部

EEPROMページ緩衝部は1バイトずつ満たされ、それが格納され得るのに先立って消去されなければなりません。新しい内容でページ緩衝部が格納される時の結果はページ緩衝部位置の内容と新しい値間の2進でのANDです。EEPROMページ緩衝部が消去後に既に一旦格納された場合、その位置は多分不正にされるでしょう。

格納されたEEPROMページ緩衝部位置はNVM制御器によって付箋付けがなされます。ページ書き込みまたはページ消去の間で目的位置だけが書かれ、または消去されます。目的でない位置は書かれず、または消去されず、対応するEEPROM位置は無変化に留まります。これはEEPROMページ消去(訳補:緩衝部ではなくEEPROM自体)前にもそれらに付箋付けするために選択したページ緩衝部位置へデータが格納されなければならないことを意味します。EEPROMページ消去実行時に目的位置の実際の値は問題です。

EEPROMページ緩衝部は以下の後で自動的に消去されます。

- システム リセット
- EEPROMページ書き込み指令実行
- EEPROMページ消去&書き込み指令実行
- 施錠ビット書き込みとヒューズ書き込み指令実行

25.7. フラッシュ メモリとEEPROMのプログラミング手順

ページプログラミングに関して、ページ緩衝部を満たすのと、フラッシュ メモリまたはEEPROM内へページ緩衝部を書くのは2つの独立した操作です。この手順は自己プログラミングと外部プログラミングの両方について同じです。

25.7.1. フラッシュ メモリ プログラミング手順

フラッシュ ページ緩衝部のデータでフラッシュ ページを書く前に、フラッシュ ページは消去されなければなりません。未消去フラッシュ ページ書き込みはそのフラッシュ ページ内容を不正にするでしょう。

フラッシュ ページ緩衝部は以下のようにフラッシュ ページ消去操作前、またはフラッシュ ページ消去とフラッシュ ページ書き込みの間のどちらでも満たすことができます。

選択1:

- フラッシュ ページ緩衝部を満たしてください。
- フラッシュ ページ消去を実行してください。
- フラッシュ ページ書き込みを実行してください。

選択2:

- フラッシュ ページ緩衝部を満たしてください。
- 非分断フラッシュ ページ消去&書き込みを実行してください。

選択3: ページ消去後のページ緩衝部満たし

- フラッシュ ページ消去を実行してください。
- フラッシュ ページ緩衝部を満たしてください。
- フラッシュ ページ書き込みを実行してください。

NVM指令一式は非分離消去&書き込み操作と、分離したページ消去とページ書き込み命令の両方を支援します。この分離指令は各指令に対してより短い書き込み時間を可能にし、消去操作は時間が際どくないプログラミング実行の間に行うことができます。自己プログラミングに対して上の**選択1**または**2**を使用するとき、ブートローダが効率的な書き中の読み(Read-While-Write)機能を提供し、そしてそれは最初にページを読んで、必要な変更を行い、そして修正されたデータを書き戻すことをソフトウェアに許します。**選択3**が使用される場合はページが既に消去されているので、格納中に旧データを読むのは不可能です。**選択1**または**3**を使用する時にページ アドレスはページ消去とページ書き込みの両操作に対して同じでなければなりません。

25.7.2. EEPROMプログラミング手順

EEPROMページ緩衝部に格納された付箋付けしたデータ バイト数でEEPROMを書く前に、EEPROMページ内の選択位置は消去されなければなりません。未消去EEPROMページ書き込みはその内容を不正にするでしょう。どのページ消去またはページ書き込み操作にも先立って、EEPROMページ緩衝部が格納されなければなりません。

選択1:

- 選択したバイト数でEEPROMページ緩衝部を満たしてください。
- EEPROMページ消去を実行してください。
- EEPROMページ書き込みを実行してください。

選択2:

- 選択したバイト数でEEPROMページ緩衝部を満たしてください。
- EEPROMページ消去&書き込みを実行してください。

25.8. NVMの保護

フラッシュ メモリとEEPROMを読みと/または書きから保護するために、外部書き込み器と応用ソフトウェアからのアクセスを制限するように施錠ビットを設定することができます。利用可能な施錠ビット設定の詳細とそれらの使用法については23頁の「LOCKBITS – 施錠ビット レジスタ」を参照してください。

25.9. NVM化けの防止

VCC電圧がデバイスに対する最低動作電圧未満の間、供給電圧が正しく動作するCPUとフラッシュ メモリに対して低すぎるため、フラッシュ メモリ書き込みの結果は不正になり得ます。フラッシュ メモリのプログラミング手順全体の間に電圧が充分足ることを保証するため、POR閾値 (VPOT+)を用いた電圧検出器が許可されます。チップ消去中とPDIが許可される時に低電圧検出器(BOD)がその形態設定されたレベルで自動的に許可されます。

プログラミング操作に依存して、それらのVCC電圧レベルのどれかに達したなら、プログラミング手順は直ちに中止されます。これが起きたなら、書き込み手順失敗または部分のみ成功の場合、NVMプログラミングは電力が再び充分になった時に改めて開始されるべきです。

25.10. CRC機能

プログラム用フラッシュ メモリで自動巡回冗長検査(CRC)を走行することが可能です。CRC部署を制御するのにNVMが使用されると、最低フラッシュ範囲動作で偶数のバイト数が読まれます。使用者が奇数のバイト数で範囲を選ぶ場合、追加のバイトが読まれ、チェックサムは選択した範囲に対応しないでしょう。

より多くの詳細については167頁の「CRC – 巡回冗長検査」を参照してください。

25.11. 自己プログラミングとブートローダ支援

デバイス内の応用ソフトウェアからのEEPROMとフラッシュ メモリの読み書きは自己プログラミングとして参照されます。ブートローダ(フラッシュ メモリのブートローダ領域に配置された応用コード)はプログラム用フラッシュ メモリ、使用者識票列、EEPROMの読み書き両方と、もっと安全な設定への施錠ビット書き込みができます。応用領域内の応用コードはフラッシュ メモリ、使用者識票列、製品識票(校正)列、ヒューズの読み込みと、EEPROMの読み書きができます。

25.11.1. フラッシュ プログラミング

ブートローダ支援はデバイス自身による新しいプログラム コードの更新のための真の書き中の読み(Rwad-While-Write)自己プログラミング機構を提供します。この機能はフラッシュ メモリのブートローダ領域に属すブートローダ応用を使用するデバイスによって制御される柔軟な応用ソフトウェア更新を可能にします。ブートローダはコード読み込みとフラッシュ メモリへのコード書き込み、またはプログラム メモリ コード読み出しのために、利用可能な通信インターフェースと関連する規約のどれでも使用することができます。それはブートローダ領域を含むフラッシュ メモリ全体に書く能力を持ちます。従ってブートローダは自身を変更でき、この機能がそれ以上必要とされないなら、フラッシュ メモリからそれ自身を消去することもできます。

25.11.1.1. 応用領域とブートローダ領域

フラッシュ メモリ内の応用領域とブートローダ領域は自己プログラミングを行う時に異なります。

- 応用領域内に配置されたページの消去または書き込み時、ブートローダ領域はその操作中に読むことができ、従ってCPUはブートローダ領域からコードを実行して走行することができます。
- ブートローダ領域内に配置されたページの消去または書き込み時、CPUはその操作全体の間、停止され、コードは実行できません。

使用者識票列領域はブートローダ領域と同じ特性を持ちます。

表25-1. 自己プログラミング機能の要約

プログラミング中にZポインタでアドレス指定されている領域	プログラミング中に読める領域	CPU動作
応用領域	ブートローダ領域	走行
ブートローダ領域	なし	停止
使用者識票列領域	なし	停止

25.11.1.2. フラッシュ メモリのアドレス指定

読み書きアクセスに対するフラッシュ メモリのアドレスを保持するのにZポインタが使用されます。Zポインタのより多くの詳細については8頁の「X, Y, Zレジスタ」を参照してください。

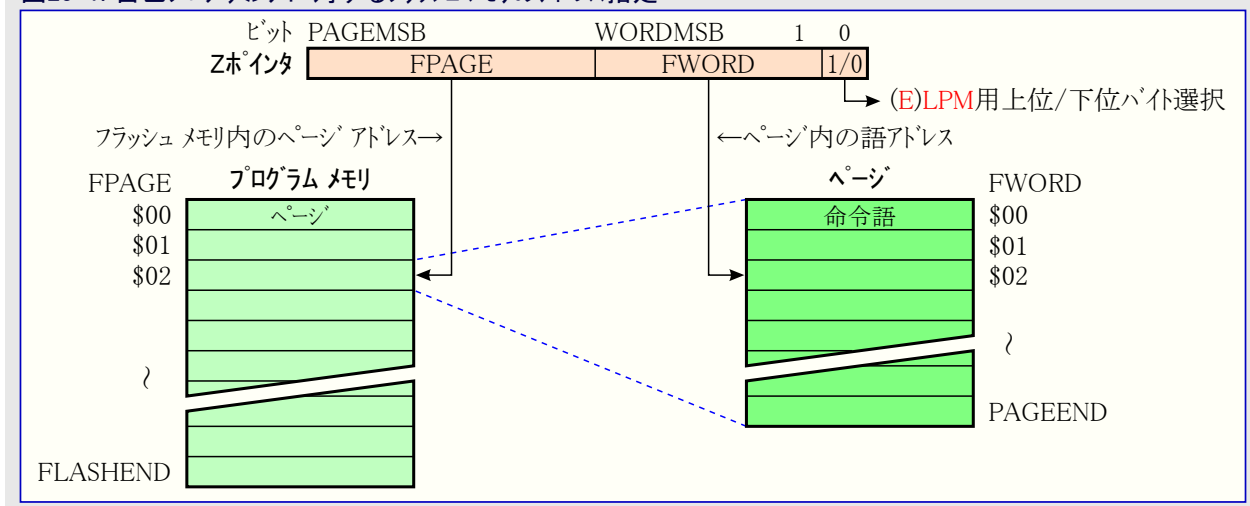
フラッシュ メモリがページで構成され、語(ワード)でアクセスされるため、Zポインタは2つの領域を持つように扱うことができます。最下位側ビットはページ内の語をアドレス指定し、一方最上位側ビットはフラッシュ メモリ内のページをアドレス指定します。これは図25-1.で示されます。ページ内の語アドレス(FWORD)はZポインタ内のビットWORDMSB~1によって保持されます。Zポインタ内の残りのビットPAGAMSB~WORDMSB+1はフラッシュ ページ アドレス(FPAGE)を保持します。FPAGEとFWORDを併せて、フラッシュ メモリ内の語への絶対アドレスを保持します。

フラッシュ メモリ読み込み操作(LPMとELPM)については1度に1バイトが読まれます。これに関して語アドレス内の上位バイトと下位バイトを選択するために、Zポインタ内の最下位ビット(ビット0)が使用されます。このビットが0ならば下位バイトが読まれ、このビットが1ならば上位バイトが読まれます。

FPAGEとFWORDの容量はデバイスのフラッシュ容量とページ容量に依存します。各デバイスのデータシートを参照してください。

一旦プログラミング操作が開始されると、アドレスはラッチされ、Zポインタは更新して他の操作に使用することができます。

図25-1. 自己プログラミングに対するフラッシュ メモリのアドレス指定



25.11.2. NVM フラッシュ指令

プログラム用フラッシュ メモリ、使用者識票列、製品識票(校正)列をアクセスするのに使用できるNVM指令が表25-2.で一覧されます。

フラッシュ メモリの自己プログラミングに対する活動起動指令の起動はNVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)することです。読み込み起動指令は(E)LPM命令を実行することによって起動されます。書き込み起動指令はSPM命令を実行することによって起動されます。

(表の)変更保護列は起動源が形態設定変更保護(CCP)によって保護されるかどうかを示します。これは自己プログラミング中に起動源を書く/実行するための特別な手順です。より多くの詳細については11頁の「CCP – 形態設置変更保護レジスタ」を参照してください。外部プログラミングにCCPは必要とされません。右端側2列はアドレス指定に使用されるアドレス ポインタと転送元/転送先データレジスタを示します。

25.11.2.1.項～204頁の25.11.2.14.項は各NVM操作に対する方法を詳細に説明します。

表25-2. フラッシュ メモリ自己プログラミング指令								
CMD6~0	群形態設定	内容	起動源	CPU停止	NVM多忙	変更保護	アドレス ポインタ	データレジスタ
\$00	NO_OPERATION	無操作/フラッシュ読み込み	-(E)LPM	-/N	N	-/N	-/Zポインタ	-/Rd
フラッシュ ページ緩衝部								
\$23	LOAD_FLASH_BUFFER	フラッシュ ページ緩衝部格納(設定)	SPM	N	N	-/N	Zポインタ	R1:R0
\$26	ERASE_FLASH_BUFFER	フラッシュ ページ緩衝部消去	CMDEX	N	Y	Y	Zポインタ	-
フラッシュ メモリ全体								
\$2B	ERASE_FLASH_PAGE	フラッシュ ページ消去	SPM	N/Y(注1)	Y	Y	Zポインタ	-
\$2E	WRITE_FLASH_PAGE	フラッシュ ページ書き込み	SPM	N/Y(注1)	Y	Y	Zポインタ	-
\$2F	ERASE_WRITE_FLASH_PAGE	フラッシュ ページ消去&書き込み	SPM	N/Y(注1)	Y	Y	Zポインタ	-
\$3A	FLASH_RANGE_CRC (注2)	フラッシュ範囲CRC	CMDEX	Y	Y	Y	DATA/ADDR	DATA
応用領域フラッシュ メモリ								
\$20	ERASE_APP	応用領域消去	SPM	Y	Y	Y	Zポインタ	-
\$22	ERASE_APP_PAGE	応用領域ページ消去	SPM	N	Y	Y	Zポインタ	-
\$24	WRITE_APP_PAGE	応用領域ページ書き込み	SPM	N	Y	Y	Zポインタ	-
\$25	ERASE_WRITE_APP_PAGE	応用領域ページ消去&書き込み	SPM	N	Y	Y	Zポインタ	-
\$38	APP_CRC	応用領域CRC	CMDEX	Y	Y	Y	-	DATA
ブートローダ領域フラッシュ メモリ								
\$2A	ERASE_BOOT_PAGE	ブートローダ領域ページ消去	SPM	Y	Y	Y	Zポインタ	-
\$2C	WRITE_BOOT_PAGE	ブートローダ領域ページ書き込み	SPM	Y	Y	Y	Zポインタ	-
\$2D	ERASE_WRITE_BOOT_PAGE	ブートローダ領域ページ消去&書き込み	SPM	Y	Y	Y	Zポインタ	-
\$39	BOOT_CRC	ブートローダ領域CRC	CMDEX	Y	Y	Y	-	DATA
使用者識票列								
\$01(注3)	READ_USER_SIG_ROW	使用者識票列読み込み	LPM	N	N	N	Zポインタ	Rd
\$18	ERASE_USER_SIG_ROW	使用者識票列消去	SPM	Y	Y	Y	-	-
\$1A	WRITE_USER_SIG_ROW	使用者識票列書き込み	SPM	Y	Y	Y	-	-
製品識票(校正)列 (注4)								
\$02(注3)	READ_CALIB_ROW	校正列読み込み	LPM	N	N	N	Zポインタ	Rd

注1: 実際にアドレス指定されるフラッシュ領域(応用またはブートローダ)に依存します。

注2: この指令は施錠ビットで制限され、ブート施錠ビットが非プログラム(1)であることを必要とします。

注3: LPM命令の通常の動きを変える指令(READ_USER_SIG_ROWとREAD_CALIB_ROW)の使用時、LPM命令の正しい実行を保証するために割り込みを禁止することが推奨されます。

注4: 一貫性のため、名称の校正列はデータシート全体を通して製品識票列に改名されています。

25.11.2.1. フラッシュ読み込み

フラッシュ メモリから1バイトを読むのに(E)LPM命令が使用されます。

- 読むバイト アドレスをZポインタに格納してください。
- 無操作指令をNVM指令(CMD)レジスタに格納してください。
- (E)LPM命令を実行してください。

転送先レジスタは(E)LPM命令の実行中に格納されます。

25.11.2.2. フラッシュ ページ緩衝部消去

フラッシュ ページ緩衝部を消去するのにフラッシュ ページ緩衝部消去指令が使用されます。

- フラッシュ ページ緩衝部消去指令をNVM指令(CMD)レジスタに格納してください。
- NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください(これは自己プログラミング中にCCP時間手順を必要とします)。

ページ緩衝部が消去されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

25.11.2.3. フラッシュ ページ緩衝部格納(設定)

フラッシュ ページ緩衝部内に1語(ワード)のデータを格納するのにフラッシュ ページ緩衝部格納指令が使用されます。

1. **フラッシュ ページ緩衝部格納指令**をNVM指令(CMD)レジスタに格納してください。
2. 書く語アドレスをZポインタに格納してください。
3. R1:R0レジスタに書かれるべきデータ語を格納してください。
4. **SPM**命令を実行してください。**SPM**命令はフラッシュ ページ緩衝部格納のプログラミング時に保護されません。

フラッシュ ページ緩衝部全体が格納されるまで手順2.~4.を繰り返してください。未格納(未設定)位置は\$FFFFの値を持ちます。

25.11.2.4. フラッシュ ページ消去

フラッシュ メモリの1ページを消去するのにフラッシュ ページ消去指令が使用されます。

1. 消去するフラッシュのページ アドレスをZポインタに格納してください。ページ アドレスは**FPAGE**に書かれなければなりません。Zポインタの他のビットはこの操作の間、無視されます。
2. **フラッシュ ページ消去指令**をNVM指令(CMD)レジスタに格納してください。
3. **SPM**命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

消去操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。フラッシュ メモリが多忙の間、フラッシュ領域多忙(FBUSY)フラグが設定(1)され、応用領域をアクセスすることができません。

25.11.2.5. フラッシュ ページ書き込み

フラッシュ メモリの1ページ内にフラッシュ ページ緩衝部を書くのにフラッシュ ページ書き込み指令が使用されます。

1. 書くフラッシュのページ アドレスをZポインタに格納してください。ページ アドレスは**FPAGE**に書かれなければなりません。Zポインタの他のビットはこの操作の間、無視されます。
2. **フラッシュ ページ書き込み指令**をNVM指令(CMD)レジスタに格納してください。
3. **SPM**命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

この書き込み操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。フラッシュ メモリが多忙の間、フラッシュ領域多忙(FBUSY)フラグが設定(1)され、応用領域をアクセスすることができません。

25.11.2.6. フラッシュ範囲CRC

自己プログラミング後にフラッシュ メモリのアドレス範囲内の内容を検証するのにフラッシュ範囲CRC指令が使用されます。

1. **フラッシュ範囲CRC指令**をNVM指令(CMD)レジスタに格納してください。
2. **NVMアドレス(ADDR2,ADDR1,ADDR0)レジスタ**に開始バイト アドレスを格納してください。
3. **NVMデータ(DATA2,DATA1,DATA0)レジスタ**に終了バイト アドレスを格納してください。
4. **NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビット**を設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

フラッシュ範囲CRCを使用するには、全てのブート施錠ビットが非プログラム(1,無施錠)にされなければなりません。アクセスされる位置に対するブート施錠ビットが(1以外に)設定されている場合、指令実行は失敗中止にされます。

25.11.2.7. 応用領域消去

応用領域を完全に消去するのに応用領域消去指令が使用されます。

1. 応用領域内の何処かの位置をZポインタに格納してください。
2. **応用領域消去指令**をNVM指令(CMD)レジスタに格納してください。
3. **SPM**命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。この指令の完全な実行の間、CPUは停止されます。

25.11.2.8. 応用領域/ブートローダ領域 ページ消去

応用領域またはブートローダ領域内の1ページを消去するのに応用領域ページ消去とブートローダ領域ページ消去指令が使用されます。

1. 消去するフラッシュのページ アドレスをZポインタに格納してください。ページ アドレスは**FPAGE**に書かれなければなりません。Zポインタの他のビットはこの操作の間、無視されます。
2. **応用領域ページ消去/ブートローダ領域ページ消去指令**をNVM指令(CMD)レジスタに格納してください。
3. **SPM**命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

消去操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。フラッシュ メモリが多忙の間、フラッシュ領域多忙(FBUSY)フラグが設定(1)され、応用領域をアクセスすることができません。

Zポインタの無効ページ アドレスはNVM指令を失敗中止にします。応用領域ページ消去指令は応用領域をアドレス指定するZポインタを必要とし、ブートローダ領域ページ消去指令はブートローダ領域をアドレス指定するZポインタを必要とします。(訳注:共通性から前2行追加)

25.11.2.9. 応用領域/ブートローダ領域 ページ書き込み

応用領域またはブートローダ領域の1ページ内にフラッシュ ページ緩衝部を書くのに応用領域ページ書き込みとブートローダ領域ページ書き込み指令が使用されます。

1. 書くフラッシュのページ アドレスをZポインタに格納してください。ページ アドレスはFPAGEに書かれなければなりません。Zポインタの他のビットはこの操作の間、無視されます。
2. 応用領域ページ書き込み/ブートローダ領域ページ書き込み指令をNVM指令(CMD)レジスタに格納してください。
3. SPM命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

消去操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。フラッシュ メリが多忙の間、フラッシュ領域多忙(FBUSY)フラグが設定(1)され、応用領域をアクセスすることができません。

Zポインタの無効ページ アドレスはNVM指令を失敗中止にします。応用領域ページ書き込み指令は応用領域をアドレス指定するZポインタを必要とし、ブートローダ領域ページ書き込み指令はブートローダ領域をアドレス指定するZポインタを必要とします。

25.11.2.10. 応用領域/ブートローダ領域 ページ 消去&書き込み

1つの非分断操作で、応用領域またはブートローダ領域内の1ページを消去し、そしてそのページ内にフラッシュ ページ緩衝部を書くのに応用領域ページ消去&書き込みとブートローダ領域ページ消去&書き込み指令が使用されます。

1. 書くフラッシュのページ アドレスをZポインタに格納してください。ページ アドレスはFPAGEに書かれなければなりません。Zポインタの他のビットはこの操作の間、無視されます。
2. 応用領域ページ消去&書き込み/ブートローダ領域ページ消去&書き込み指令をNVM指令(CMD)レジスタに格納してください。
3. SPM命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

消去操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。フラッシュ メリが多忙の間、フラッシュ領域多忙(FBUSY)フラグが設定(1)され、応用領域をアクセスすることができません。

Zポインタの無効ページ アドレスはNVM指令を失敗中止にします。応用領域ページ消去&書き込み指令は応用領域をアドレス指定するZポインタを必要とし、ブートローダ領域ページ消去&書き込み指令はブートローダ領域をアドレス指定するZポインタを必要とします。

25.11.2.11. 応用領域/ブートローダ領域 CRC

自己プログラミング後に応用領域/ブートローダ領域の内容を検証するのに応用領域/ブートローダ領域CRC指令が使用されます。

1. 応用領域CRC/ブートローダ領域CRC指令をNVM指令(CMD)レジスタに格納してください。
2. NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

CRC指令実行の間、NVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)され、CPUは停止されます。CRCチェックサムはNVMデータ(DATA2,DATA1,DATA0)レジスタで利用可能になるでしょう。

25.11.2.12. 使用者識票列消去

使用者識票列を消去するのに使用者識票列消去指令が使用されます。

1. 使用者識票列消去指令をNVM指令(CMD)レジスタに格納してください。
2. SPM命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

消去操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)され、CPUは停止されます。使用者識票列はNRWWです。

25.11.2.13. 使用者識票列書き込み

使用者識票列内にフラッシュ ページ緩衝部を書くのに使用者識票列書き込み指令が使用されます。

1. 使用者識票列書き込み指令をNVM指令(CMD)レジスタに設定してください。
2. SPM命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)され、この指令実行の間、CPUは停止されます。指令実行の間の書き込み操作後にフラッシュ ページ緩衝部が解除されますが、CPUはこの段階中、停止されません。

25.11.2.14. 使用者識票列/製品識票列 読み込み

使用者識票列または製品識票(校正)列から1バイトを読むのに使用者識票列/製品識票(校正)列読み込み指令が使用されます。

1. 読むバイト アドレスをZポインタに格納してください。
2. 使用者識票列読み込み/製品識票(校正)列読み込み指令をNVM指令(CMD)レジスタに格納してください。
3. LPM命令を実行してください。

転送先レジスタはLPM命令実行の間に格納されます。

フラッシュ読み込みに対してLPMが正しく実行されることを保証するため、それらの指令のどれかを使用する間、割り込みを禁止することが勧告されます。

25.11.3. NVM ヒューズと施錠ビット指令

ヒューズと施錠ビットをアクセスするのに使用できるNVM指令が表25-3.で一覧されます。

ヒューズと施錠ビットの自己プログラミングに対する活動起動指令の起動はNVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)することです。読み込み起動指令は(E)LPM命令を実行することによって起動されます。書き込み起動指令はSPM命令を実行することによって起動されます。

(表の)変更保護列は起動源が自己プログラミング中に形態設定変更保護(CCP)によって保護されるかどうかを示します。右端側2列はアドレス指定に使用されるアドレス ポインタと転送元/転送先データ レジスタを示します。

25.11.3.1.項～25.11.3.2.項は各NVM操作に対する方法を詳細に説明します。

表25-3. ヒューズと施錠ビット指令								
CMD6~0	群形態設定	内容	起動源	CPU停止	NVM多忙	変更保護	アドレス ポインタ	データレジスタ
\$00	NO_OPERATION	無操作	-	-	-	-	-	-
ヒューズと施錠ビット								
\$07	READ_FUSES	ヒューズ読み込み	CMDEX	N	Y	N	ADDR	DATA
\$08	WRITE_LOCK_BITS	施錠ビット書き込み	CMDEX	N	Y	Y	ADDR	-

25.11.3.1. 施錠ビット書き込み

ソフトウェアからブート施錠ビットをもっと安全な設定にプログラミングするのに施錠ビット書き込み指令が使用されます。

- 新しい施錠ビット値をNVMデータ0(DATA0)レジスタに格納してください。
- 施錠ビット書き込み指令をNVM指令(CMD)レジスタに格納してください。
- NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。この指令の完全な実行の間中、CPUは停止されます。

この指令はブートロータ領域と応用領域の両方から実行することができます。施錠ビットが書かれる時にEEPROMとフラッシュのページ緩衝部が自動的に消去されます。

25.11.3.2. ヒューズ読み込み

ソフトウェアからヒューズを読むのにヒューズ読み込み指令が使用されます。

- 読むヒューズ バイトへのアドレスをNVMアドレス(ADDR2,ADDR1,ADDR0)レジスタに格納してください。
- ヒューズ読み込み指令をNVM指令(CMD)レジスタに格納してください。
- NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

結果はNVMデータ0(DATA0)レジスタで利用可能になります。この指令の完全な実行の間、CPUは停止されます。

25.11.4. EEPROMプログラミング

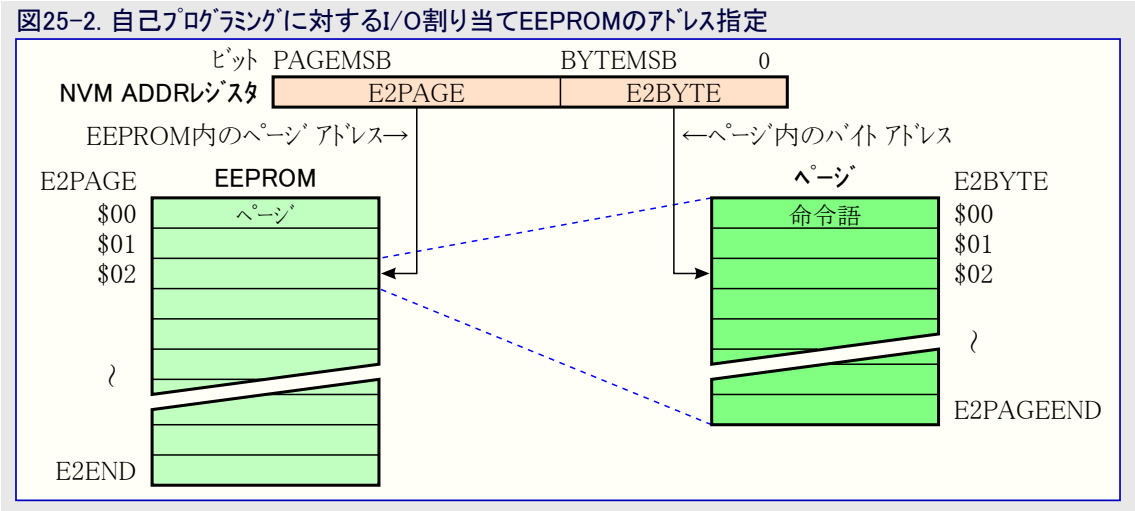
EEPROMはフラッシュ メモリのどの部分の応用コードからでも読み書きすることができます。それはバイトとページの両方でアクセス可能です。これは1度に1バイトまたは1ページのどちらでもEEPROMに書けることを意味します。読み込みではEEPROMから1バイトが読めます。

25.11.4.1. EEPROMのアドレス指定

EEPROMはプログラム用フラッシュ メモリのアクセスと同様に(I/Oに割り当てられた)NVM制御器を通してアクセスすることができ、またはSRAMと同様にアクセスされるデータ メモリ空間内にメモリ割り当てすることもできます。

NVM制御器を通してEPROMをアクセスするとき、EEPROMをアドレス指定するのにNVMアドレス(ADDR2, ADDR1, ADDR0)レジスタが使用され、同時にEEPROMデータを格納または取得するのにNVMデータ(DATA0)レジスタが使用されます。

EEPROMページ プログラミングに対して、ADDRレジスタは2つの領域を持つように扱うことができます。最下位側ビットはページ内のバイトをアドレス指定し、一方最上位側ビットはEEPROM内のページをアドレス指定します。これは図25-2.で示されます。ページ内のバイト アドレス(E2BYTE)はADDRレジスタ内のビットBYTEMsb〜0によって保持されます。ADDRレジスタ内の残りのビットPAGEMsb〜BYTEMsb+1はEEPROMページ アドレス(E2PAGE)を保持します。E2PAGEとE2BYTEを併せて、EEPROM内のバイトへの絶対アドレスを保持します。E2PAGEとE2BYTEの容量はデバイスのEEPROM容量とページ容量に依存します。この詳細については各デバイスのデータシートを参照してください。



メモリ配置EEPROMが許可されると、EEPROMページ緩衝部内へのバイト データ格納は直接または間接の格納(設定)命令を通して実行することができます。ページ緩衝部内の位置を決めるのにEEPROMアドレスの最下位側ビットだけが使用されますが、正しいアドレス割り当てを保証するために完全なメモリ割り当てEEPROMアドレスが常に必要とされます。EEPROMからの読み込みは直接または間接の格納(設定)命令を使用して直接的に行うことができます。メモリ割り当てEEPROMページ緩衝部格納操作が実行されると、CPUは次の命令が実行されるのに先立って2周期停止されます。

EEPROMがメモリ割り当てされると、NVM制御器からのEEPROMページ緩衝部格納とEEPROM読み込み機能は禁止されます。

25.11.5. NVM EEPROM指令

NVM制御器を通してEEPROMをアクセスするのに使用できるNVM EEPROM指令が表25-4.で一覧されます。

EEPROMの自己プログラミングに対する活動起動指令と書き込み起動指令の起動はNVM制御レジスタA(CTRLA)の指令実行(CMDEx)ビットを設定(1)することです。読み込み起動指令はNVMデータ0(DATA0)レジスタを読むことによって起動されます。

(表の)変更保護列は自己プログラミング中に起動源が形態設定変更保護(CCP)によって保護されるかどうかを示します。これは起動源を書く/実行するのに時間手順を必要とします。外部プログラミングにCCPは必要とされません。右端側2列はアドレス指定に使用されるアドレス ポインタと転送元/転送先データ レジスタを示します。

次頁の25.11.5.1.項〜25.11.5.7.項は各EEPROM操作に対する方法を詳細に説明します。

表25-4. EEPROM自己プログラミング指令								
CMD6~0	群形態設定	内容	起動源	CPU停止	NVM多忙	変更保護	アドレスポインタ	データレジスタ
\$00	NO_OPERATION	無操作	-	-	-	-	-	-
EEPROMページ緩衝部								
\$33	LOAD_EEPROM_BUFFER	EEPROMページ緩衝部格納(設定)	DATA0	N	N	Y	ADDR	DATA0
\$36	ERASE_EEPROM_BUFFER	EEPROMページ緩衝部消去	CMDEX	N	Y	Y	-	-
EEPROM								
\$32	ERASE_EEPROM_PAGE	EEPROMページ消去	CMDEX	N	Y	Y	ADDR	-
\$34	WRITE_EEPROM_PAGE	EEPROMページ書き込み	CMDEX	N	Y	Y	ADDR	-
\$35	ERASE_WRITE_EEPROM_PAGE	EEPROMページ消去&書き込み	CMDEX	N	Y	Y	ADDR	-
\$39	ERASE_EEPROM	EEPROM消去	CMDEX	N	Y	Y	-	-
\$06	READ_EEPROM	EEPROM読み込み	CMDEX	N	N	N	ADDR	DATA0

25.11.5.1. EEPROMページ緩衝部格納(設定)

EEPROMページ緩衝部内に1バイトを格納(設定)するのにEEPROMページ緩衝部格納指令が使用されます。

1. **EEPROMページ緩衝部格納指令**を**NVM指令(CMD)レジスタ**に格納してください。
 2. 書くアドレスを**NVMアドレス0(ADDR0)レジスタ**に格納してください。
 3. 書くデータを**NVMデータ0(DATA0)レジスタ**に格納してください。これが指令を起動します。
- 任意数のバイトが格納されるまで手順2.と3.を繰り返してください。

25.11.5.2. EEPROMページ緩衝部消去

EEPROMページ緩衝部を消去するのにEEPROMページ緩衝部消去指令が使用されます。

1. **EEPROMページ緩衝部消去指令**を**NVM指令(CMD)レジスタ**に格納してください。
 2. **NVM制御レジスタA(CTRLA)**の**指令実行(CMDEX)ビット**を設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。
- この操作が終了されるまで**NVM状態(STATUS)レジスタ**の**NVM多忙(NVMBUSY)フラグ**が設定(1)されます。

25.11.5.3. EEPROMページ消去

1つのEEPROMページを消去するのにEEPROMページ消去指令が使用されます。

1. **EEPROMページ消去指令**を**NVM指令(CMD)レジスタ**に設定してください。
2. 消去するEEPROMページ アドレスを**NVMアドレス(ADDR2,ADDR1,ADDR0)レジスタ**に格納してください。
3. **NVM制御レジスタA(CTRLA)**の**指令実行(CMDEX)ビット**を設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

この操作が終了されるまで**NVM状態(STATUS)レジスタ**の**NVM多忙(NVMBUSY)フラグ**が設定(1)されます。

このページ消去指令はEEPROMページ緩衝部に於いて格納されて付箋付けされた位置だけを消去します。

25.11.5.4. EEPROMページ書き込み

EEPROMの1ページ内にEEPROMページ緩衝部に格納された全位置を書くのにEEPROMページ書き込み指令が使用されます。

1. **EEPROMページ書き込み指令**を**NVM指令(CMD)レジスタ**に設定してください。
2. 書くEEPROMページ アドレスを**NVMアドレス(ADDR2,ADDR1,ADDR0)レジスタ**に格納してください。
3. **NVM制御レジスタA(CTRLA)**の**指令実行(CMDEX)ビット**を設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

この操作が終了されるまで**NVM状態(STATUS)レジスタ**の**NVM多忙(NVMBUSY)フラグ**が設定(1)されます。

25.11.5.5. EEPROMページ 消去&書き込み

1つの非分断操作で、最初にEEPROMページを消去してEEPROMの1ページ内にEEPROMページ緩衝部を書くのにEEPROMページ消去&書き込み指令が使用されます。

1. **EEPROMページ消去&書き込み指令**を**NVM指令(CMD)レジスタ**に設定してください。
2. 書くEEPROMページ アドレスを**NVMアドレス(ADDR2,ADDR1,ADDR0)レジスタ**に格納してください。
3. **NVM制御レジスタA(CTRLA)**の**指令実行(CMDEX)ビット**を設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

この操作が終了されるまで**NVM状態(STATUS)レジスタ**の**NVM多忙(NVMBUSY)フラグ**が設定(1)されます。

25.11.5.6. EEPROM消去

EEPROMページ緩衝部に格納されて付箋付けされた位置に対応する全EEPROMページ内の全位置を消去するのにEEPROM消去指令が使用されます。

1. **EEPROM消去指令**を**NVM指令(CMD)レジスタ**に設定してください。
2. **NVM制御レジスタA(CTRLA)**の**指令実行(CMDEX)ビット**を設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

この操作が終了されるまで**NVM状態(STATUS)レジスタ**の**NVM多忙(NVMBUSY)フラグ**が設定(1)されます。

25.11.5.7. EEPROM読み込み

EEPROMから2バイトを読むのにEEPROM読み込み指令が使用されます。

1. **EEPROM読み込み指令**を**NVM指令(CMD)レジスタ**に設定してください。
2. 読むEEPROMバイト アドレスを**NVMアドレス(ADDR2,ADDR1,ADDR0)レジスタ**に格納してください。
3. **NVM制御レジスタA(CTRLA)**の**指令実行(CMDEX)ビット**を設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

読まれたバイト データは**NVMデータ0(DATA0)レジスタ**で利用可能になります。

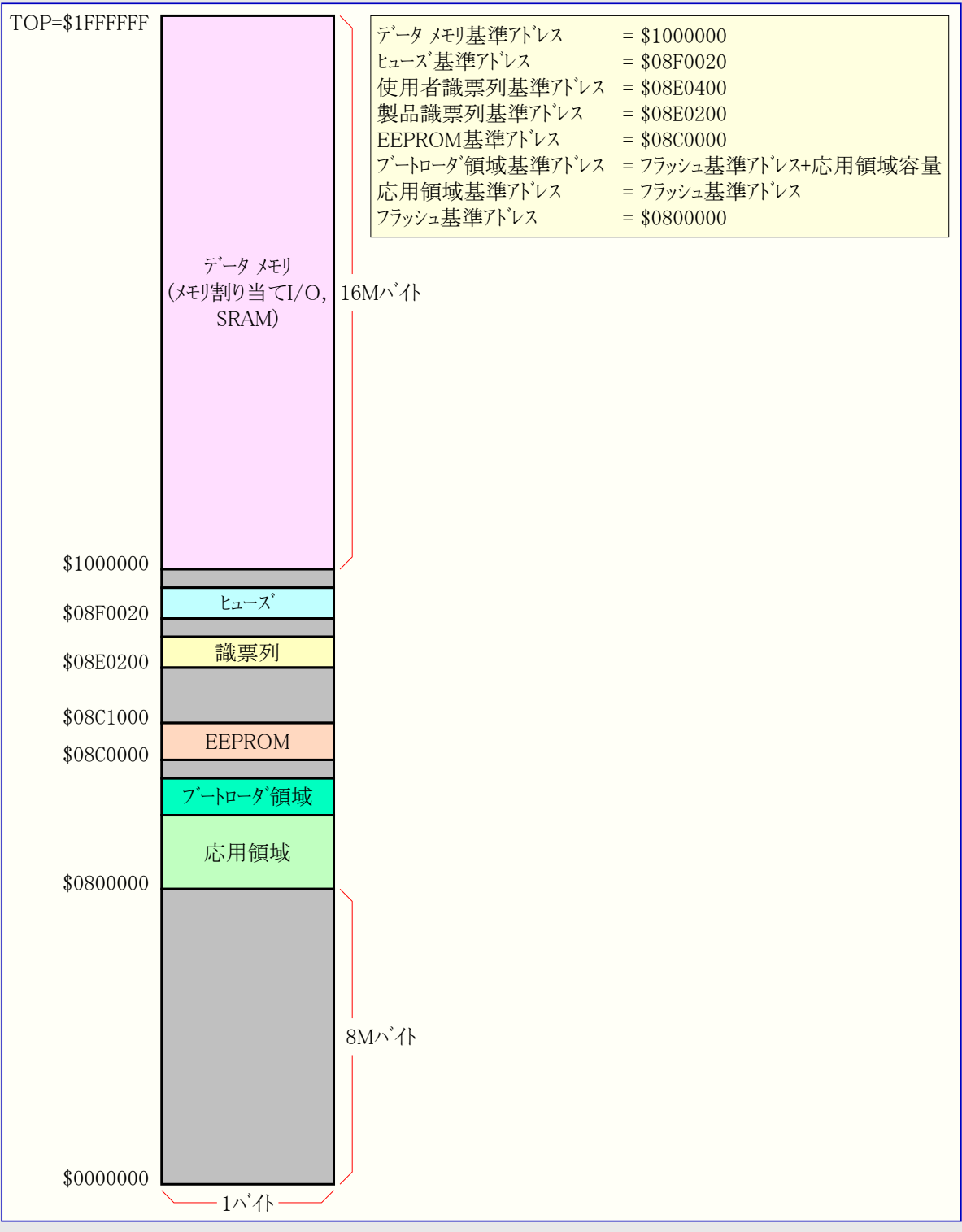
25.12. 外部プログラミング

外部プログラミングは外部の書き込み器またはデバッガからデバイス内のコードと不揮発性データをプログラミングするための方法です。これは実装(実装書き込み)で、または大量生産プログラミングの両方によって行うことができます。

外部プログラミングに対して、デバイスはPDI物理接続を使用し、PDIとPDI制御器を通してアクセスされます。PDIの詳細と物理インターフェースの許可と使用法については197頁の「プログラミングとデバッグ用インターフェース」を参照してください。本項の残り部分はPDIへの正しい物理接続が許可されているとの前提です。

これを行うことでデータとプログラムのメモリ空間の全てが直線的なPDIメモリ空間に割り当てられます。図25-3.はPDIメモリ空間とデバイス内の各メモリ空間に対する基準アドレスを示します。

図25-3. データとプログラムのメモリのPDIアクセス用メモリ割り当て



25.12.1. 外部プログラミング インターフェースの許可

PDIからのNVMプログラミングは以下の手順を用いる許可が必要です。

1. \$59をPDIの**リセット(RESET)レジスタ**に格納してください。
2. PDIに**NVM鍵**を格納してください。
3. **NVM許可(NVMEN)**が設定(1)されるまで**PDI状態(STATUS)レジスタ**のNVMENをポーリングしてください。

PDI状態レジスタのNVMENビットが設定(1)されると、NVMインターフェースはPDIから許可され、活性(有効)です。

25.12.2. NVMプログラミング

PDI NVMインターフェースが許可されると、デバイス内の全てのメモリがPDIアドレス空間にメモリ割り当てされます。PDI制御器はVNM制御器のアドレスやデータのレジスタのアクセスが必要ありませんが、NVM制御器は正しい指令を格納されなければなりません(換言すると、どれかのNVMから読むには、PDIBUSアドレス空間からデータを取得する前に制御器がNVM読み込み指令を格納されなければなりません)。本項の残り部分でのPDIからのデータまたはプログラム メモリ アドレスの読み書きへの全ての参照については、216ページの図25-3.で示されるメモリ割り当てを参照してください。

PDIはバイト アドレス指定を使用し、従って全てのメモリ アドレスはバイト アドレスでなければなりません。フラッシュまたはEEPROMのページ緩衝部を満たす時に、ページ緩衝部内の位置を決めるのにアドレスの最下位側だけが使用されます。それでも、正しいアドレス割り当てを保証するために、フラッシュまたはEEPROMのページに対して完全なメモリ割り当てアドレスが必要とされます。使用者はページ緩衝部の取得と書き込みの両方に関し、ページ境界に注意を払わなければなりません。

プログラミング(ページ消去とページ書き込み)中でNVMが多忙の時に、NVMが読み込みに対して防がれます。

25.12.3. NVM指令

外部プログラミングからNVMメモリをアクセスするのに使用できるNVM指令が次ページの表25-5.で一覧されます。

外部プログラミングに対する活動起動指令の起動は**NVM制御レジスタA(CTRLA)**の**指令実行(CMDEX)ビット**を設定(1)することです。読み込み起動指令はPDIからの直接または間接の取得(**LDS**または**LD**)命令によって起動されます(**PDI読み**)。書き込み起動指令はPDIからの直接または間接の格納(**STS**または**ST**)命令によって起動されます(**PDI書き**)。

219ページの「**チップ消去**」～220ページの「**ヒューズ/施錠ビット書き込み**」は各NVM操作に対する方法を詳細に説明します。指令は施錠ビットによって保護されており、読み書き施錠が設定されている場合、チップ消去とフラッシュCRC指令だけが利用可能です。

表25-5. 外部プログラミングで利用可能なNVM指令

CMD6~0	指令/操作	起動源	NVM多忙	変更保護
\$00	無操作	—	—	—
\$40	チップ消去 (注1)	CMDEX	Y	Y
\$43	NVM読み込み	PDI読み	N	N
フラッシュ ページ緩衝部				
\$23	フラッシュ ページ緩衝部格納(設定)	PDI書き	N	N
\$26	フラッシュ ページ緩衝部消去	CMDEX	Y	Y
フラッシュ メモリ全体				
\$2B	フラッシュ ページ消去	PDI書き	Y	N
\$2E	フラッシュ ページ書き込み	PDI書き	Y	N
\$2F	フラッシュ ページ消去&書き込み	PDI書き	Y	N
\$78	フラッシュ CRC	CMDEX	Y	Y
応用領域フラッシュ メモリ				
\$20	応用領域消去	PDI書き	Y	N
\$22	応用領域ページ消去	PDI書き	Y	N
\$24	応用領域ページ書き込み	PDI書き	Y	N
\$25	応用領域ページ消去&書き込み	PDI書き	Y	N
\$38	応用領域 CRC	CMDEX	Y	Y
ブートローダ領域フラッシュ メモリ				
\$68	ブートローダ領域消去	PDI書き	Y	N
\$2A	ブートローダ領域ページ消去	PDI書き	Y	N
\$2C	ブートローダ領域ページ書き込み	PDI書き	Y	N
\$2D	ブートローダ領域ページ消去&書き込み	PDI書き	Y	N
\$39	ブートローダ領域 CRC	CMDEX	Y	Y
製品識票(校正)領域(注2)と使用者識票領域				
\$01	使用者識票列読み込み	PDI読み	N	N
\$18	使用者識票列消去	PDI書き	Y	N
\$1A	使用者識票列書き込み	PDI書き	Y	N
\$02	校正列読み込み	PDI読み	N	N
ヒューズと施錠ビット				
\$07	ヒューズ読み込み	PDI読み	N	N
\$4C	ヒューズ書き込み	PDI書き	Y	N
\$08	施錠ビット書き込み	PDI書き/CMDEX	Y	N/Y
EEPROM ページ緩衝部				
\$33	EEPROM ページ緩衝部格納(設定)	PDI書き	N	N
\$36	EEPROM ページ緩衝部消去	CMDEX	Y	Y
EEPROM				
\$30	EEPROM消去	PDI書き	Y	N
\$32	EEPROMページ消去	PDI書き	Y	N
\$34	EEPROMページ書き込み	PDI書き	Y	N
\$35	EEPROMページ消去&書き込み	PDI書き	Y	N
\$06	EEPROM読み込み	PDI読み	N	N

注1: EESAVEヒューズがプログラム(0)されている場合、EEPROMはチップ消去の間、保護されます。

注2: 一貫性のため、名称の校正列はデータシート全体を通して製品識票列に改名されています。

25.12.3.1. チップ消去

プログラム用フラッシュ メモリ、EEPROM、施錠ビットを消去するのにチップ消去指令が使用されます。EEPROMの消去はEESAVEヒューズ設定に依存し、この詳細については21頁の「FUSEBYTE5 – ヒューズ バイト5」を参照してください。使用者識票列、製品識票(校正)列、それとヒューズは影響を及ぼされません。

1. **チップ消去指令**をNVM指令(CMD)レジスタに格納してください。
2. NVM制御レジスタA(CTRLA)の**指令実行(CMDEX)ビット**を設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

一旦この操作が始まると、PDI制御器と不揮発性メモリ(NVM)間のPDIバスは禁止され、この操作が終了するまで**PDI状態(STATUS)レジスタ**の**NVM許可(NVMEN)ビット**が解除(0)されます。NVMENビットが設定(1)されるまでポーリングしてください。

この操作が終了されるまで**NVM状態(STATUS)レジスタ**の**NVM多忙(NVMBUSY)フラグ**が設定(1)されます。

25.12.3.2. NVM読み込み

フラッシュ メモリ、EEPROM、識票列、製品識票(校正)列を読むのにNVM読み込み指令が使用されます。

1. **NVM読み込み指令**をNVM指令(CMD)レジスタに格納してください。
2. PDI読み込み操作を実行することによって選択したメモリ アドレスを読んでください。

専用の**EEPROM読み込み**、**ヒューズ読み込み**、**識票列読み込み**、**製品識票(校正)列読み込み指令**も各種メモリ領域に対して利用可能です。これらの指令に対する方法はNVM読み込み指令に対するものと同じです。

25.12.3.3. ページ緩衝部消去

フラッシュとEEPROMのページ緩衝部を消去するのにフラッシュ ページ緩衝部消去とEEPROMページ緩衝部消去指令が使用されます。

1. **フラッシュ ページ緩衝部消去/EEPROMページ緩衝部消去指令**をNVM指令(CMD)レジスタに格納してください。
2. **NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビット**を設定(1)してください。

この操作が終了されるまで**NVM状態(STATUS)レジスタ**の**NVM多忙(NVMBUSY)フラグ**が設定(1)されます。

25.12.3.4. ページ緩衝部格納(設定)

フラッシュとEEPROMのページ緩衝部内に1バイトのデータを格納するのにフラッシュ ページ緩衝部格納とEEPROMページ緩衝部格納指令が使用されます。

1. **フラッシュ ページ緩衝部格納/EEPROMページ緩衝部格納指令**をNVM指令(CMD)レジスタに格納してください。
2. PDI書き込み操作を行うことによって選択したメモリ アドレスに書いてください。

フラッシュ ページ緩衝部は語(ワード)アクセスで、PDIがバイト アクセスを使用するので、PDIは正しい順序でフラッシュ ページ緩衝部に書かなければなりません。書き込み操作については語の下位バイトが上位バイトに先立って書かれなければなりません。この下位バイトは一時レジスタ内に書かれます。そしてPDIが語位置の上位バイトを書くのと同じクロック周期で、この下位バイトがページ緩衝部の語位置に書かれます。

PDIは次のPDI命令を実行できるようになるのに先立って自動的に停止されます。

25.12.3.5. ページ消去

選択したメモリ空間の内の1ページを消去するのに応用領域ページ消去、ブートローダ領域ページ消去、EEPROMページ消去、使用者識票列消去指令が使用されます。

1. **応用領域ページ消去/ブートローダ領域ページ消去/EEPROMページ消去/使用者識票列消去指令**をNVM指令(CMD)レジスタに設定してください。
2. **NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビット**を設定(1)してください。

この操作が終了されるまで**NVM状態(STATUS)レジスタ**の**NVM多忙(NVMBUSY)フラグ**が設定(1)されます。

25.12.3.6. ページ書き込み

選択したメモリ空間内に格納(設定)されたフラッシュ/EEPROM ページ緩衝部を書くのに応用領域ページ書き込み、ブートローダ領域ページ書き込み、EEPROMページ書き込み、使用者識票列書き込み指令が使用されます。

1. **応用領域ページ書き込み/ブートローダ領域ページ書き込み/EEPROMページ書き込み/使用者識票列書き込み指令**をNVM指令(CMD)レジスタに設定してください。
2. PDI書き込み操作を行うことによって選択ページを書いてください。ページはページ内の何処かのバイト位置をアドレス指定することによって書かれます。

この操作が終了されるまで**NVM状態(STATUS)レジスタ**の**NVM多忙(NVMBUSY)フラグ**が設定(1)されます。

25.12.3.7. ページ 消去&書き込み

1つの非分断操作で、選択したメモリ空間に於いて1ページを消去してその後にそのページ内にフラッシュ/EEPROMページ緩衝部を書くのに応用領域ページ消去&書き込み、ブートローダ領域ページ消去&書き込み、EEPROMページ消去&書き込み指令が使用されます。

1. 応用領域ページ消去&書き込み/ブートローダ領域ページ消去&書き込み/EEPROMページ消去&書き込み指令をNVM指令(CMD)レジスタに設定してください。
2. PDI書き込み操作を行うことによって選択ページを書いてください。ページはページ内の何処かのバイト位置をアドレス指定することによって書かれます。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

25.12.3.8. 応用領域/ブートローダ領域/EEPROM消去

選択した領域全体を消去するのに応用領域消去、ブートローダ領域消去、EEPROM消去指令が使用されます。

1. 応用領域消去/ブートローダ領域消去/EEPROM消去指令をNVM指令(CMD)レジスタに設定してください。
2. PDI書き込み操作を行うことによって選択したメモリ領域を書いてください。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

25.12.3.9. 応用領域/ブートローダ領域 CRC

プログラミング(書き込み)後に選択した領域内容を検証するのに応用領域CRCとブートローダ領域CRC指令が使用されます。

1. 応用領域CRC/ブートローダ領域CRC指令をNVM指令(CMD)レジスタに設定してください。
2. NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間制限手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。CRCチェックサムはNVMデータ(DATA2,DATA1,DATA0)レジスタで利用可能になります。

25.12.3.10. フラッシュ CRC

プログラミング(書き込み)後にプログラム用フラッシュ メモリの内容を検証するのにフラッシュCRC指令が使用されます。

1. フラッシュCRC指令をNVM指令(CMD)レジスタに格納してください。
2. NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間制限手順を必要とします。

一旦この操作が始まると、PDI制御器と不揮発性メモリ(NVM)間のPDIバスは禁止され、この操作が終了するまでPDI状態(STATUS)レジスタのNVM許可(NVMEN)ビットが解除(0)されます。PDIバスの許可を示すNVMENビットが再び設定(1)されるまでポーリングしてください。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。CRCチェックサムはNVMデータ(DATA2,DATA1,DATA0)レジスタで利用可能になります。

25.12.3.11. ヒューズ/施錠ビット書き込み

ヒューズとものと安全な設定へ施錠ビットを書くのにヒューズ書き込みと施錠ビット書き込み指令が使用されます。

1. ヒューズ書き込み/施錠ビット書き込み指令をNVM指令(CMD)レジスタに格納してください。
2. PDI書き込み操作を行うことによって選択したヒューズまたは施錠ビットを書いてください。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

施錠ビット書き込みに関しては(CMDEX起動の)施錠ビット書き込み指令も使用できます。

25.13. レジスタ説明

NVM制御器の完全なレジスタ記述については18頁の「レジスタ説明 - NVM制御器」を参照してください。

PDIの完全なレジスタ記述については203頁の「レジスタ説明 - PDI制御/状態レジスタ」を参照してください。

25.14. レジスタ要約

NVM制御器の完全なレジスタ要約については31頁の「レジスタ要約 - NVM制御器」を参照してください。

PDIの完全なレジスタ要約については204頁の「レジスタ要約」を参照してください。

26. 周辺機能部署アドレス割り当て

アドレス割り当て表はXMEGA内の各周辺機能と部署に対する基準アドレスを示します。全てのXMEGAデバイスに全ての周辺機能と部署が存在する訳ではなく、特定デバイスに対する周辺機能部署アドレス割り当てについてはデバイスのデータシートを参照してください。

表26-1. 周辺機能部署アドレス割り当て

基準 アドレス	名称	意味	頁	基準 アドレス	名称	意味	頁
\$0000	GPIO	汎用I/Oレジスタ	32	\$0480	TWIC	ポートCの2線インターフェース	144
\$0010	VPORT0	仮想ポート0	87	\$04A0	TWIE	ポートEの2線インターフェース	
\$0014	VPORT1	仮想ポート1		\$0600	PORTA	ポートA	
\$0018	VPORT2	仮想ポート2		\$0620	PORTB	ポートB	86
\$001C	VPORT3	仮想ポート3		\$0640	PORTC	ポートC	
\$0030	CPU	CPU	14	\$0660	PORTD	ポートD	
\$0040	CLK	クロック制御	54	\$0680	PORTE	ポートE	
\$0048	SLEEP	休止制御器	59	\$06A0	PORTF	ポートF	104
\$0050	OSC	発振器制御	54	\$07E0	PORTR	ポートR	
\$0060	DFLLRC32M	32MHz内部RC発振器用DFLL	54	\$0800	TCC0	ポートCのタイマ/カウンタ0	
\$0068	DFLLRC2M	2MHz内部RC発振器用DFLL		\$0840	TCC1	ポートCのタイマ/カウンタ1	
\$0070	PR	電力削減	59	\$0880	AWEXC	ポートCの新波形拡張	124
\$0078	RST	リセット制御器	63	\$0890	HIRES	ポートCの高分解能拡張	115
\$0080	WDT	ウォッチドッグ タイマ	67	\$08A0	USARTC0	ポートCのUSART0	163
\$0090	MCU	MCU制御	33	\$08C0	SPIC	ポートCの直列周辺インターフェース	148
\$00A0	PMIC	設定可能な多段割り込み制御器	72	\$08F8	IRCOM	赤外線通信部署	166
\$00B0	PORTCFG	ポート形態設定	86	\$0900	TCD0	ポートDのタイマ/カウンタ0	104
\$00D0	CRC	CRC部署	171	\$09A0	USARTD0	ポートDのUSART0	163
\$0180	EVSYS	事象システム	40	\$09C0	SPID	ポートDの直列周辺インターフェース	148
\$01C0	NVM	不揮発性メモリ(NVM)制御器	31	\$0A00	TCE0	ポートEのタイマ/カウンタ0	104
\$0200	ADCA	ポートAのA/D変換器	188	\$0AA0	USARTE0	ポートEのUSART0	163
\$0380	ACA	ポートAのアナログ比較器	196	\$0B00	TCF0	ポートFのタイマ/カウンタ0	104
\$0400	RTC	実時間計数器	129	\$0BA0	USARTF0	ポートFのUSART0	163

27. 命令一式要約 (1/3)

ニーモニック	オペランド	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr + C$	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ワード)長加算	$RdH:RdL \leftarrow RdH:RdL + K$	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr$	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	$RdH:RdL \leftarrow RdH:RdL - K$	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	$Rd \leftarrow Rd \text{ AND } Rr$	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	$Rd \leftarrow Rd \text{ AND } K$	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	$Rd \leftarrow Rd \text{ OR } Rr$	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	$Rd \leftarrow Rd \text{ EOR } Rr$	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	$Rd \leftarrow \$FF - Rd$	I,T,H,S,0,N,Z,1	1
NEG	Rd	2の補数	$Rd \leftarrow \$00 - Rd$	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	$Rd \leftarrow Rd \text{ AND } (\$FF - K)$	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	$Rd \leftarrow Rd + 1$	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	$Rd \leftarrow Rd - 1$	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	$Rd \leftarrow Rd \text{ AND } Rd$	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=\$00)	$Rd \leftarrow Rd \text{ EOR } Rd$	I,T,H,0,0,0,1,C	1
SER	Rd	汎用レジスタの全1設定(=\$FF)	$Rd \leftarrow \$FF$	I,T,H,S,V,N,Z,C	1
MUL	Rd,Rr	符号なし間の乗算	$R1:R0 \leftarrow Rd \times Rr \quad (U \times U)$	I,T,H,S,V,N,Z,C	2
MULS	Rd,Rr	符号付き間の乗算	$R1:R0 \leftarrow Rd \times Rr \quad (S \times S)$	I,T,H,S,V,N,Z,C	2
MULSU	Rd,Rr	符号付きと符号なしの乗算	$R1:R0 \leftarrow Rd \times Rr \quad (S \times U)$	I,T,H,S,V,N,Z,C	2
FMUL	Rd,Rr	符号なし間の固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) \ll 1 \quad (U \times U)$	I,T,H,S,V,N,Z,C	2
FMULS	Rd,Rr	符号付き間の固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) \ll 1 \quad (S \times S)$	I,T,H,S,V,N,Z,C	2
FMULSU	Rd,Rr	符号付きと符号なしの固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) \ll 1 \quad (S \times U)$	I,T,H,S,V,N,Z,C	2
分岐命令					
RJMP	k	相対無条件分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
IJMP		Zレジスタ間接無条件分岐	$PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2
EIJMP		拡張Zレジスタ間接無条件分岐	$PC \leftarrow \text{EIND}:Z$	I,T,H,S,V,N,Z,C	2
JMP	k	絶対無条件分岐	$PC \leftarrow k$	I,T,H,S,V,N,Z,C	3
RCALL	k	相対サブルーチン呼び出し	$\text{STACK} \leftarrow PC, PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2,3 (注1)
ICALL		Zレジスタ間接サブルーチン呼び出し	$\text{STACK} \leftarrow PC, PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2,3 (注1)
EICALL		拡張Zレジスタ間接サブルーチン呼び出し	$\text{STACK} \leftarrow PC, PC \leftarrow \text{EIND}:Z$	I,T,H,S,V,N,Z,C	3 (注1)
CALL	k	絶対サブルーチン呼び出し	$\text{STACK} \leftarrow PC, PC \leftarrow k$	I,T,H,S,V,N,Z,C	3,4 (注1)
RET		サブルーチンからの復帰	$PC \leftarrow \text{STACK}$	I,T,H,S,V,N,Z,C	4,5 (注1)
RETI		割り込みからの復帰	$PC \leftarrow \text{STACK}$	I,T,H,S,V,N,Z,C	4,5 (注1)
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	$Rd=Rr$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	$Rd - Rr$	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	$Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	$Rd - K$	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	$Rr(b)=0$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
SBR	Rr,b	汎用レジスタのビットが設定(1)でスキップ	$Rr(b)=1$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	$P(b)=0$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	2/3,4
SBIS	P,b	I/Oレジスタのビットが設定(1)でスキップ	$P(b)=1$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	2/3,4
BRBS	s,k	ステータスフラグが設定(1)で分岐	$\text{SREG}(s)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータスフラグが解除(0)で分岐	$\text{SREG}(s)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	$Z=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	$Z=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリーフラグが設定(1)で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリーフラグが解除(0)で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの \geq で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの $<$ で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	$N=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	$N=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの \geq で分岐	$(N \text{ EOR } V)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの $<$ で分岐	$(N \text{ EOR } V)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリーフラグが設定(1)で分岐	$H=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリーフラグが解除(0)で分岐	$H=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	$T=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	$T=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	$V=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	$V=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	$I=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	$I=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2

命令一覧 (2/3)

ニーモニック	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	$Rd \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
MOVW	Rd,Rr	汎用レジスタ対間の複写	$Rd+1:Rd \leftarrow Rr+1:Rr$	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	$Rd \leftarrow K$	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xレジスタ間接での取得	$Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,X+	事後増加付きXレジスタ間接での取得	$Rd \leftarrow (X), X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-X	事前減少付きXレジスタ間接での取得	$X \leftarrow X - 1, Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LD	Rd,Y	Yレジスタ間接での取得	$Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,Y+	事後増加付きYレジスタ間接での取得	$Rd \leftarrow (Y), Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-Y	事前減少付きYレジスタ間接での取得	$Y \leftarrow Y - 1, Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LDD	Rd,Y+q	変位付きYレジスタ間接での取得	$Rd \leftarrow (Y + q)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	$Z \leftarrow Z - 1, Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LDD	Rd,Z+q	変位付きZレジスタ間接での取得	$Rd \leftarrow (Z + q)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LDS	Rd,k	データ空間(SRAM)から直接取得	$Rd \leftarrow (k)$	I,T,H,S,V,N,Z,C	2 (注1,2)
ST	X,Rr	Xレジスタ間接での設定	$(X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1 (注1)
ST	X+,Rr	事後増加付きXレジスタ間接での設定	$(X) \leftarrow Rr, X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	1 (注1)
ST	-X,Rr	事前減少付きXレジスタ間接での設定	$X \leftarrow X - 1, (X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
ST	Y,Rr	Yレジスタ間接での設定	$(Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1 (注1)
ST	Y+,Rr	事後増加付きYレジスタ間接での設定	$(Y) \leftarrow Rr, Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	1 (注1)
ST	-Y,Rr	事前減少付きYレジスタ間接での設定	$Y \leftarrow Y - 1, (Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
STD	Y+q,Rr	変位付きYレジスタ間接での設定	$(Y + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1 (注1)
ST	Z+,Rr	事後増加付きZレジスタ間接での設定	$(Z) \leftarrow Rr, Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	1 (注1)
ST	-Z,Rr	事前減少付きZレジスタ間接での設定	$Z \leftarrow Z - 1, (Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
STD	Z+q,Rr	変位付きZレジスタ間接での設定	$(Z + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
STS	k,Rr	データ空間(SRAM)へ直接設定	$(k) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
LPM		プログラム領域からZレジスタ間接での取得	$R0 \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z	同上 (任意のレジスタへ)	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z+	同上 (事後増加付き)	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	3
ELPM		プログラム領域から拡張Zレジスタ間接で取得	$R0 \leftarrow (RAMPZ:Z)$	I,T,H,S,V,N,Z,C	3
ELPM	Rd,Z	同上 (任意のレジスタへ)	$Rd \leftarrow (RAMPZ:Z)$	I,T,H,S,V,N,Z,C	3
ELPM	Rd,Z+	同上 (事後増加付き)	$Rd \leftarrow (RAMPZ:Z), RAMPZ:Z \leftarrow RAMPZ:Z + 1$	I,T,H,S,V,N,Z,C	3
SPM		プログラム領域へZレジスタ間接での設定	$(Z) \leftarrow R1:R0$	I,T,H,S,V,N,Z,C	-
SPM	Z+	同上 (事後増加(+2)付き)	$(Z) \leftarrow R1:R0, RAMPZ:Z \leftarrow RAMPZ:Z + 2$	I,T,H,S,V,N,Z,C	-
IN	Rd,P	I/Oレジスタからの入力	$Rd \leftarrow P$	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	$P \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用レジスタをスタックへ保存	$STACK \leftarrow Rr$	I,T,H,S,V,N,Z,C	1 (注1)
POP	Rd	スタックから汎用レジスタへ復帰	$Rd \leftarrow STACK$	I,T,H,S,V,N,Z,C	2 (注1)
XCH	Z,Rd	RAM位置交換	$Temp \leftarrow Rd, Rd \leftarrow (Z), (Z) \leftarrow Temp$	I,T,H,S,V,N,Z,C	2
LAS	Z,Rd	RAM位置取得&ビット設定(1)	$Temp \leftarrow Rd, Rd \leftarrow (Z), (Z) \leftarrow Temp \text{ OR } (Z)$	I,T,H,S,V,N,Z,C	2
LAC	Z,Rd	RAM位置取得&ビット解除(0)	$Temp \leftarrow Rd, Rd \leftarrow (Z), (Z) \leftarrow (\$FF - Temp) \text{ AND } (Z)$	I,T,H,S,V,N,Z,C	2
LAT	Z,Rd	RAM位置取得&ビット反転	$Temp \leftarrow Rd, Rd \leftarrow (Z), (Z) \leftarrow Temp \text{ EOR } (Z)$	I,T,H,S,V,N,Z,C	2

命令一覧 (3/3)

ニーモニック	オペランド	意味	動作	フラグ	クロック
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSL	Rd	論理的左シフト	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右シフト	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右シフト	$Rd(n) \leftarrow Rd(n+1), n=0\sim6$	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	$Rd(7\sim4) \leftrightarrow Rd(3\sim0)$	I,T,H,S,V,N,Z,C	1
BSET	s	ステータスレジスタのビット設定(1)	$SREG(s) \leftarrow 1$	I,T,H,S,V,1,I,I	1
BCLR	s	ステータスレジスタのビット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1
SEC		キャリーフラグを設定(1)	$C \leftarrow 1$	I,T,H,S,V,N,Z,I	1
CLC		キャリーフラグを解除(0)	$C \leftarrow 0$	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	$N \leftarrow 1$	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	$N \leftarrow 0$	I,T,H,S,V,0,Z,C	1
SEZ		ゼロフラグを設定(1)	$Z \leftarrow 1$	I,T,H,S,V,N,I,C	1
CLZ		ゼロフラグを解除(0)	$Z \leftarrow 0$	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	$I \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	$I \leftarrow 0$	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	$S \leftarrow 1$	I,T,H,1,V,N,Z,C	1
CLS		符号フラグを解除(0)	$S \leftarrow 0$	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	$V \leftarrow 1$	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	$V \leftarrow 0$	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	$T \leftarrow 1$	I,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	$T \leftarrow 0$	I,0,H,S,V,N,Z,C	1
SEH		ハーフキャリーフラグを設定(1)	$H \leftarrow 1$	I,T,1,S,V,N,Z,C	1
CLH		ハーフキャリーフラグを解除(0)	$H \leftarrow 0$	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態動作開始	休止形態動作参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグタイマリセット	ウォッチドッグタイマ参照	I,T,H,S,V,N,Z,C	1
BREAK		一時停止	チップ上デバッグ機能専用(デバッグが使用)	I,T,H,S,V,N,Z,C	1

K6, K : 6, 8ビット定数

X, Y, Z : X, Y, Zレジスタ

q : 符号なし6ビット定数(変位)

P : I/Oレジスタ

b : ビット(0~7)

s : ステータスフラグ(C,Z,N,V,X,H,T,I)

Rd, Rr : 汎用レジスタ(R0~R31)

k : アドレス定数(7,12,16ビット)

注1: データメモリアクセスに対する周期数は内部メモリアクセスを仮定し、外部メモリインターフェース経由のアクセスに対しては有効ではありません。(訳補:XMEGA D系に外部メモリインターフェースはありません。)

注2: 内部SRAMアクセス時に1つの付加周期が追加されなければなりません。

28. 改訂履歴

本章での頁番号参照が本資料への参照であることに注意してください。本章での改訂参照は資料改訂版への参照です。

28.1. 8210A-08/2009

1. 初版

28.2. 8210B-04/2010

1. データシートからスパイク検出器項を削除して更新
2. 172頁の「ADC – A/D変換器」を更新
3. 編集上の更新

28.3. 8210C-09/2011

1. XMEGA AU手引書に従って全章更新と新しい図を追加

28.4. 8210D-02/2013

1. 雛形を更新
2. 校正列への参照を一貫性のために製品識票列へ更新
3. 16頁の「製品識票列」で247頁の「NVMフラッシュ指令」への参照を追加
4. 16頁の「ヒューズと施錠(Lock)ビット」にいくつかのヒューズを非プログラム(1)のままにする重大性の情報を追加
5. 25頁の「レジスタ説明 – 製品識票列」でレジスタ アドレスから“+”を削除
6. 34頁の図5-2を更新。“チャネル掃引”を“同期掃引”で置換
7. 39頁で「CHnCTRL – 事象チャネル制御レジスタ」の記述を更新
8. 47頁の「RTCCTRL – RTC制御レジスタ」への参照を追加することによって42頁の「32kHz超低電力発振器」と「32.768kHz校正付き発振器」を更新
9. 56頁に「チップ上デバッグ システム」を追加
10. 57頁の「ビット2 – RTC:実時間計数器」の記述を更新
11. 58頁で「PRPC/D/E/F – ポートC/D/E/F電力削減レジスタ」の記述を更新。ビット5は予約。XMEGA DデバイスにはUSART1を持ちません。
12. 73頁の「入出力ポート」でスレーブ制御への参照を削除。この機能はXMEGA Dデバイスの入出力部署に存在しません。
13. 76頁の図11-9「入力感知構成図」を更新
14. 190頁の図23-1「アナログ比較器概要」構成図を更新
15. 198頁の「PDI物理層」で「PDI接続図」を更新

28.5. 8210E-04/2013

1. ADC:173頁の図22-3でADC入力信号を更新
2. ADC:INPUTMODE1,0=11(利得付き差動)を含むように185頁の表22-11を更新。改訂Dのデータシートでの表22-12を削除

28.6. 8210F-07/2014

1. A/D変換器ON/OFF切り替えの説明強化のため、56頁の「7.5.1. A/D変換器」を変更
2. CALHレジスタの情報を削除
3. 174頁の「基準電圧選択」と190頁の「AC – アナログ比較器」とそれ以降でVCCをAVCCに変更
4. 新雛形に従って下見出しと裏表紙を更新 (訳注:本書では裏表紙のみ)

28.7. 8210G-12/2014

1. 210頁の25.11.2.2.項でNVMEXをCMDEXに変更
2. 218頁の表25-5でNVMAAをCMDEXへと、施錠ビット書き込みとEEPROM消去を“PDI書き込み”に変更
3. 220頁の25.12.3.8.項で第2点内の文章を変更
4. 221頁の表26-1で不正/不在のリンクを修正
5. 表題、表の表題、図の表題で大文字の使い方を変更
6. 様々なリンク修正
7. 雛形に従っていくつかの小さな修正

目次

1. 手引書について	2	6.4. クロック元	42
1.1. 手引書の読み方	2	6.5. システム クロック選択と前置分周器	43
1.2. 資料	2	6.6. 1~31の倍率を持つPLL	44
1.3. 推奨読物	2	6.7. DFLL 2MHzとDFLL 32MHz	44
2. 概要	3	6.8. PLLと外部供給元停止監視器	45
3. Atmel AVR CPU	6	6.9. レジスタ説明-クロック	46
3.1. 要点	6	6.10. レジスタ説明-発振器	48
3.2. 概要	6	6.11. レジスタ説明-DFLL32M/DFLL2M	52
3.3. 構造概要	6	6.12. レジスタ要約-クロック	54
3.4. 算術論理演算器 (ALU)	7	6.13. レジスタ要約-発振器	54
3.5. プログラムの流れ	7	6.14. レジスタ要約-DFLL32M/DFLL2M	54
3.6. 命令実行タイミング	7	6.15. 発振器停止割り込みベクタ要約	54
3.7. ステータス レジスタ	8	7. 電力管理と休止形態動作	55
3.8. スタックとスタック ポインタ	8	7.1. 要点	55
3.9. レジスタファイル	8	7.2. 概要	55
3.10. RAMPと間接拡張レジスタ	9	7.3. 休止形態動作	55
3.11. 16ビット レジスタのアクセス	9	7.4. 電力削減レジスタ	56
3.12. 形態設定変更保護	10	7.5. 消費電力の最小化	56
3.13. 施錠ヒューズ	10	7.6. レジスタ説明-休止	57
3.14. レジスタ説明	11	7.7. レジスタ説明-電力削減	57
3.15. レジスタ要約	14	7.8. レジスタ要約-休止	59
4. メモリ	15	7.9. レジスタ要約-電力削減	59
4.1. 要点	15	8. リセット体系	60
4.2. 概要	15	8.1. 要点	60
4.3. フラッシュ プログラム メモリ	15	8.2. 概要	60
4.4. ヒューズと施錠(Lock)ビット	16	8.3. リセットの流れ	60
4.5. データ メモリ	16	8.4. リセット元	61
4.6. 内部SRAM	16	8.5. レジスタ説明	63
4.7. EEPROM	17	8.6. レジスタ要約	63
4.8. I/Oメモリ	17	9. WDT-ウォッチドッグ タイマ	64
4.9. メモリ タイミング	17	9.1. 要点	64
4.10. デバイスIDと改訂	17	9.2. 概要	64
4.11. I/Oメモリ保護	17	9.3. 標準動作	64
4.12. レジスタ説明-不揮発性メモリ(NVM)制御器	18	9.4. 窓動作	64
4.13. レジスタ説明-ヒューズと施錠ビット	21	9.5. ウォッチドッグ タイマ クロック	64
4.14. レジスタ説明-製品識票列	25	9.6. 形態設定保護と施錠	65
4.15. レジスタ説明-汎用I/Oメモリ	28	9.7. レジスタ説明	66
4.16. レジスタ説明-MCU制御	29	9.8. レジスタ要約	67
4.17. レジスタ要約-NVM制御器	31	10. 割り込みと設定可能な多段割り込み制御器	68
4.18. レジスタ要約-ヒューズと施錠ビット	31	10.1. 要点	68
4.19. レジスタ要約-製品識票列	32	10.2. 概要	68
4.20. レジスタ要約-汎用I/Oレジスタ	32	10.3. 動作	68
4.21. レジスタ要約-MCU制御	33	10.4. 割り込み	68
4.22. 割り込みベクタ要約-NVM制御器	33	10.5. 割り込みレベル	70
5. 事象システム	34	10.6. 割り込み優先権	70
5.1. 要点	34	10.7. 割り込みベクタ位置	70
5.2. 概要	34	10.8. レジスタ説明	71
5.3. 事象	34	10.9. レジスタ要約	72
5.4. 事象経路網	36	11. 入出力ポート	73
5.5. 事象タイミング	36	11.1. 要点	73
5.6. 濾波	36	11.2. 概要	73
5.7. 直交復号器	37	11.3. I/Oピンの使い方と形態設定	74
5.8. レジスタ説明	38	11.4. ピン値の読み方	76
5.9. レジスタ要約	40	11.5. 入力感知形態設定	76
6. システム クロックとクロック選択	41	11.6. ポート割り込み	76
6.1. 要点	41	11.7. ポート事象	77
6.2. 概要	41	11.8. ポート機能交換	77
6.3. クロック配給	42	11.9. クロックと事象の出力	78

11.10.	複数ピン形態設定	78	17.5.	TWI主装置動作	134
11.11.	仮想ポート	78	17.6.	TWI従装置動作	135
11.12.	レジスタ説明-ポート	79	17.7.	外部駆動部インターフェース許可	136
11.13.	レジスタ説明-ポート形態設定	83	17.8.	レジスタ説明-TWI	137
11.14.	レジスタ説明-仮想ポート	85	17.9.	レジスタ説明-TWI主装置	137
11.15.	レジスタ要約-ポート	86	17.10.	レジスタ説明-TWI従装置	141
11.16.	レジスタ要約-ポート形態設定	86	17.11.	レジスタ要約-TWI	144
11.17.	レジスタ要約-仮想ポート	87	17.12.	レジスタ要約-TWI主装置	144
11.18.	割り込みベクタ要約-ポート	87	17.13.	レジスタ要約-TWI従装置	144
12.	TC0/1-16ビット タイマ/カウンタ0型と1型	88	17.14.	割り込みベクタ要約	144
12.1.	要点	88	18.	SPI-直列周辺インターフェース	145
12.2.	概要	88	18.1.	要点	145
12.3.	構成図	90	18.2.	概要	145
12.4.	クロック元と事象元	91	18.3.	主装置動作	145
12.5.	2重緩衝	91	18.4.	従装置動作	146
12.6.	計数器動作	92	18.5.	データ転送種別	146
12.7.	捕獲チャネル	93	18.6.	レジスタ説明	147
12.8.	比較チャネル	94	18.7.	レジスタ要約	148
12.9.	割り込みと事象	95	18.8.	割り込みベクタ要約	148
12.10.	タイマ/カウンタ指令	96	19.	USART	149
12.11.	レジスタ説明	97	19.1.	要点	149
12.12.	レジスタ要約	104	19.2.	概要	149
12.13.	割り込みベクタ要約	105	19.3.	クロック生成	150
13.	TC2-16ビット タイマ/カウンタ2型	106	19.4.	構造体構成	153
13.1.	要点	106	19.5.	USART初期化	153
13.2.	概要	106	19.6.	データ送信-USART送信部	153
13.3.	構成図	106	19.7.	データ受信-USART受信部	154
13.4.	クロック元	107	19.8.	非同期データ受信	155
13.5.	計数器動作	107	19.9.	分数ボーレート生成	156
13.6.	比較チャネル	107	19.10.	主装置SPI動作でのUSART	157
13.7.	割り込みと事象	108	19.11.	USART SPIとSPIの比較	157
13.8.	タイマ/カウンタ指令	108	19.12.	複数プロセッサ通信動作	158
13.9.	レジスタ説明	109	19.13.	赤外線通信(IRCOM)動作	158
13.10.	レジスタ要約	113	19.14.	レジスタ説明	159
13.11.	割り込みベクタ要約	113	19.15.	レジスタ要約	163
14.	Hi-Res-高分解能拡張	114	19.16.	割り込みベクタ要約	163
14.1.	要点	114	20.	IRCOM-赤外線通信部署	164
14.2.	概要	114	20.1.	要点	164
14.3.	レジスタ説明	115	20.2.	概要	164
14.4.	レジスタ要約	115	20.3.	レジスタ説明	165
15.	AWeX-新波形生成拡張	116	20.4.	レジスタ要約	166
15.1.	要点	116	21.	CRC-巡回冗長検査	167
15.2.	概要	116	21.1.	要点	167
15.3.	ポート無効化	117	21.2.	概要	167
15.4.	沈黙時間挿入	118	21.3.	動作	167
15.5.	模様型生成	119	21.4.	フラッシュメモリでのCRC	168
15.6.	誤り保護	119	21.5.	I/Oインターフェースを用いるCRC	168
15.7.	レジスタ説明	121	21.6.	レジスタ説明	169
15.8.	レジスタ要約	124	21.7.	レジスタ要約	171
16.	RTC-実時間計数器	125	22.	ADC-A/D変換器	172
16.1.	要点	125	22.1.	要点	172
16.2.	概要	125	22.2.	概要	172
16.3.	レジスタ説明	126	22.3.	入力元	173
16.4.	レジスタ要約	129	22.4.	採取時間制御	174
16.5.	割り込みベクタ要約	129	22.5.	基準電圧選択	174
17.	TWI-2線インターフェース	130	22.6.	変換結果	174
17.1.	要点	130	22.7.	比較機能	176
17.2.	概要	130	22.8.	変換の開始方法	176
17.3.	一般的なTWIハスの概念	130	22.9.	ADCクロックと変換タイミング	176
17.4.	TWIハス状態論理	133	22.10.	ADC入力モード	178

22.11.	割り込みと事象	178
22.12.	校正	178
22.13.	同期採取	178
22.14.	レジスタ説明-ADC	179
22.15.	レジスタ説明-ADCチャネル	184
22.16.	レジスタ要約-ADC	188
22.17.	レジスタ要約-ADCチャネル	189
22.18.	割り込みベクタ要約	189
23.	AC-アナログ比較器	190
23.1.	要点	190
23.2.	概要	190
23.3.	入力元	191
23.4.	信号比較	191
23.5.	割り込みと事象	191
23.6.	窓動作	191
23.7.	入力ヒステリシス	191
23.8.	レジスタ説明	192
23.9.	レジスタ要約	196
23.10.	割り込みベクタ要約	196
24.	プログラミングとデバッグ用インターフェース	197
24.1.	要点	197
24.2.	概要	197
24.3.	PDI物理層	198
24.4.	PDI制御器	200
24.5.	レジスタ説明-PDI命令とアドレス指定レジスタ	203
24.6.	レジスタ説明-PDI制御/状態レジスタ	203
24.7.	レジスタ要約	204
25.	メモリプログラミング	205
25.1.	要点	205
25.2.	概要	205
25.3.	NVM制御器	205
25.4.	NVM指令	205
25.5.	NVM制御器多忙状態	206
25.6.	フラッシュメモリとEEPROMのページ緩衝部	206
25.7.	フラッシュメモリとEEPROMのプログラミング手順	207
25.8.	NVMの保護	208
25.9.	NVM化けの防止	208
25.10.	CRC機能	208
25.11.	自己プログラミングとブートローダ支援	208
25.12.	外部プログラミング	216
25.13.	レジスタ説明	220
25.14.	レジスタ要約	220
26.	周辺機能部署アドレス割り当て	221
27.	命令一式要約	222
28.	改訂履歴	225
28.1.	8210A-08/2009	225
28.2.	8210B-04/2010	225
28.3.	8210C-09/2011	225
28.4.	8210D-02/2013	225
28.5.	8210E-04/2013	225
28.6.	8210F-07/2014	225
28.7.	8210G-12/2014	225

Atmel®, Atmelロゴとそれらの組み合わせ、AVR®, Enabling Unlimited Possibilities®, QTouch®, XMEGA®とその他は米国及び他の国に於けるAtmel Corporationの登録商標または商標です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイトに表示する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

安全重視、軍用、車載応用のお断り: Atmel製品はAtmelが提供する特別に書かれた承諾を除き、そのような製品の機能不全が著しく人に危害を加えたり死に至らしめることがかなり予期されるどんな応用(“安全重視応用”)に対しても設計されず、またそれらとの接続にも使用されません。安全重視応用は限定なしで、生命維持装置とシステム、核施設と武器システムの操作の装置やシステムを含みます。Atmelによって軍用等級として特に明確に示される以外、Atmel製品は軍用や航空宇宙の応用や環境のために設計も意図もされていません。Atmelによって車載等級として特に明確に示される以外、Atmel製品は車載応用での使用のために設計も意図もされていません。

© HERO 2014.

本データシートはAtmelのATxmega D英語版手引書(Rev.8210G-12/2014)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。