**云南大学信息学院2020年至2021年下学期**

**《数字电路与逻辑设计实验》实验报告**

**实验名称：** 数字时钟设计 **教师：** 官铮

**学号： 20201050331 姓名： 黄珀芝 序号： 11号**

**上课日期： 2022.6.13 班级： 周一34节**

1. **实验器材（芯片类型及数量）**

|  |  |
| --- | --- |
| 芯片型号 | 数量 |
| 4位二进制计数器74LS160 | 6 |
| 4选1数据选择器74LS153M | 2 |
| D触发器 DFF2 | 1 |
| 七段译码器74LS48 | 1 |
| 可编程分频器74LS292 | 1 |
| 2线-4线译码器74LS139 | 1 |
| 3输入与非门74LS00 | 3 |
| 非门 | 1 |
| 5引脚与门 | 1 |
| VCC | 5 |
| 两引脚与门 | 1 |
| GND | 3 |

1. **实验原理**

本实验的要求是做一个能显示时分的计数器，此电路该包含 3 部分:第一部分提供周期的脉冲信号；第二部分是以第一部分为输入源的组合计数器；第三部分是显示部分，把第二部分计数的结果按照一定的方式显示。

一小时有 60 分钟，故分位也应该用 60 进制的计数器。记分位要显示 2 位数，且没有集成 60 进制计数器，所以级联的计数器应该可以实现两位输出。每计 60 分分位将会向小时位进一并且本位清零。

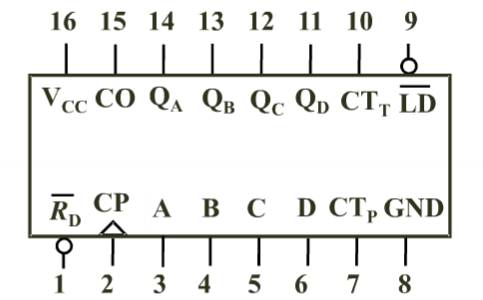
一天有 24 小时（这里设计的是 24 小时制计数器），故秒位应该用 24 进制的计数器。记小时位要显示 2 位数，并且没有集成的 24 进制计数器，所以级联的计数器应该可以实现两位输出。每计满 24 小时本位将会进行一次清零。

1. 七段译码器：因为计算机输出的是BCD码，若需在数码管上显示十进数，就须先把BCD码转换成 7 段字型数码管所要求的代码。我们把能够将计算机输出的BCD码换成 7 段字型代码，并使数码管显示出十进制数的电路称为“七段译码器”。其输入：8421BCD码，用A B C D表示（4位）；输出：七段显示，用a ~ g 表示（7位）。

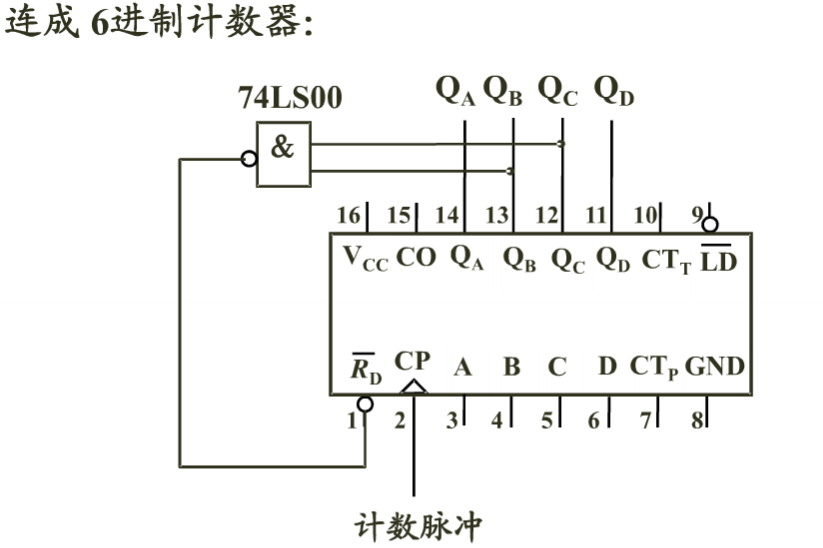
（2）2-4译码器:用来产生片选信号00-11,分别控制译码后的7段数据在哪一个数码管上显示，同时也控制输入的4组数据哪一组被选出来进行译码。

（3）四选一数据选择器：D0、D1、D2、D3是四个数据输入端，Y为输出端，A、B是地址输入端。利用指定AB的代码，能够从D0、D1、D2、D3这四个输入数据中选出任何一个并送到输出端。因此，用数据选择器可以实现数据的多路分时传送。此实验可以通过四选一数据选择器，选出四对输入信号送入七段显示译码器，进而显示相应字符。

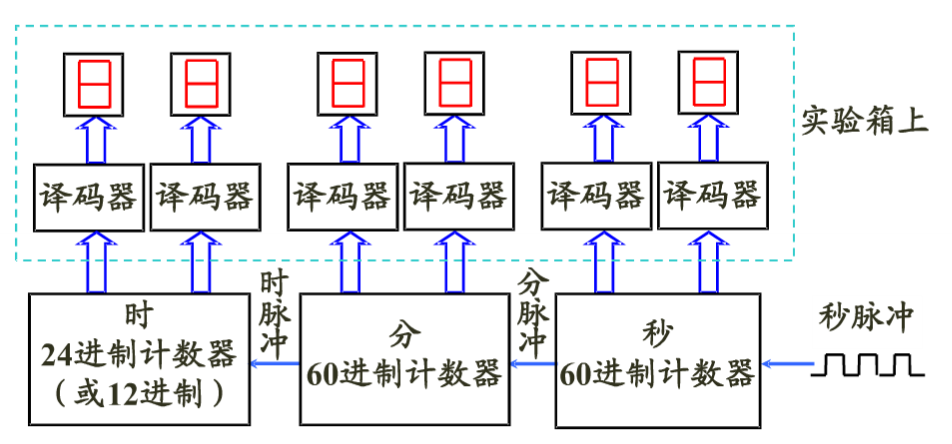
（4）74LS160计数功能（脉冲引入方式，计数模式，清零方式，预置数方式）



（5）应用74LS160设计6进制计数器



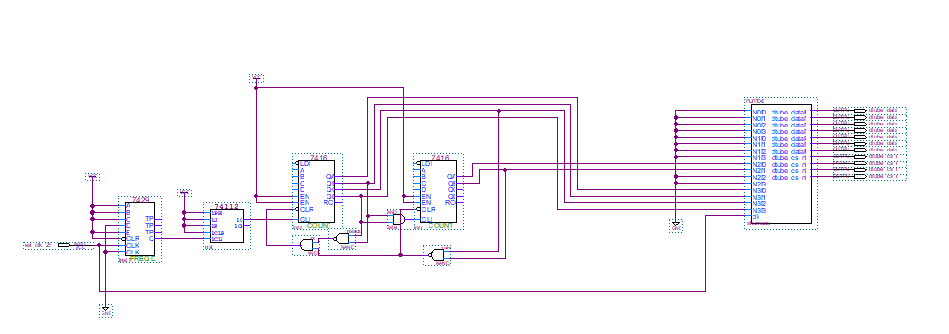
（6）数字钟的总体结构



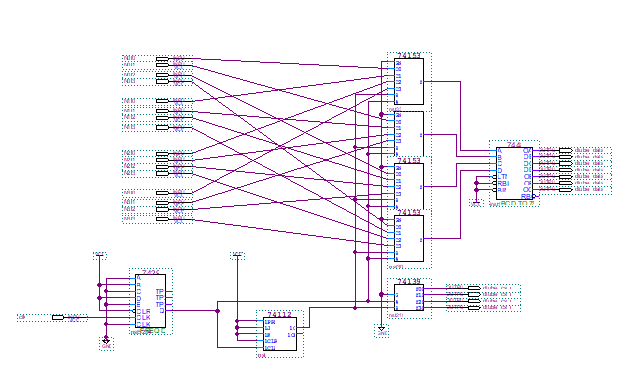
1. **实验内容及原理图**

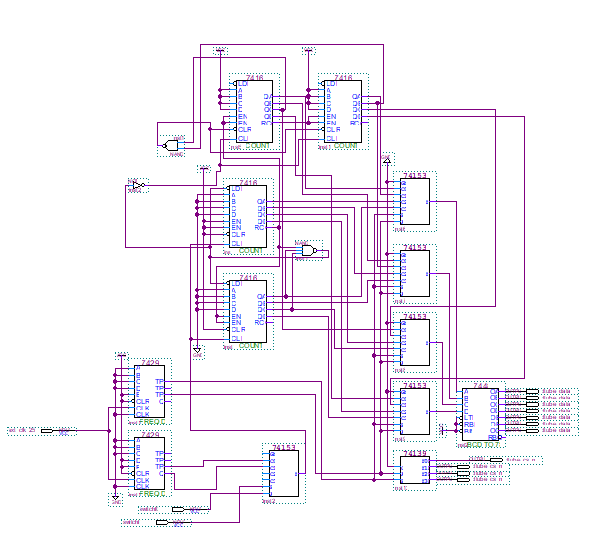
（1）24进制计数器设计

①主电路图

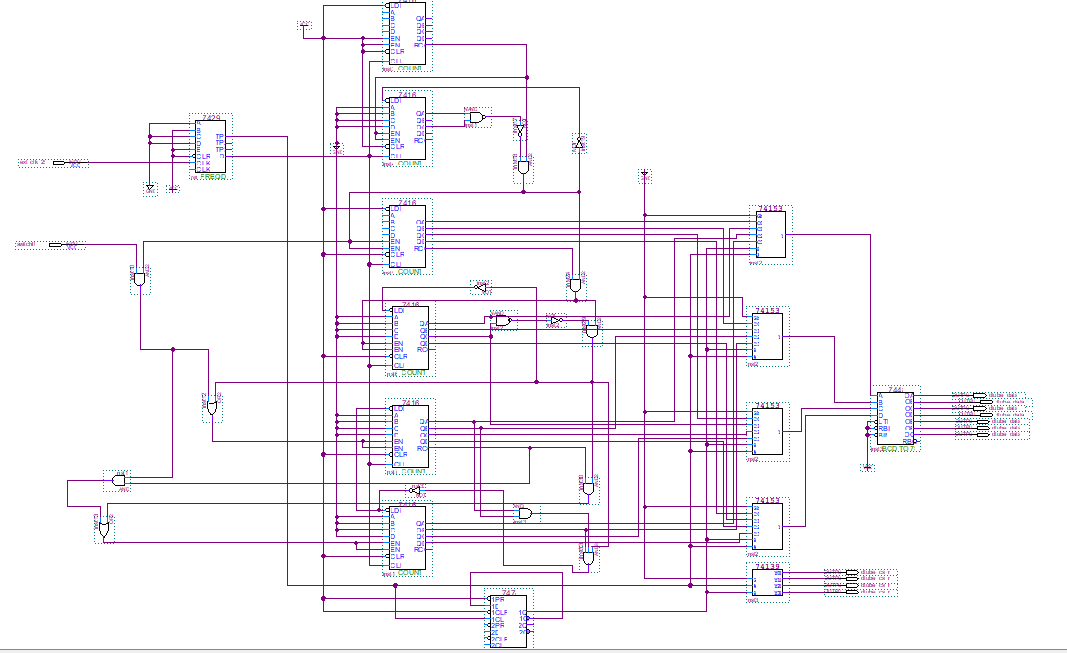
****

②引脚配置，导入到①中

****

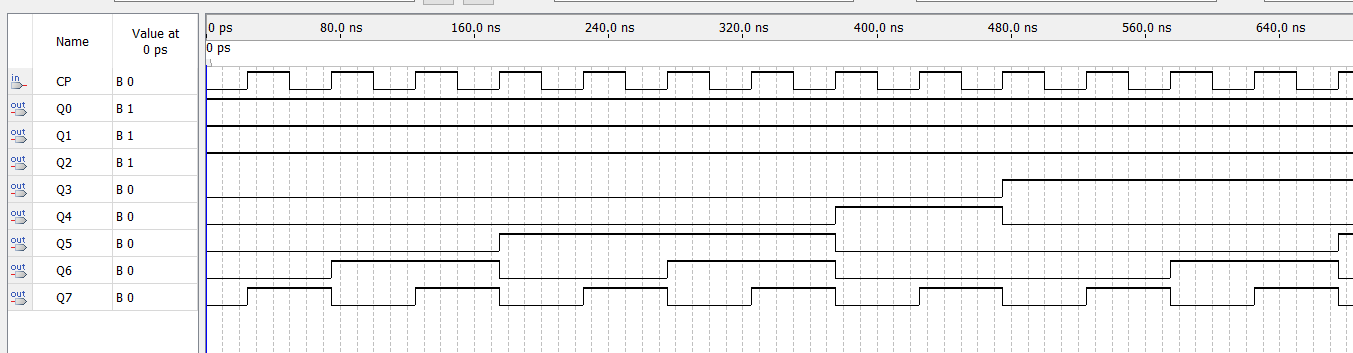
**（2）数字时钟最终电路——基础**

1. **数字时钟提升任务——校准**

****

**四、实验数据记录（真值表/时序波形图/状态转换图）**

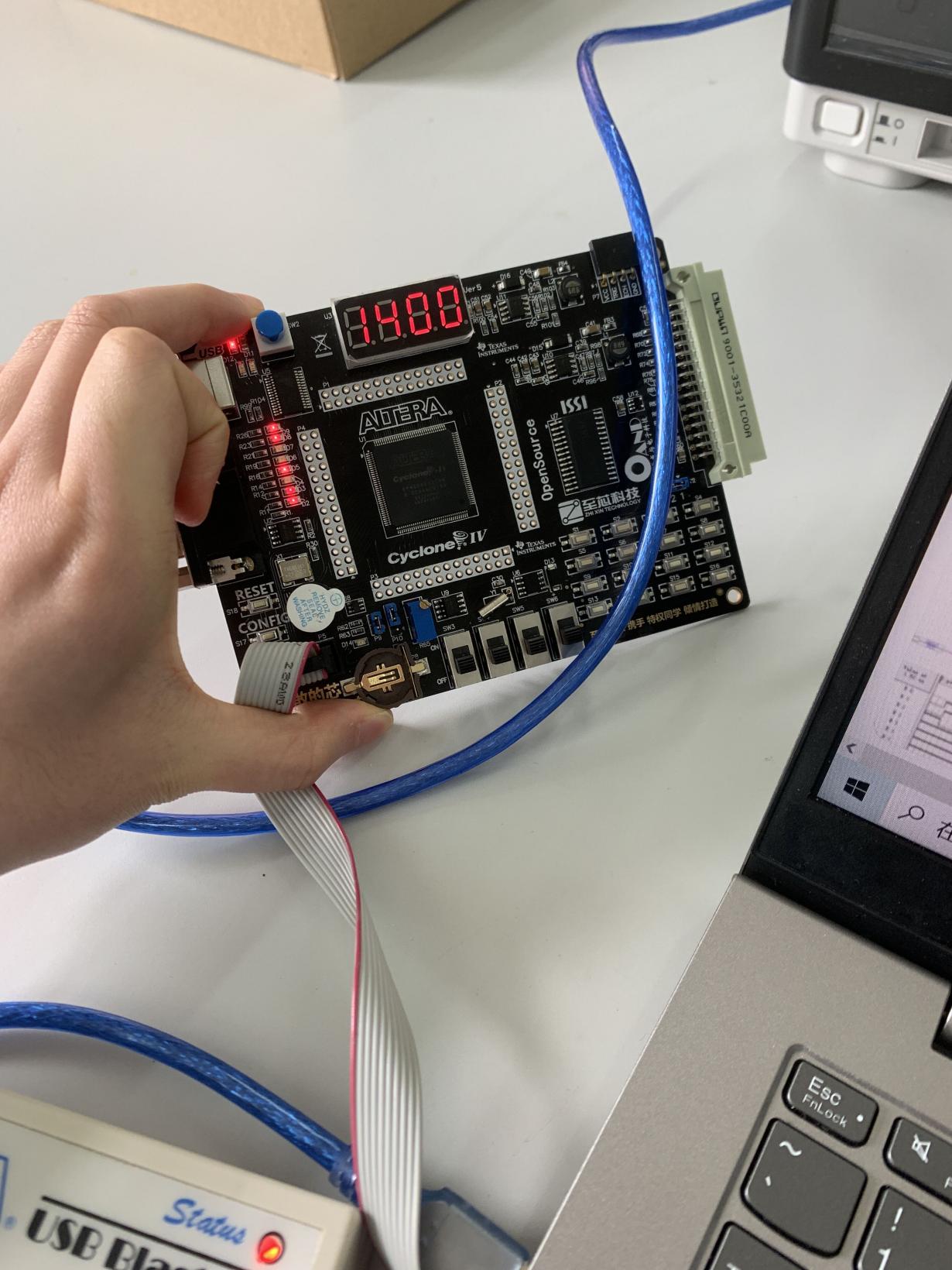
（1）24进制计数器设计

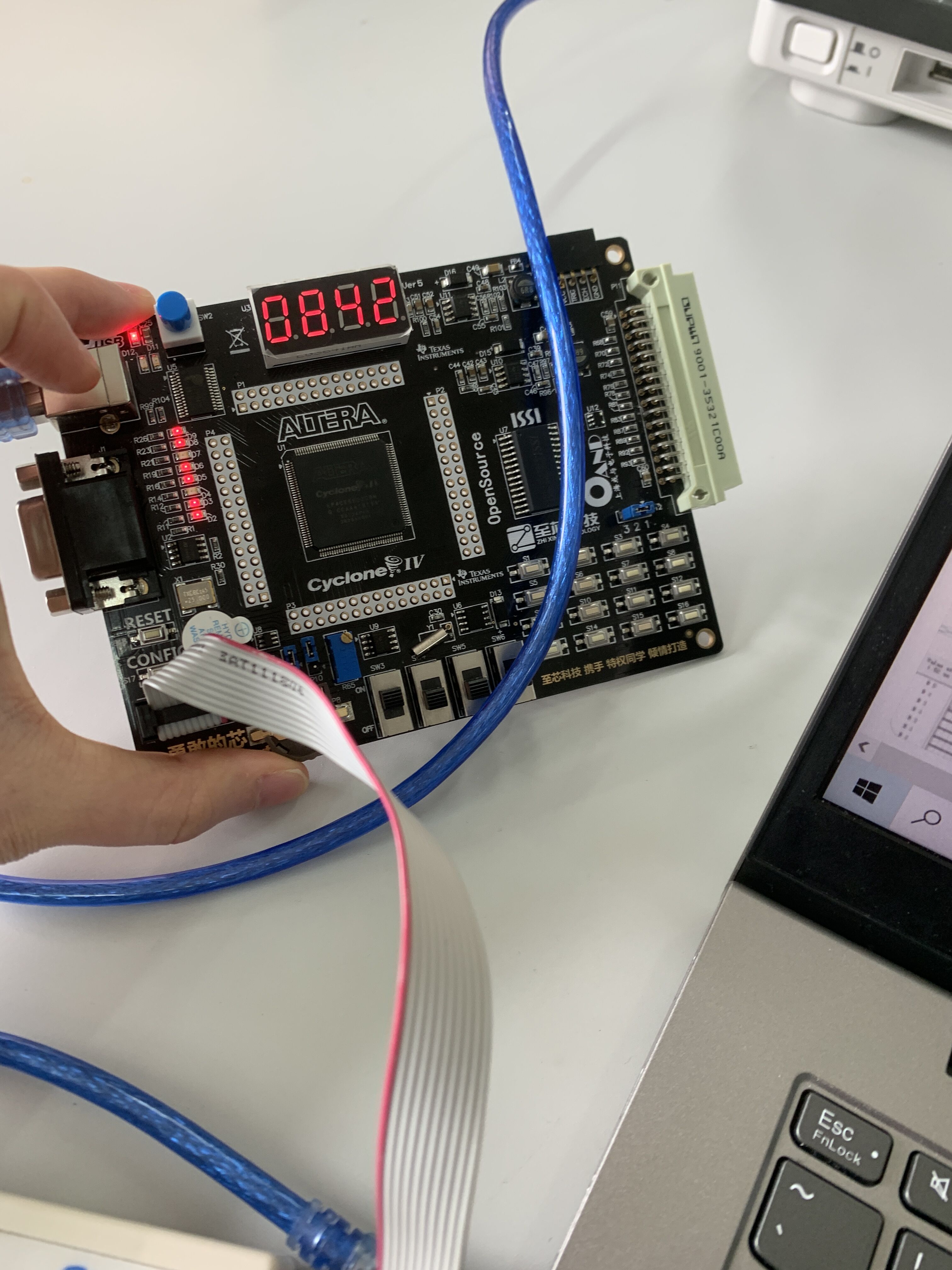


如图所示，电路从11101001计数到11111111，计数到11111111时，通过非门将预置实现置数，实现从0-23的计数。

（2）数字时钟——基础

拨动第一个开关可以实现选频，频率高的用于现场检测

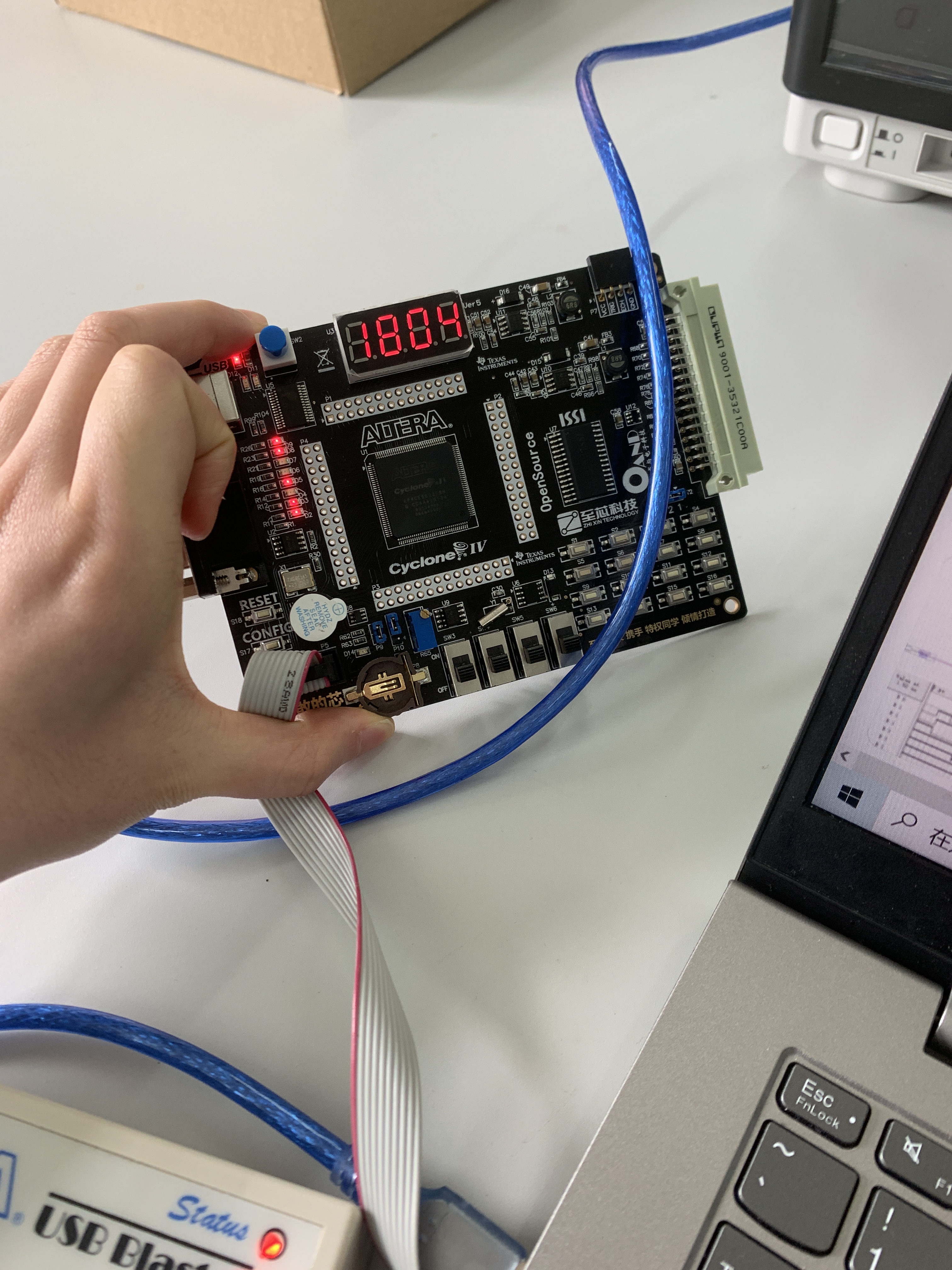
****

****

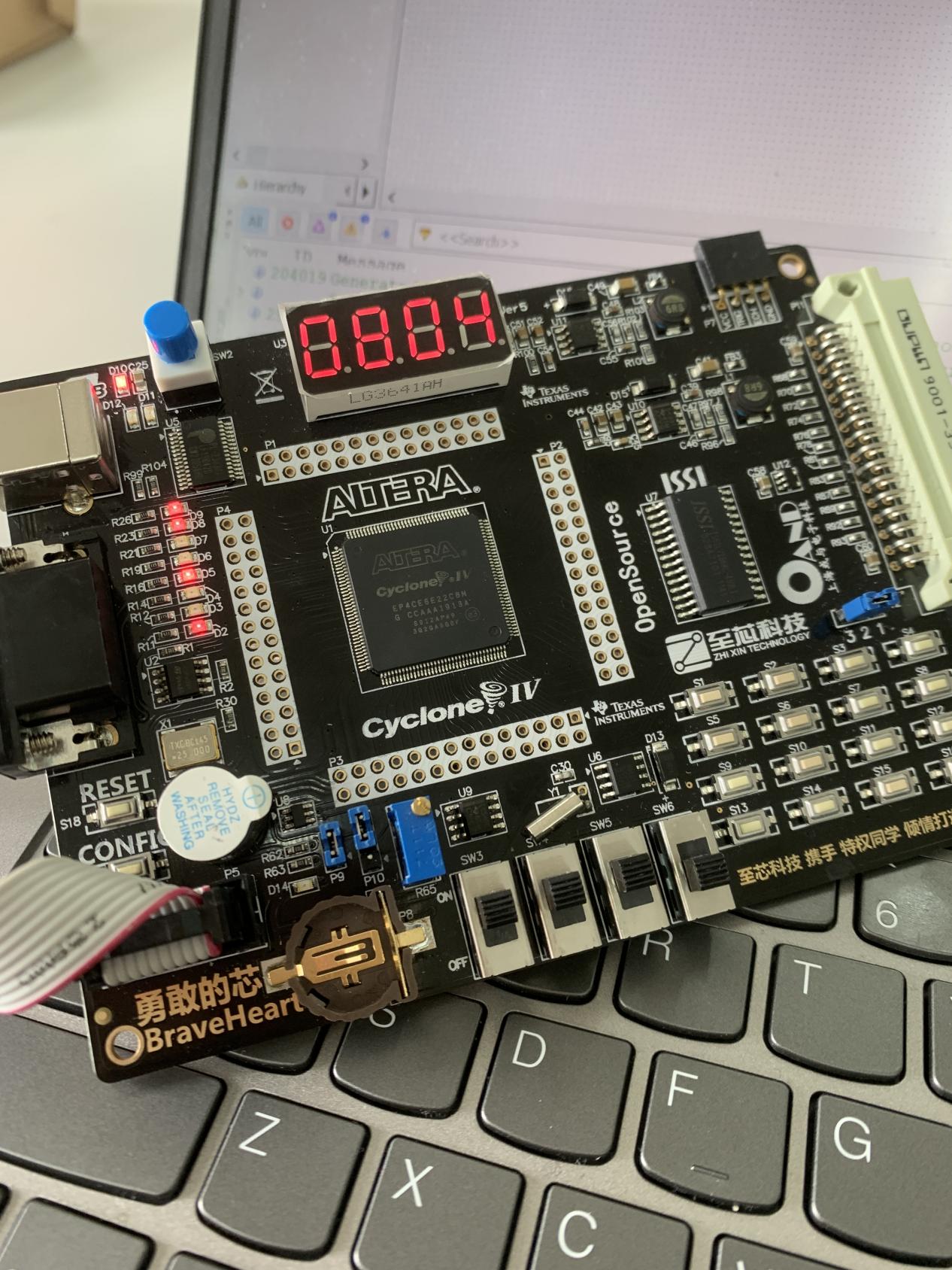
|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **Led输出** | | | | | | | **显示**  **字符** |
| **a** | **b** | **c** | **d** | **e** | **f** | **g** |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 | 2 |
| 0 | 0 | 0 | 0 | 1 | 1 | 0 | 3 |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 4 |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 | 5 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 6 |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 7 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 8 |
| 0 | 0 | 0 | 1 | 1 | 0 | 0 | 9 |

随着片选信号select=00、01、10、11的变化，2-4译码器分别选中分钟个位、分钟十位、时钟个位、时钟十位，在秒的个位计数到 10 的瞬间，向本位发送一个清零信号，并同时向十位发送一个进位脉冲。秒的十位加法计数器在计数到 6 的瞬间，向本位发送一个清零信号， 并同时向分位的个位发送一个进位脉冲。 这样就构成了一个级联而形成的 60 进制带进位与清零的加法计数器。小时位有两个清零信号：在小时的个位计数到 10 的瞬间，向本位发送一个清零信号，并同时向十位发送一个进位脉冲；在小时的十位计数到 2 并且个位计数到 4 的瞬间，向个位和十位同时发送一个清零信号，故如图所示此电路可以实现00:59～01:00与23:59～00:00的跳变。

**（3）数字时钟——校准**

****

拨动第一个开关时，分钟不变，此时时钟开始跳动，直到跳动到我们需要的时钟时刻，拨动开关使其停止，此时分钟继续正常跳动。

****

**五、总结**

1、通过本次实验，我熟悉掌握了集成计数器的运用，设计电路、进行仿真、运行结果都得自己实际操作完成。在数字时钟设计中，根据老师上课所讲的内容，可以用两片集成十进制同步计数器74LS160级联为100进制，再利用其异步清零功能，可以分别实现小时的24进制和分秒的60进制。当然，在仿真过程中也遇到了很多困难和问题。比如说,无法直接从秒进位到分和分进位到时，并且在仿真中总是出错。于是自己请教了一些同学，同时在网.上查找了相关资料，最后终解决了这个问题。

2、学习了分频器的原理分频器存在 4 个输出端口 Q、TP1、TP2、TP3，例：分频倍数为22倍，输出信号为原信号的 倍。不同输出端口在相同控制端 EDCBA 情况下也有可能存在不同的倍数。

3、74LS161 可以灵活的应用于各种数字电路的设计，从而实现多种功能。例如在本实验中，使用 74LS161 的各种级联方式实现了多级多进制的计数并分级连接数码管，从而实现了电子时钟的功能。

4、为了判断电路逻辑功能是否正常，可以自行选取一些输入，利用所学知识代入分析，再与软件仿真出的时序波形图进行对照，若一致则逻辑功能正常

5、通过本次实验对数字电路知识有了更深入的了解，将其运用到了实际中来，明白了学习电子技术基础的意义，也达到了其培养的目的。也明白了一个道理:成功就是在不断摸索中前进实现的，遇到问题我们不能灰心、烦躁，甚至放弃，而要静下心来仔细思考，分部检查，找出最终的原因进行改正，这样才会有进步，才会一步步向自己的目标靠近，才会取得自己所要追求的成功。当然，自己的仿真技术和应用能力还是很欠缺的，虽然完成了基本的设计要求，但是很多自己想要的扩展功能还未能实现。而且很多时候会走过很多弯路,浪费了很多不必要的时间。不过这次设计经历必将使我受益终身，让我明白如何更好的获取知识，如何更好的理论联系实际。今后的学习更需要不断努力，在获得知识的同时获得快乐，真正的主动探索，主动学习，形成自己的思维方式，不断应用，不断进取。