**云南大学信息学院2021至2022上学期**

**《数字电路与逻辑设计实验》实验报告**

**实验名称：综合实验——数字时钟的设计**

**姓名： 朱楠 学号： 20201050326**

**专业： 通信工程 指导教师： 官铮**

**一、实验目的**

1.学习并掌握中规模集成计数器的工作原理及使用方法；

2.接触数字电路的调试过程，形成对数字电路的总体认识；

**二、实验器材**

1. 与非门 74LS00,NAND4
2. 集成计数器 74LS161，74LS160
3. 集成分频芯片 74292
4. 与门 AND2,AND4
5. 非门 NOT
6. 七段显示译码器 7448，
7. 2-4线译码器 74139m
8. 数据选择器 74153M
9. 或门 or2
10. 数据比较器 7485

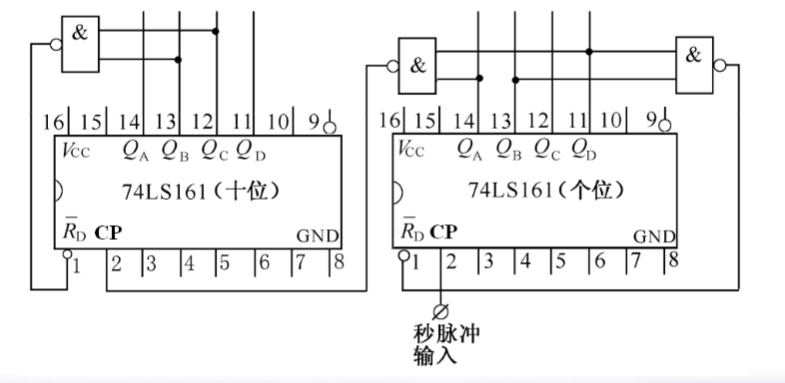
**二、实验内容**

1. 对74LS160计数功能进行测试

在CP端加入单脉冲，输出端QDQCQBQA接电平显示，观察并记录发光二极管亮、暗情况与CP端手动脉冲个数的关系。注：测试过程中A、B、C、D端可悬空，使能端和置数端、清零端应接高电平。

1. 分别连接10进制和6进制计数器
2. 计数器输出接电平显示，CP端接单脉冲，检查10进制、6进制计数器功能是否正确。记录真值表、状态转移图。
3. 连接60进制计数器，CP端接试验箱上1Hz时钟作为输入脉冲，观察计数功能是否正确。记录真值表、状态转移图。
4. CP端连1kHz脉冲信号，用示波器对计数器进行动态测试，观察并记录计数器的CP端和QD、QC、QB、QA端的波形（包括幅值，注意相位对齐）。记录波形图，对原始波形拍照记录后进行整理，对所记录的波形图进行分析核对，判断是否符合功能设计，记录时必须同时记录下波形的幅值和频率。
5. 连接60进制计数器

在10进制和6进制计数器都正确的基础上，连接成60进制计数器，检查功能是否正常。



1. 设计24进制计数器

参照60进制计数器的方法设计一个24进制计数器，检查功能是否正常。

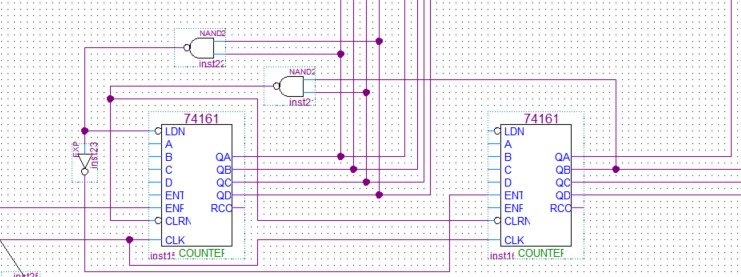
1. 基于实验室提供开发环境，完成时、分两级时间计时、显示功能，要求采用动态显示电路。

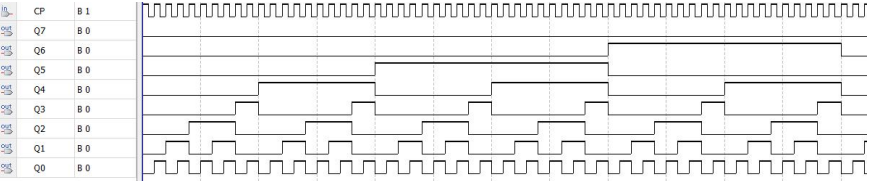
数字时钟扩展功能设计及调试

**三、实验记录（真值表、状态转移图、原始波形图、整理后的波形图及分析）**

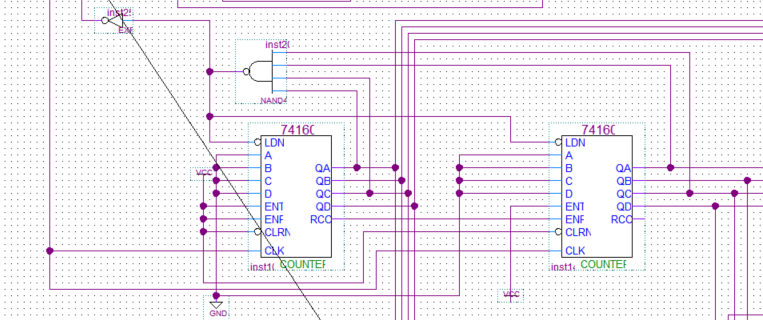
**1、计时模块设计**

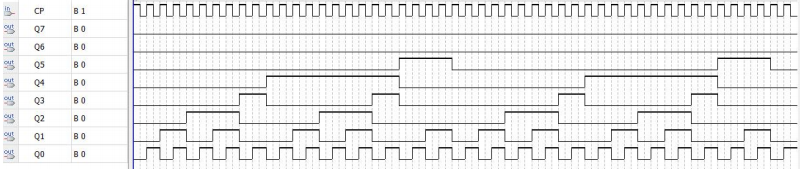
**（1）60进制计数器的搭建：**

****

****

**（2）、24进制计数器的搭建**

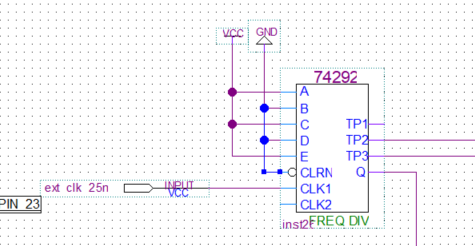




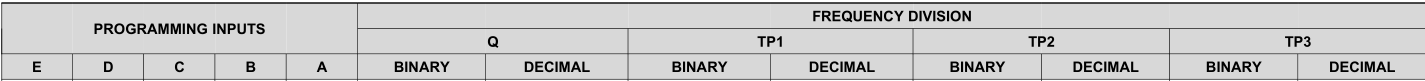
**2、片选显示模块以及分频模块的设计**

（1）分频模块

采用集成分频器74292实现分频降频电路，电路原理图如下：



Q为222倍分频，Q输入给计数模块电路计数刚好频率比1Hz快合适的速度，方便检查，TP2和TP3则输入给片选模块实现选位计数和常亮显示。



（2）片选模块

![{8VI(@64M9](00_Z5@7OLEQ](data:image/png;base64,)

**3、整体基础时钟的链接**

一。总体连接图如下所示

