**云南大学信息学院2019年至2020年下学期**

**《数字电路与逻辑设计实验》实验报告**

**实验名称：** **组合逻辑电路（半加器全加器及逻辑运算）** **教师：** **官铮**

**学号： 20201050452 姓名： 金依婷 序号： 2**

**上课日期： 10.15 班级： 20级物联网**

1. **实验器材（芯片类型及数量）**
2. 数字电路实验箱，结合74系列芯片完成
3. SF-CY4开发板
4. 7400 二输入端四与非门，7486 二输入端四异或门，7454 四组输入与或非门
5. **实验原理**

全加器是用门电路实现两个二进制数相加并求出和的组合线路，称为一位全加器。一位全加器可以处理低位进位，并输出本位加法进位。多个一位全加器进行级联可以得到多位全加器。  
 功能：全加器的功能是实现二进制全加运算，而相对两个二进制数进行加法运算时，除了将本位的两个数相加外，还要加上低位送来的进位数

1. **实验内容及原理图**

1.完成与非门、异或门、与或非门逻辑功能测试。

2.测试由异或门和与非门组成的半加器的逻辑功能。

根据半加器的逻辑表达式可知，半加器和位Y是A、B的异或而进位Z是A、B相与，故半加器可用一个继承异或门和两个与非门构成如图2.1。

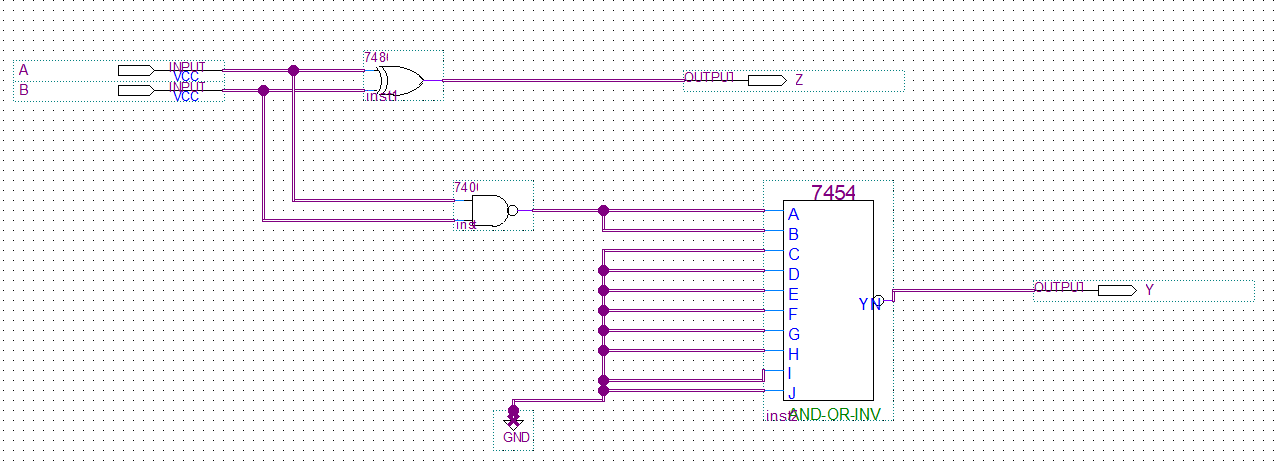


图2.1 半加器电路结构图

1. 按照图2.1完成电路连接。
2. 按照表2.1改变A、B状态，并填表。

表2.1 半加器真值表

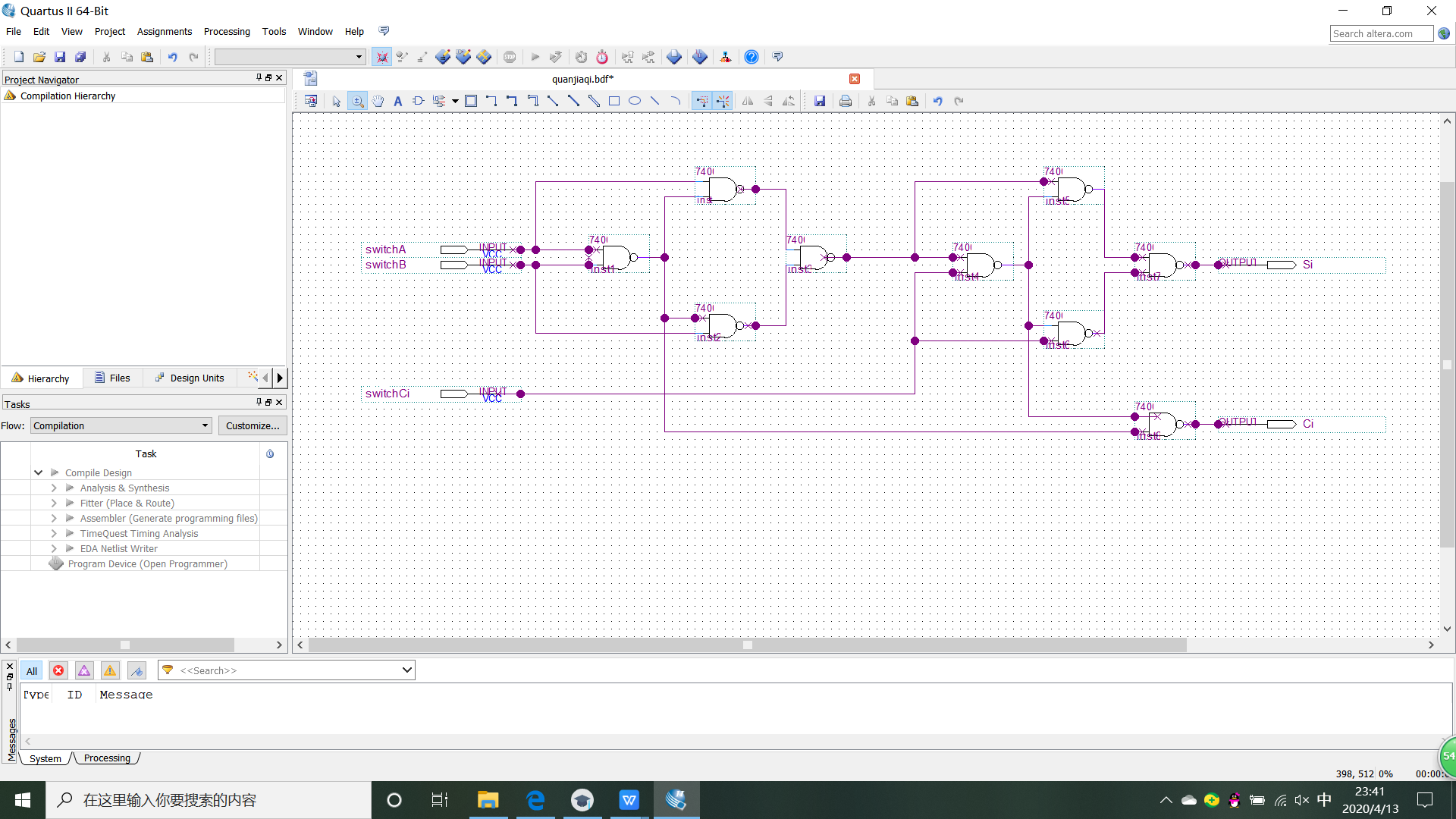
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 输入 | A | 0 | 0 | 1 | 1 |
| B | 0 | 1 | 0 | 1 |
| 输出 | Y | 0 | 0 | 0 | 1 |
| Z | 0 | 1 | 1 | 0 |

****

3.测试全加器的逻辑功能。



图2.2 全加器电路结构图



1. 写出图2.2的逻辑功能表达式（Y Si Ci）

其逻辑表达式为：





1. 根据逻辑功能表达式列出真值表
2. 按原理图选择与非门并接线测试，将结果记入表2.2。

4.用异或、与或非门和与非门实现全加器的逻辑功能。

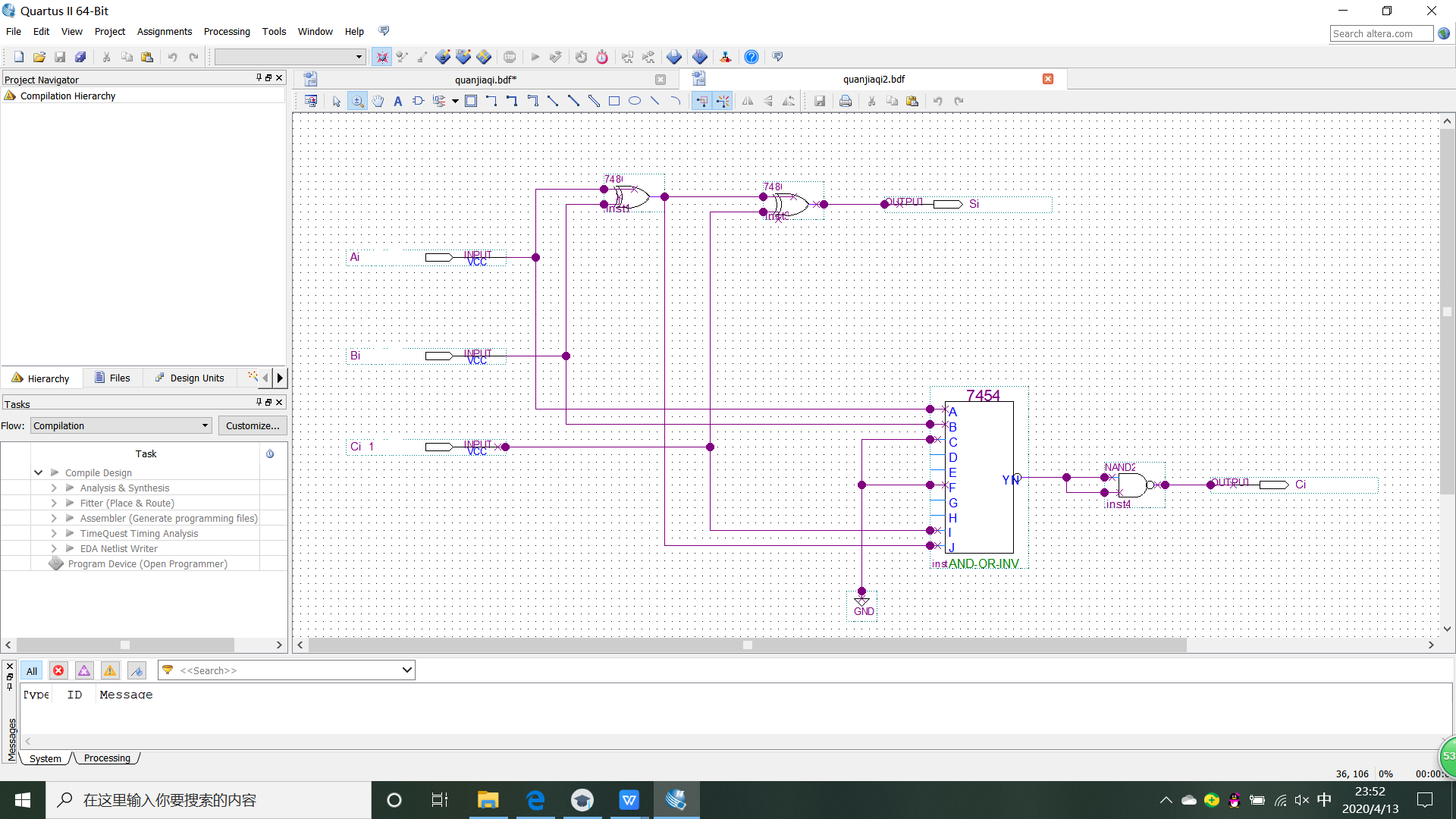
全加器可以用两个半加器和两个与门一个或门组成，在实验中，常用一块双异或门、一个与或非门和一个与非门实现。

1. 画出用异或门、与或非门和非门实现全加器的逻辑电路图，写出逻辑表达式。

其逻辑表达式为：



1. 找出异或门、与或非门和与非门器件按自己画的图接线。

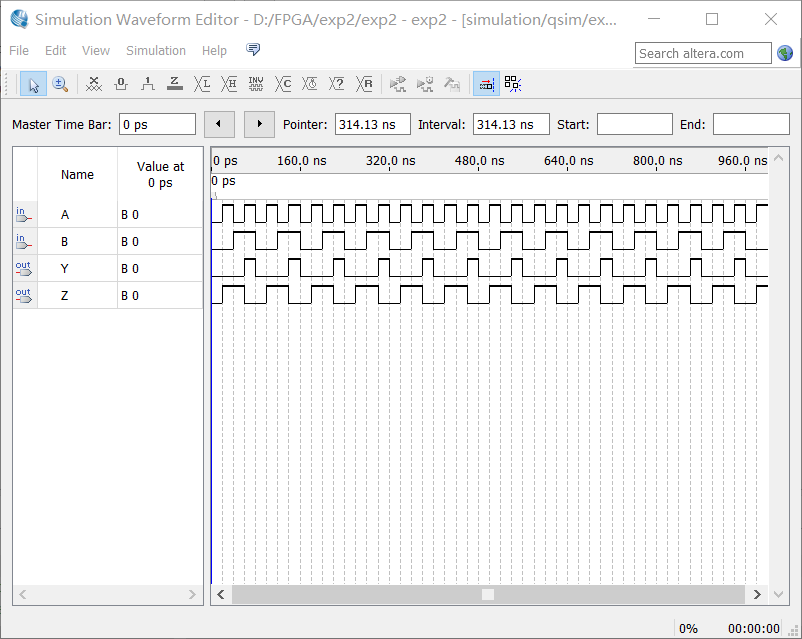


1. 按表2.2完成真值表。

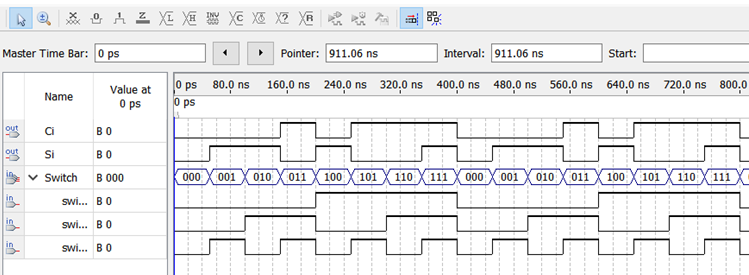
表2.2 全加器真值表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Ai | Bi | Ci-1 | Si | Ci |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

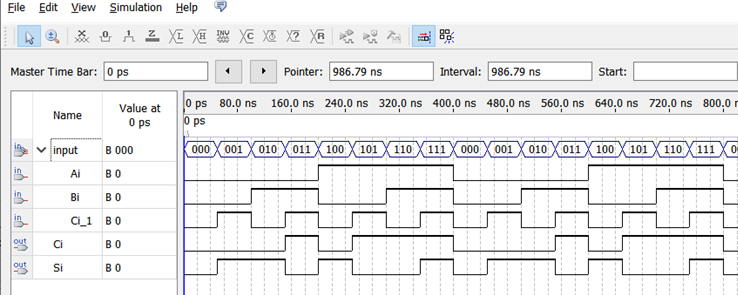
1. **实验数据记录（真值表/时序波形图/状态转换图）**

**1.半加器：**

**2.全加器逻辑功能测试**

****

**3.利用与或非7454门、7400与非门、7486异或门实现全加法器的逻辑功能**

****

**五、总结**

1、一位全加器的真值表如上图所示，其中Ai为被加数，Bi为加数，相邻低位来的进位数为Ci-1，输出本位和为Si，向相邻高位进位数为Ci。全加器的功能是实现二进制全加运算，而相对两个二进制数进行加法运算时，除了将本位的两个数相加外，还要加上低位送来的进位数。

2、为了判断门电路逻辑功能是否正常，可以自行选取一些输入，利用理论课知识代入计算真值表，再与软件仿真出的时序波形图进行对照，若一致则逻辑功能正常。

3、门电路多余输入端可以将其接地，让其在电路中无输入作用，从而达到所需效果。此实验中7454与或非门中的C、D、E三个端只需选一个接地，同理F、G、H三个端也只需选一个接地即可达到所需效果。