**云南大学信息学院2019年至2020年下学期**

**《数字电路与逻辑设计实验》实验报告**

**实验名称：** 综合实验——数字时钟 **教师：** 官铮

**学号：** 20191060179  **姓名：**  丁卓鹰 **序号：** 22

**上课日期：** 2020.12.14  **班级：** 19物联网工程

1. **实验器材（芯片类型及数量）**

数字逻辑实验平台 (Quartus II) 1台

4位二进制计数器74LS160芯片 6台

4选1数据选择器74LS153M芯片 2台

D触发器 DFF2芯片 1台

七段译码器74LS47芯片 1台

可编程分频器74LS292芯片 1台

2线-4线译码器74LS139芯片 1台

3输入与非门74LS00芯片 若干

六反向器74LS04芯片 若干

1. **实验原理**

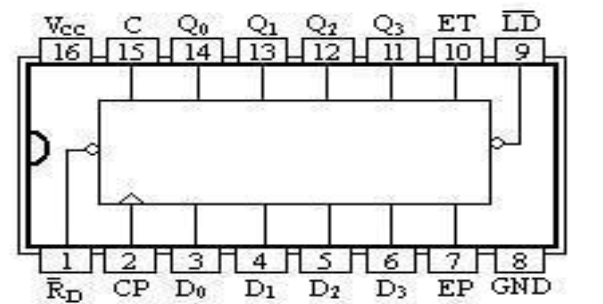
**1、器件工作原理为：**

①七段译码器：因为计算机输出的是BCD码，若需在数码管上显示十进制数，就必须先把BCD码转换成 7 段字型数码管所要求的代码。我们把能够将计算机输出的BCD码换成 7 段字型代码，并使数码管显示出十进制数的电路称为“七段译码器”。其输入：8421BCD码，用A B C D表示（4位）；输出：七段显示，用a ~ g 表示（7位）。

②2-4译码器:用来产生片选信号00-11,分别控制译码后的7段数据在哪一个数码管上显示，同时也控制输入的4组数据哪一组被选出来进行译码。

③四选一数据选择器：D0、D1、D2、D3是四个数据输入端，Y为输出端，A、B是地址输入端。利用指定AB的代码，能够从D0、D1、D2、D3这四个输入数据中选出任何一个并送到输出端。因此，用数据选择器可以实现数据的多路分时传送。此实验可以通过四选一数据选择器，选出四对输入信号送入七段显示译码器，进而显示相应字符。

④74LS160计数器：74LS160是中规模集成同步十进制加法计数器，具有一步清零和同步预置的功能。使用74LS160通过置零法或置数法可以实现人已死进制的计数器。其引脚图如下所示。



74LS160引脚图

对74LS160的基本功能进行测试，将计数器的工作状态填入，可得下表：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 时钟CP | 异步清除 | 同步置数 | EP | ET |
| × | 0 | × | × | × |
| 上升沿 | 1 | 0 | × | × |
| × | 1 | 1 | 0 | 1 |
| × | 1 | 1 | × | 0 |
| 上升沿 | 1 | 1 | 1 | 1 |

1）异步清零：当时，

2）同步预置：当时，在时钟脉冲CP上升沿作用下。

3）锁存：当使能端时，计数器禁止计数，为锁存状态。

1. 计数：当使能端时，，为计数状态。

**二、实验原理：**

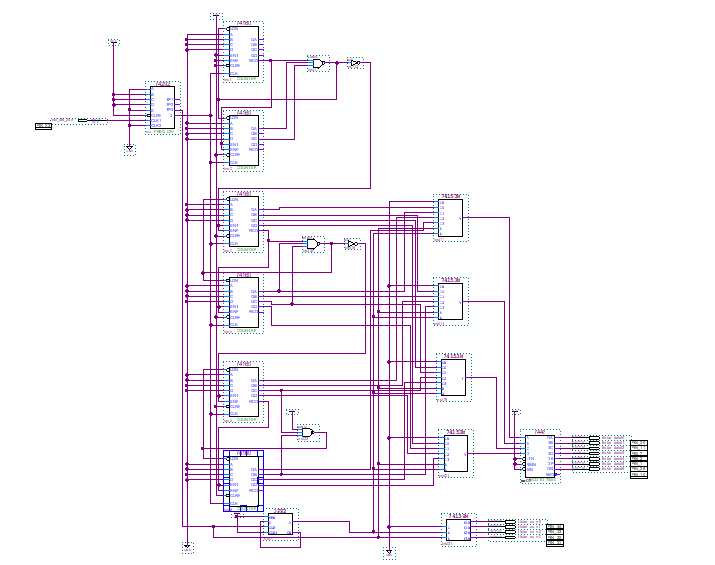
本实验的要求是做一个能显示时分的计数器，此电路该包含 3 部分:第一部分提供周期的脉冲信号；第二部分是以第一部分为输入源的组合计数器；第三部分是显示部分，把第二部分计数的结果按照一定的方式显示。

一小时有 60 分钟，故分位也应该用 60 进制的计数器。记分位要显示 2 位数，且没有集成 60 进制计数器，所以级联的计数器应该可以实现两位输出。每计 60 分分位将会向小时位进一并且本位清零。

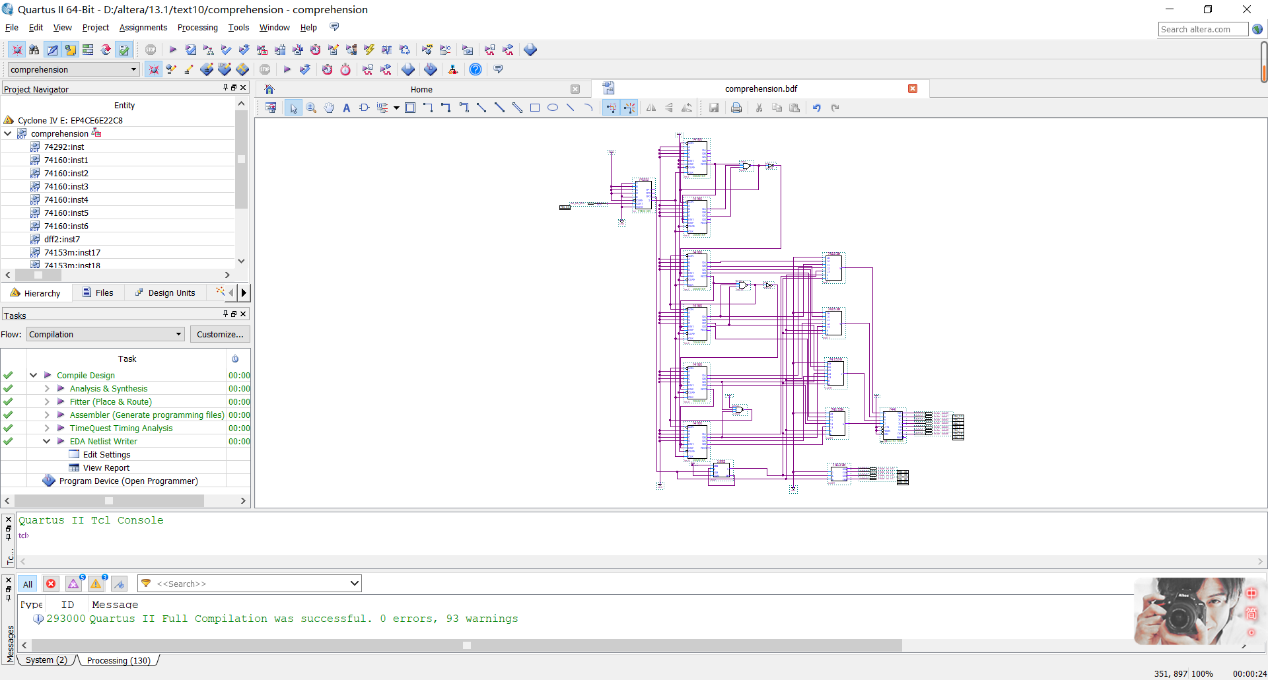
一天有 24 小时（这里设计的是 24 小时制计数器），故秒位应该用 24 进制的计数器。记小时位要显示 2 位数，并且没有集成的 24 进制计数器，所以级联的计数器应该可以实现两位输出。每计满 24 小时本位将会进行一次清零。

1. **实验内容及原理图**

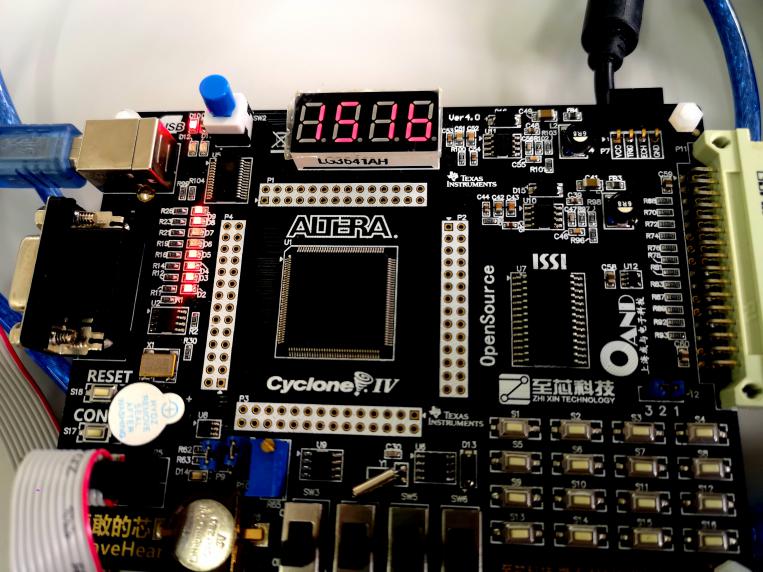
数字时钟设计电路及引脚配置图如下：



经过各种调试与仿真得到运行结果如下图



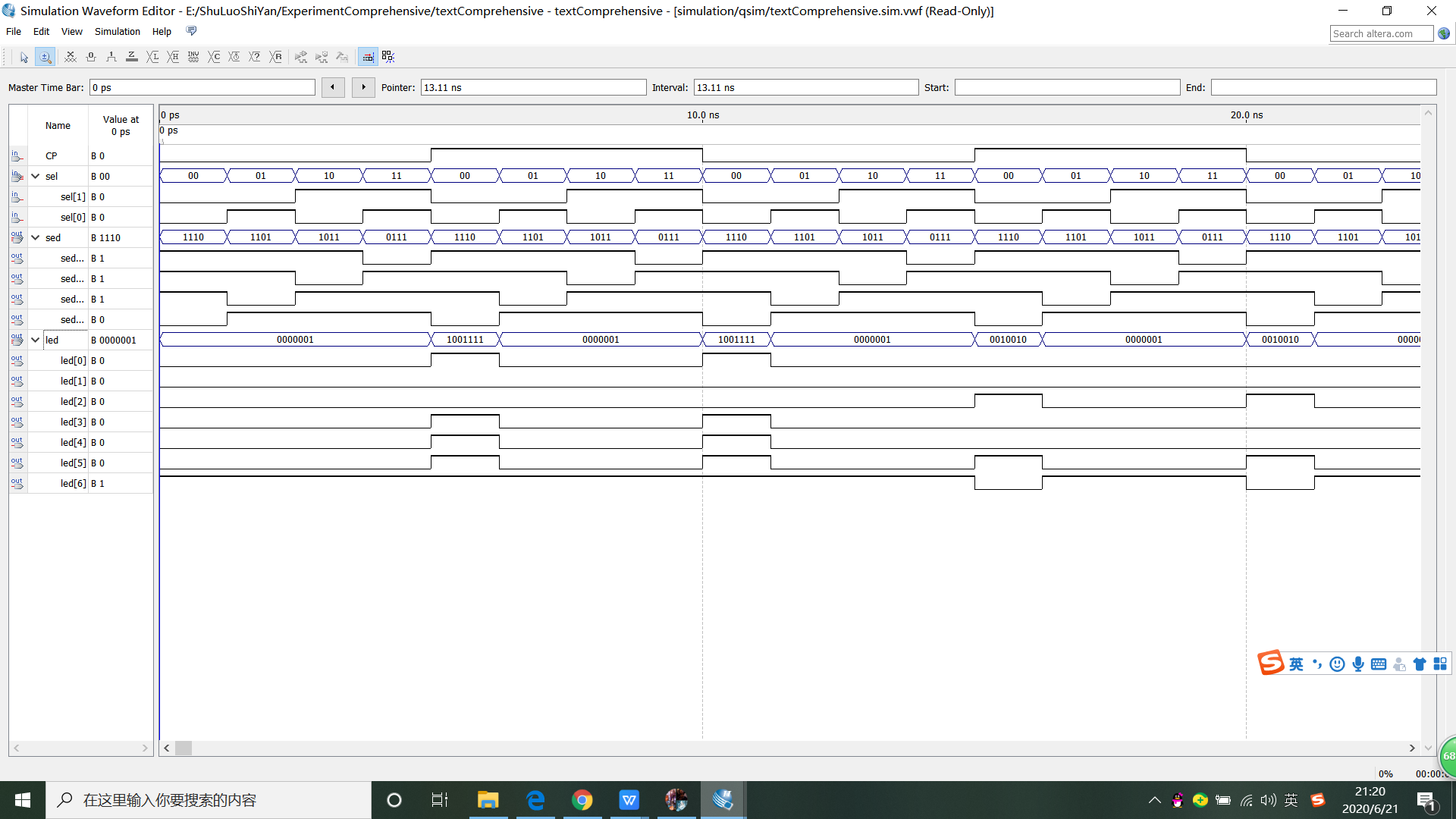
通过调整74LS292芯片的连线可以改变信号的频率，可以导入硬件中得到如下所示的数字时钟，且此刻显示的时间为15：16，如下：



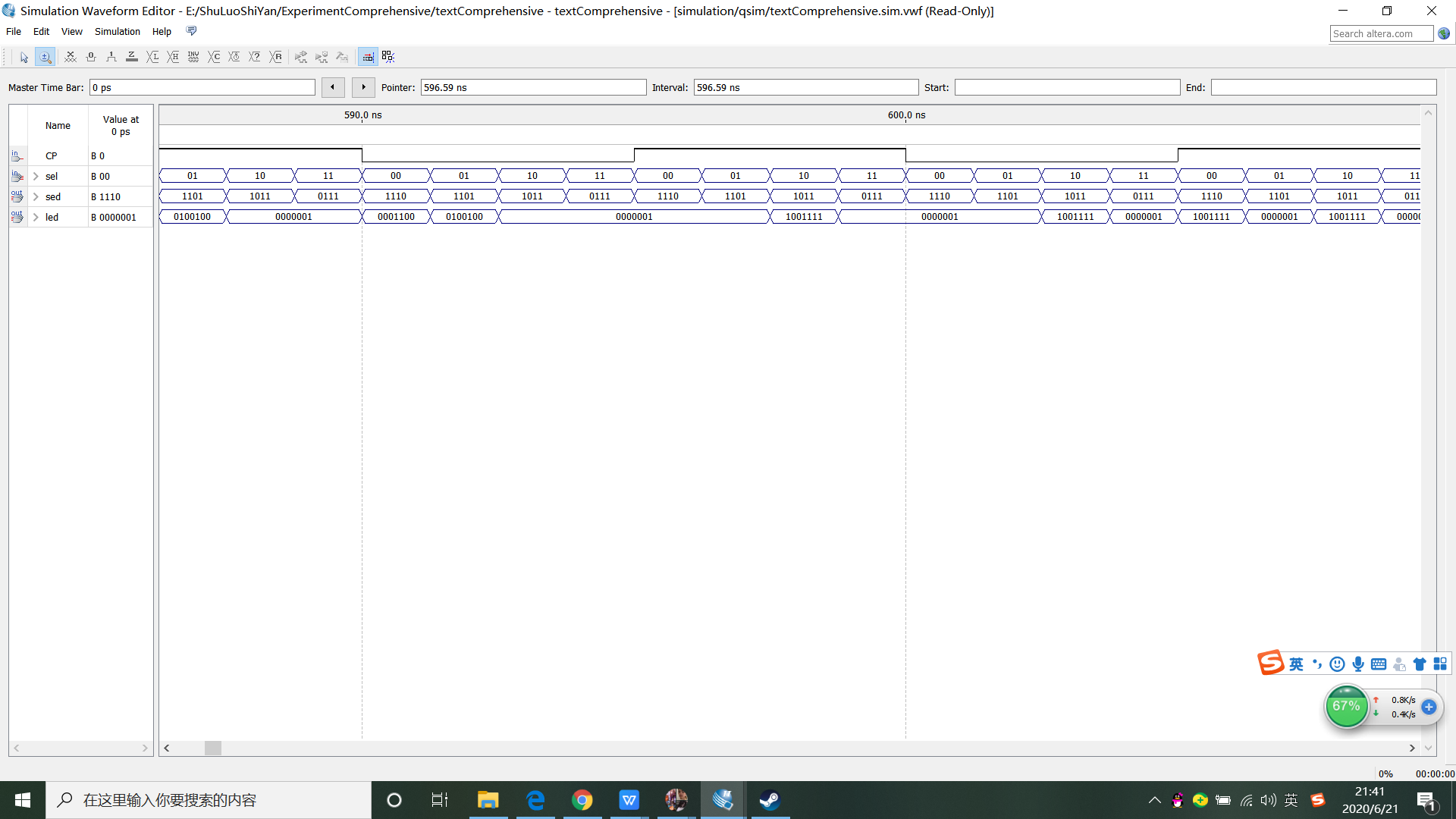
**四、实验数据记录（真值表/时序波形图/状态转换图）**

1、时序波形图如下：

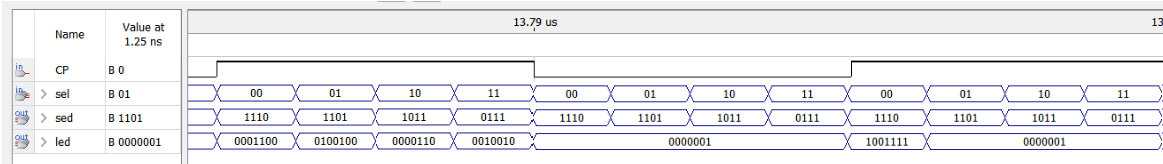
①时序波形：



②00:59跳变为01:00



③23:59跳变为00:00



2、由时序波形图可得,sed=1110、1101、1011、0111时其led值分别对应分钟个位、分钟十位、时钟个位、时钟十位的显示字符，其真值表如下：

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **Led输出** | | | | | | | **显示**  **字符** |
| **a** | **b** | **c** | **d** | **e** | **f** | **g** |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 | 2 |
| 0 | 0 | 0 | 0 | 1 | 1 | 0 | 3 |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 4 |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 | 5 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 6 |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 7 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 8 |
| 0 | 0 | 0 | 1 | 1 | 0 | 0 | 9 |

随着片选信号select=00、01、10、11的变化，2-4译码器分别选中分钟个位、分钟十位、时钟个位、时钟十位，在秒的个位计数到 10 的瞬间，向本位发送一个清零信号，并同时向十位发送一个进位脉冲。秒的十位加法计数器在计数到 6 的瞬间，向本位发送一

个清零信号， 并同时向分位的个位发送一个进位脉冲。 这样就构成了一个级联而

形成的 60 进制带进位与清零的加法计数器。小时位有两个清零信号：在小时的个位计数到 10 的瞬间，向本位发送一个清零信号，并同时向十位发送一个进位脉冲；在小时的十位计数到 2 并且个位计数到 4 的瞬间，向个位和十位同时发送一个清零信号，故如图所示此电路可以实现00:59～01:00与23:59～00:00的跳变。

**五、总结**

1、74LS161 可以灵活的应用于各种数字电路的设计，从而实现多种功能。例如在本实验中，使用 74LS161 的各种级联方式实现了多级多进制的计数并分级连接数码管，从而实现了电子时钟的功能。

1. 为了判断电路逻辑功能是否正常，可以自行选取一些输入，利用所学知识代入分析，再与软件仿真出的时序波形图进行对照，若一致则逻辑功能正常。
2. 通过不断的画图与运行再仿真，我对软件有了更深的了解，也搞懂一些基本的连线准则，在理论课上不太熟悉的器件和芯片的功能通过实验也有了更进一步的了解。

4、通过这次试验，我了解了七段数码管和4位二进制计数器74LS161芯片的显示工作方式、2-4译码器和4-1选择器的输入输出方式，以及电路连线，元件连接等诸多电路的模拟操作。深深地理解了理论与实验之间的差异和区别，也感觉到自己理论知识的欠缺，存在理论与实践不匹配的情况，自己的实践动手能力较差，明白了理论必须与实验结合才能使抽象的理论具体化，也明白了动手能力的重要性。虽然其中遇到了很多问题，但通过询问老师和同学，加上不断看书和仿真，问题都做的了及时解决。