**云南大学信息学院2019年至2020年下学期**

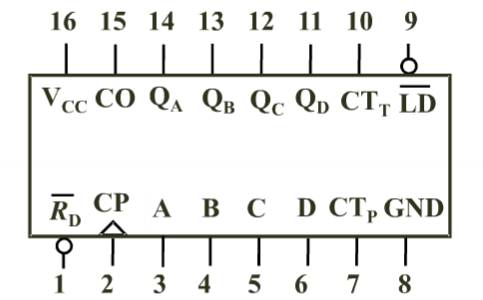
**《数字电路与逻辑设计实验》实验报告**

**实验名称：** **综合实验——数字时钟**  **教师：** **官铮**

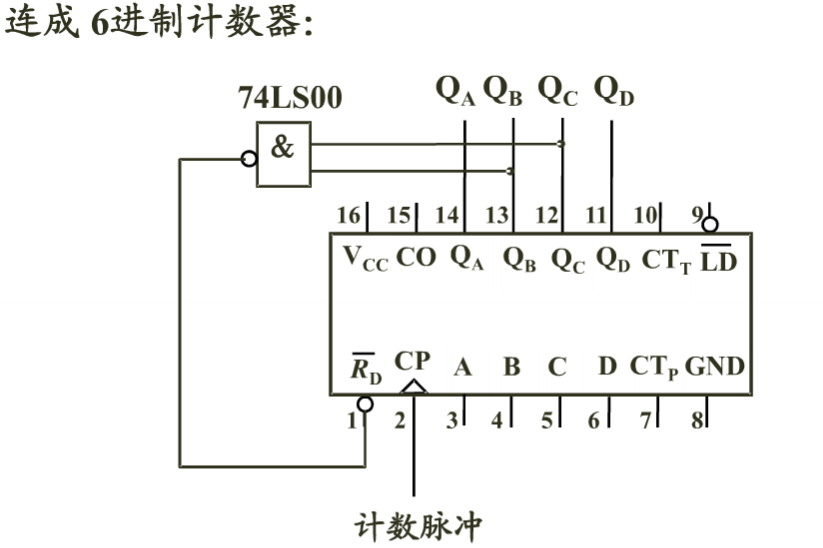
**学号： 20201050452 姓名： 金依婷 序号：**

**上课日期： 12.25 班级： 20级物联网**

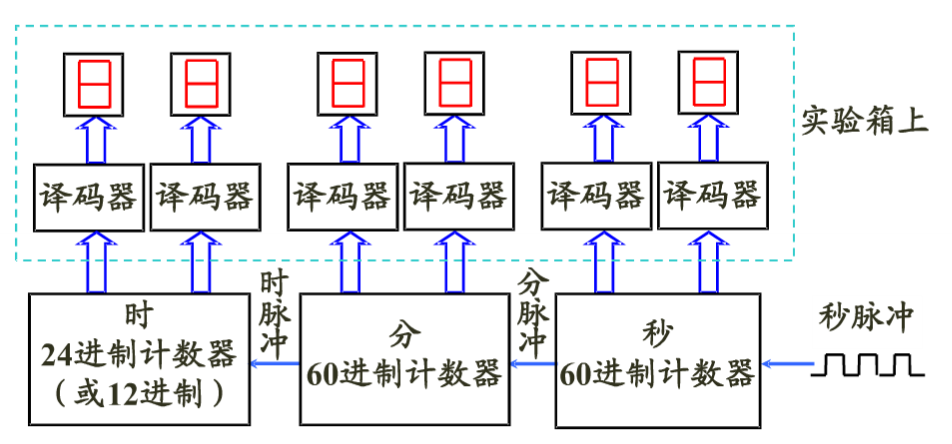
1. **实验器材（芯片类型及数量）**
2. 数字试验箱，示波器
3. 与非门 74LS00
4. 集成计数器 74LS160
5. 4选1数据选择器74LS153M芯片
6. D触发器 DFF2芯片
7. 七段译码器74LS47芯片
8. 可编程分频器74LS292芯片
9. 2线-4线译码器74LS139芯片
10. 3输入与非门74LS00芯片
11. 六反向器74LS04芯片
12. **实验原理**
13. 74LS160计数功能（脉冲引入方式，计数模式，清零方式，预置数方式）



1. 应用74LS160设计6进制计数器



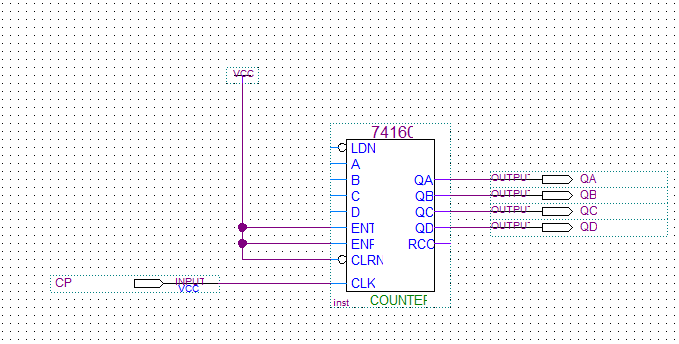
1. 数字钟的总体结构



**三、实验内容**

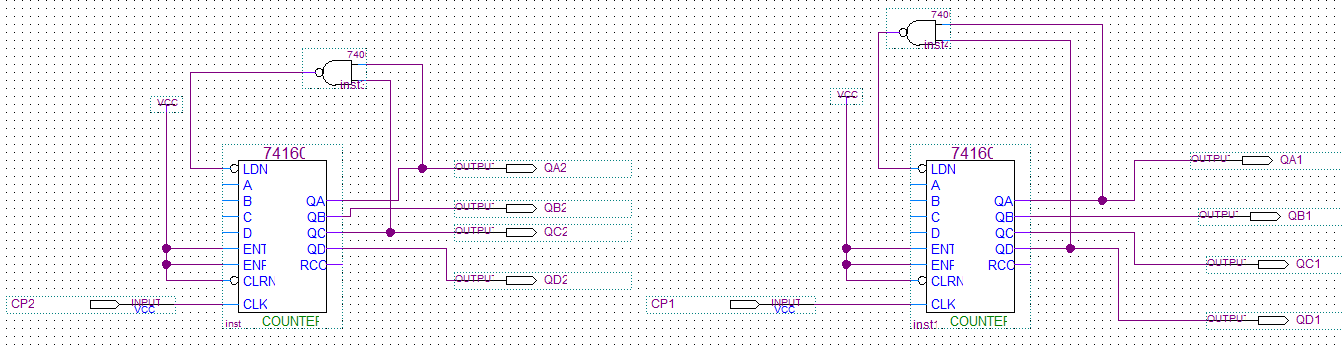
1、对74LS160计数功能进行测试

电路图：



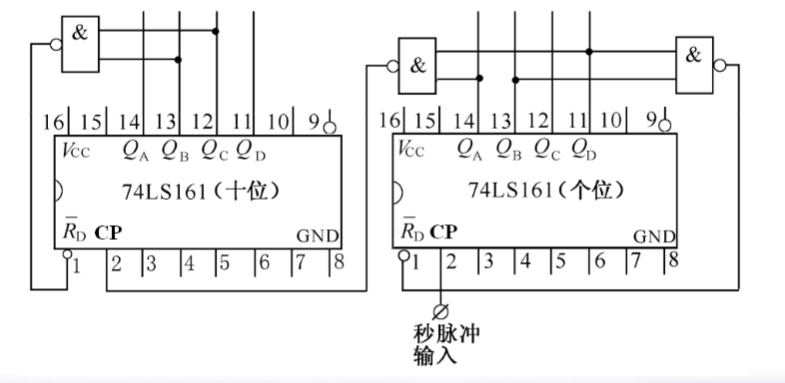
2、分别连接10进制和6进制计数器

电路图：

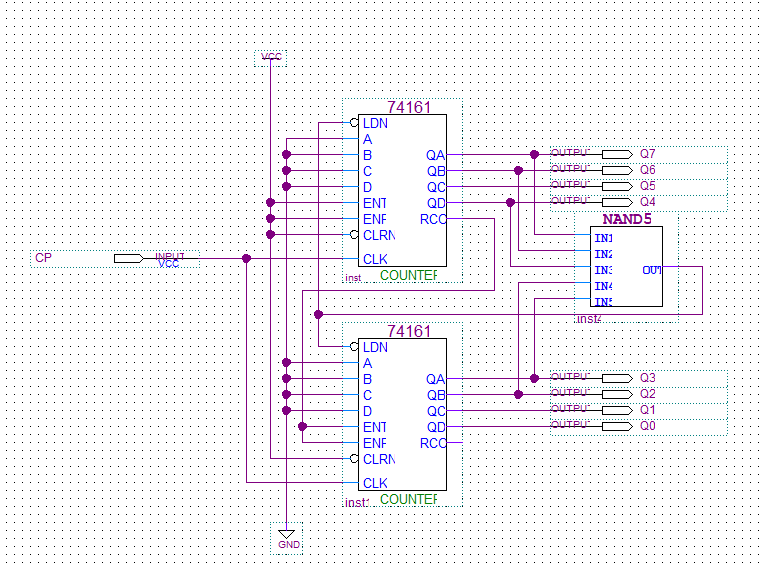


3、60进制计数器的设计

电路原理图：

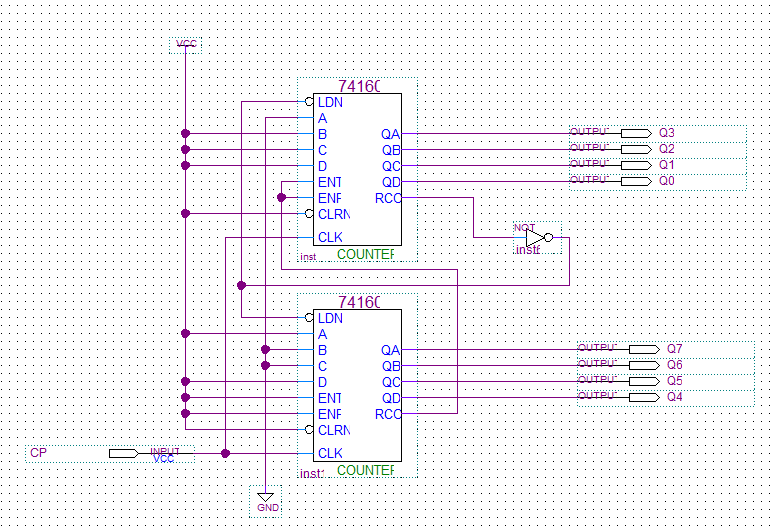


实验电路图：



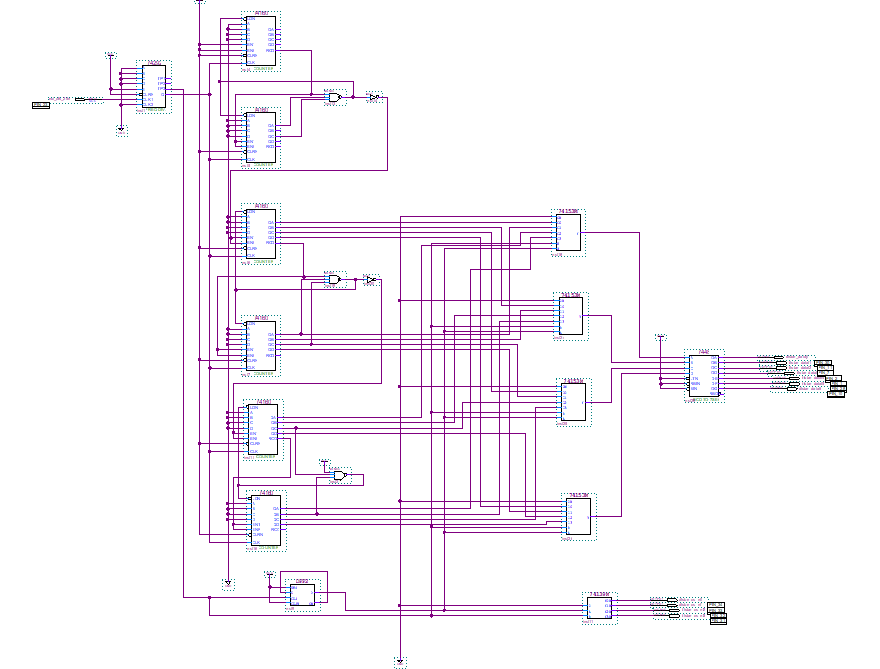
一片74LS161计数器可以实现0-15的计数功能，60进制计数器为大规模计数器，需采用多片计数器级联得到模为60的计数器。将两片74LS161计数器同步级联，采用整体置零法构成模为60的计数器，计数范围为00000000-00111011。

4、24进制计数器设计



一片74LS16计数器可以实现0-10的计数功能，24进制计数器为大规模计数器，需采用多片计数器级联得到模为24的计数器。将两片74LS160计数器同步步级联，采用OC整体置数构成模为24的计数器，计数范围为233-256，计数到255（Oc=1）时使两片 均为0，下一个CP来到时置数，预置输入=256-M=233，故D0C0B0A0DCBA=（233）10=（11101001）2。

5、数字时钟扩展功能设计及调试



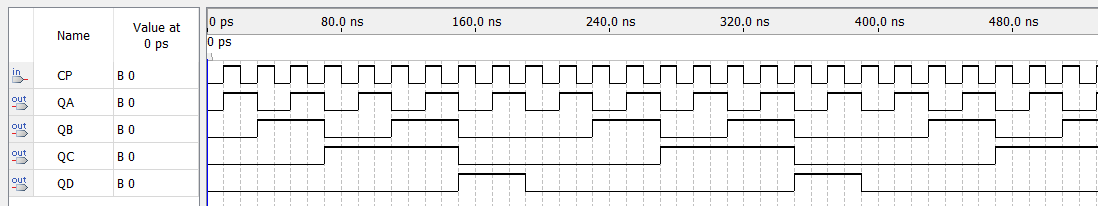
**四、实验数据记录（真值表/时序波形图/状态转换图）**

1、对74LS160计数功能进行测试

功能表：

|  |  |  |  |
| --- | --- | --- | --- |
| 输入 | | | 输出 |
| CP | P T | D C B A | QD QC QB  QA |
| × | 0 × × × | × × × × | 0 0 0 0 |
| 🡩 | 1 0 × × | d c b a | d c b a |
| 🡩 | 1 1 1 1 | × × × × | 计数 |
| × | 1 1 0 1 | × × × × | 保持 |
| × | 1 1 × 0 | × × × × | 保持（QC=0） |

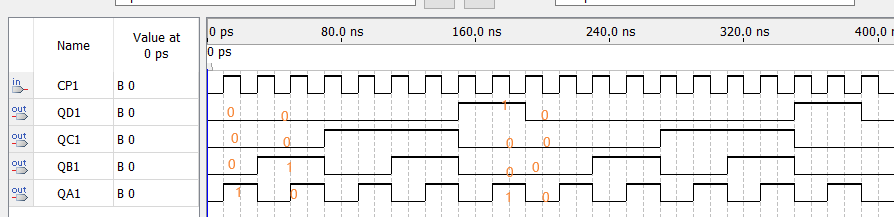
时序波形图：



2、分别连接10进制和6进制计数器

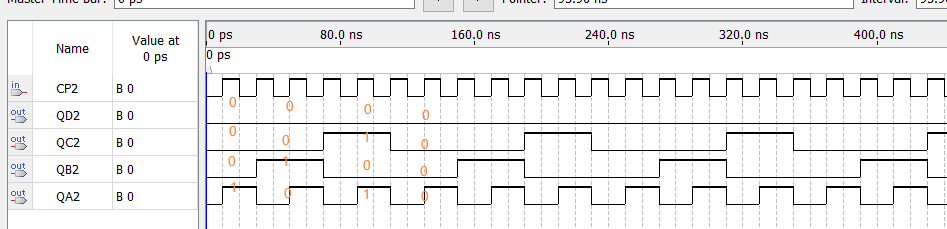
（1）10进制计数器（0000--1001）

时序波形图：



（2）6进制计数器（0000--0101）

时序波形图：



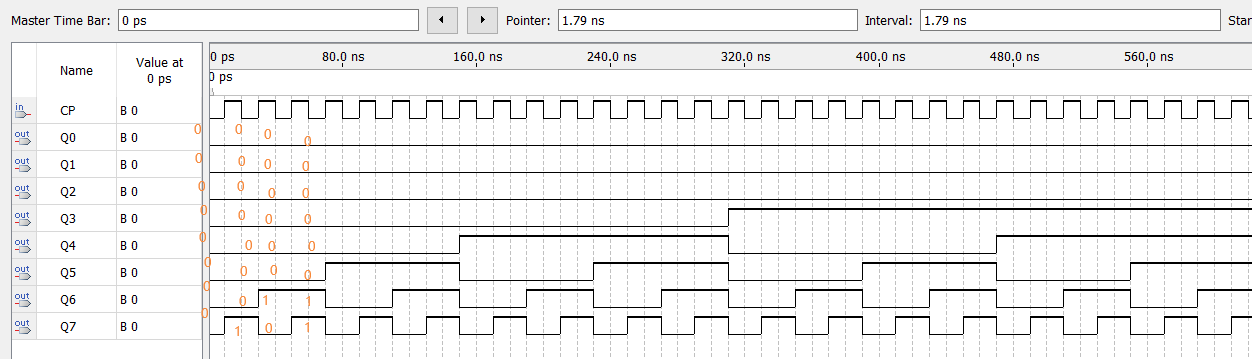
态序表：

|  |  |  |  |
| --- | --- | --- | --- |
| QD | QC | QB | QA |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 |

|  |  |  |  |
| --- | --- | --- | --- |
| QD | QC | QB | QA |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 |

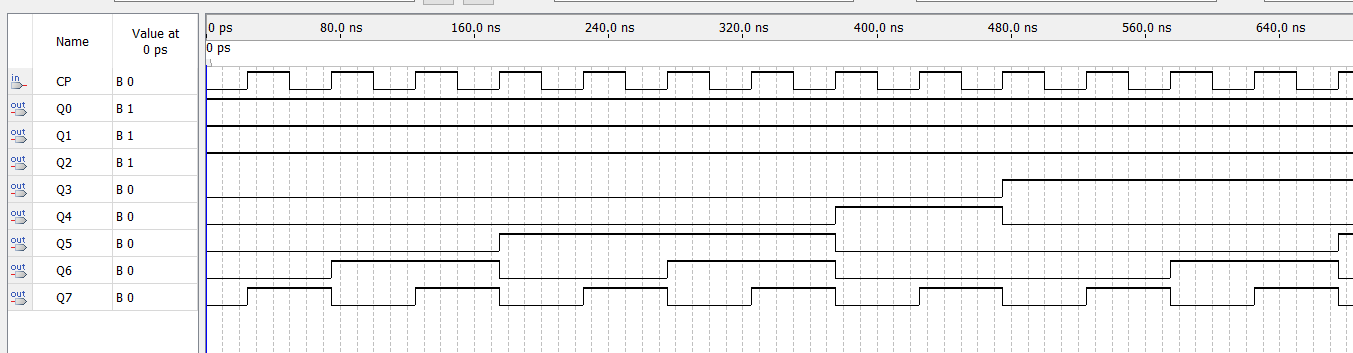
3、60进制计数器的设计

时序波形图：



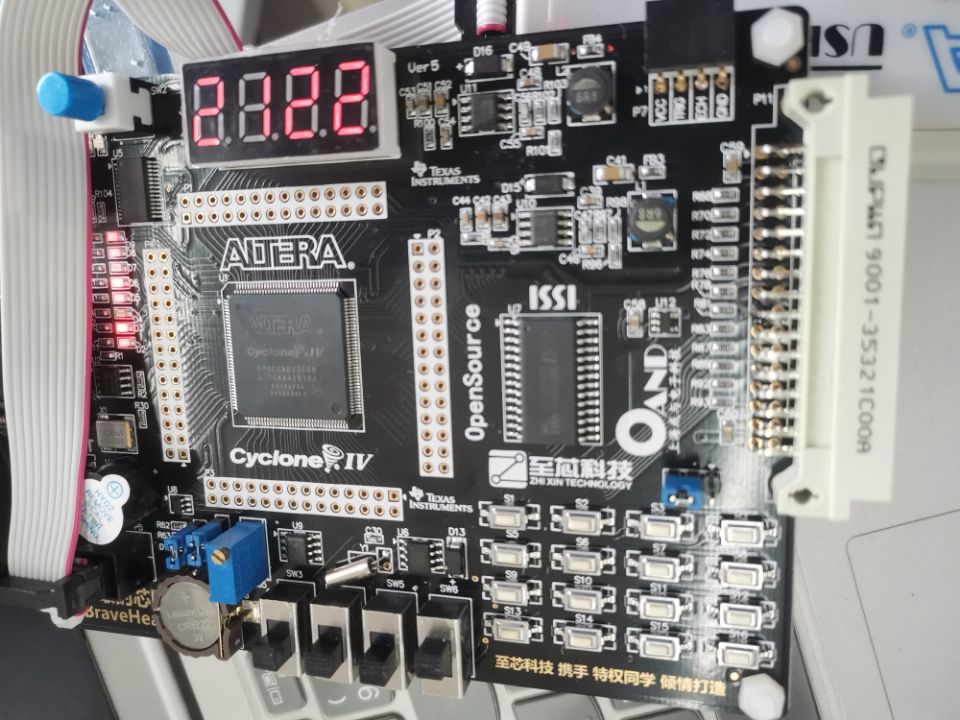
如图所示，该电路实现了从0到59的计数功能，当计数到00111011时，通过与非门将信号传送到端用预置实现清 0。

4、24进制计数器设计



如图所示，电路从11101001计数到11111111，计数到11111111时，通过非门将预置实现置数，实现从0-23的计数。

5、实验最终总电路

实验结果图：

**五、总结**

通过本次实验，掌握了集成计数器的功能，在数字时钟设计中，根据老师上课所讲的内容，可以用两片集成十进制同步计数器74LS160级联为100进制，再利用其异步清零功能，可以分别实现小时的24进制和分秒的60进制。通过本次实验对数字电路知识有了更深入的了解，将其运用到了实际中来。