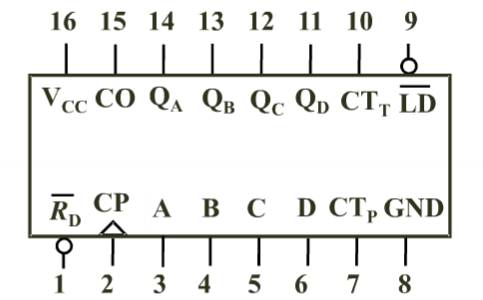
**云南大学信息学院2020至2021下学期2019通信工程专业《数字电路与逻辑设计实验》期末综合实验**

**实验名称：综合实验——数字时钟的设计**

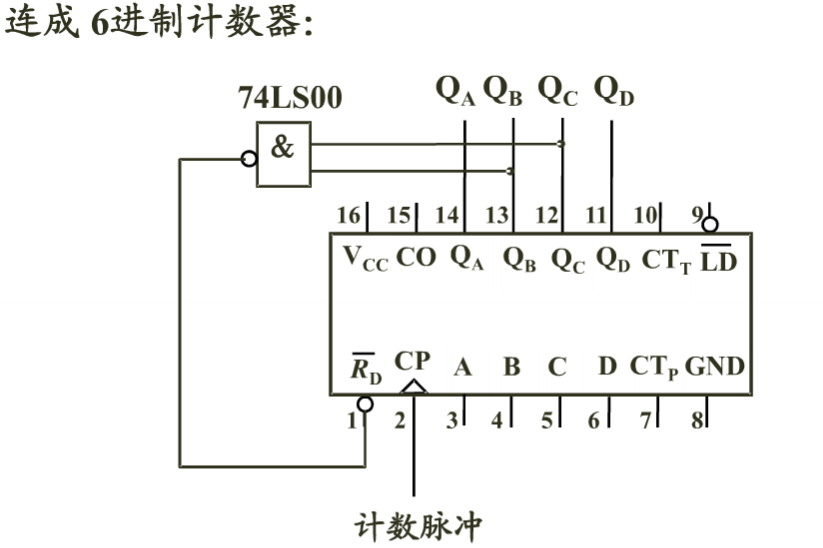
1. **实验目的**
2. 学习并掌握中规模集成计数器的工作原理及使用方法；
3. 接触数字电路的调试过程，形成对数字电路的总体认识；
4. **实验器材**
5. 数字试验箱，示波器
6. 与非门 74LS00
7. 集成计数器 74LS161
8. **预习要求**
9. 认真阅读实验讲义，理解数字钟的组成原理
10. 学习使用QuartusII，对电路核心模块（计数、显示、脉冲产生）进行仿真调试

**完成仿真电路的搭建及运行测试，将电路图及测试结果（状态波形图），打印后作为附件一并提交**

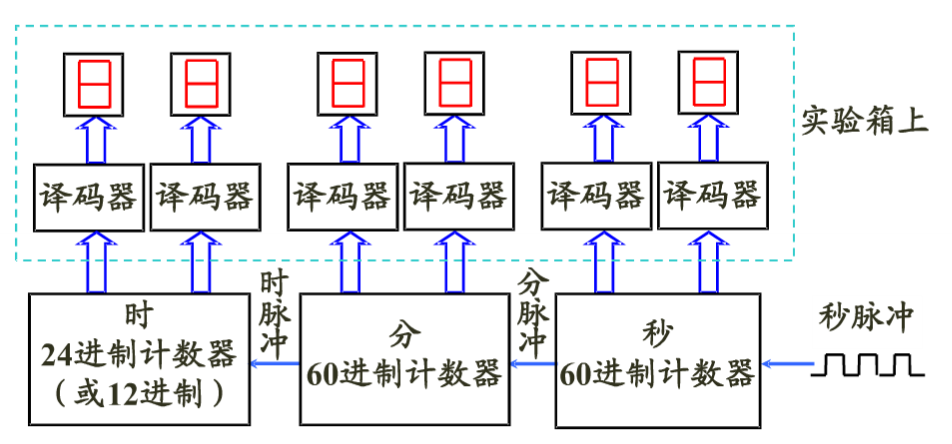
1. **实验原理**
2. 74LS160计数功能（脉冲引入方式，计数模式，清零方式，预置数方式）



1. 应用74LS160设计6进制计数器



1. 数字钟的总体结构

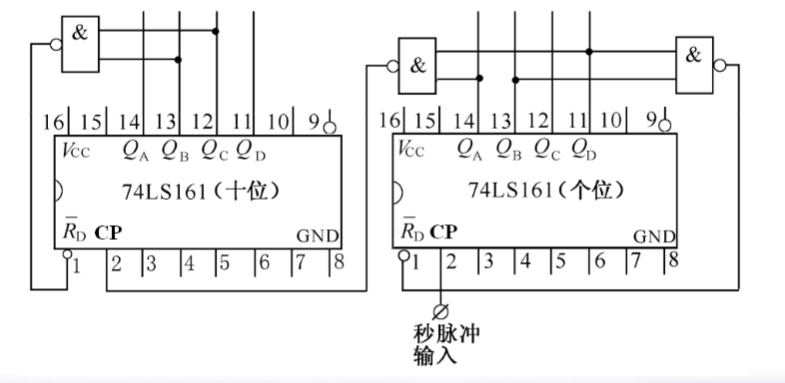


1. **实验内容**
2. 对74LS160计数功能进行测试

在CP端加入单脉冲，输出端QDQCQBQA接电平显示，观察并记录发光二极管亮、暗情况与CP端手动脉冲个数的关系。注：测试过程中A、B、C、D端可悬空，使能端和置数端、清零端应接高电平。

1. 分别连接10进制和6进制计数器
2. 计数器输出接电平显示，CP端接单脉冲，检查10进制、6进制计数器功能是否正确。记录真值表、状态转移图。
3. 连接60进制计数器，CP端接试验箱上1Hz时钟作为输入脉冲，观察计数功能是否正确。记录真值表、状态转移图。
4. CP端连1kHz脉冲信号，用示波器对计数器进行动态测试，观察并记录计数器的CP端和QD、QC、QB、QA端的波形（包括幅值，注意相位对齐）。记录波形图，对原始波形拍照记录后进行整理，对所记录的波形图进行分析核对，判断是否符合功能设计，记录时必须同时记录下波形的幅值和频率。
5. 连接60进制计数器

在10进制和6进制计数器都正确的基础上，连接成60进制计数器，检查功能是否正常。



1. 设计24进制计数器

参照60进制计数器的方法设计一个24进制计数器，检查功能是否正常。

1. 基于实验室提供开发环境，完成时、分两级时间计时、显示功能，要求采用动态显示电路。
2. 数字时钟扩展功能设计及调试
3. **实验报告**
4. 实验目的、实验器材、实验内容。
5. 根据实验内容，绘制实验电路图、记录实验数据和示波器波形
6. 实验调试过程中遇到的问题、解决的方法和体会
7. **思考题**
8. 实际应用中的时钟还有哪些常用功能？请给出对应功能的实现方案或设计思路。
9. 异步计数器为什么容易产生误动作？同步计数器能够避免误动作？为什么？

**云南大学信息学院2017至2018下学期**

**《数字电路与逻辑设计实验》实验报告**

**实验名称：综合实验——数字时钟的设计**

**姓名： 学号： 序号：**

**专业： 指导教师：**

**一、实验目的**

**二、实验器材**

**二、实验内容**

**三、实验记录（真值表、状态转移图、原始波形图、整理后的波形图及分析）**

**四、思考题及总结**

**附件1：数字钟Multisim仿真电路及结果记录**