1.设CPU内的部件有：PC、IR、MAR、MDR、ACC、ALU、CU，且采用非总线结构。

1. 写出取址周期的全部微操作。
2. 写出取数指令LDA X，存数指令STA X，加法指令ADD X（X均为主存地址）在执行阶段所需的全部微操作。
3. 当上述指令均为间接寻址时，写出执行这些指令所需的全部微操作。
4. 写出无条件转移指令JMP Y和结果为零则转指令BAZ Y在执行阶段所需的全部微操作。（40分）

答：(1)取指周期的全部微操作

　　PC→MAR 现行指令地址→MAR

　　1→R 命令存储器读

　　M(MAR)→MDR 现行指令从存储器中读至MDR

　　MDR→IR 现行指令一+IR

　　OP(IR)→+CU　指令的操作码一+CU译码

(PC)+1→PC 形成下一条指令的地址

　　(2)①取数指令LDA X执行阶段所需的全部微操作

　　Ad(IR)→MAR 指令的地址码字段→MAR

　　1→R 命令存储器读

　　M(MAR)→MDR 操作数从存储器中读至MDR

　　MDR→ACC 操作数→ACC

　　②存数指令STA X执行阶段所需的全部微操作

　　Ad(IR)→MAR 指令的地址码字段→MAR

　　1→W 命令存储器写

　　ACC→MDR 欲写入的数据→MDR

　　MDR→M(MAR) 数据写至存储器中

　　③加法指令ADD X执行阶段所需的全部微操作

　　Ad(IR)→MAR 指令的地址码字段→MAR

　　1→R 命令存储器读

　　M(MAR)→MDR 操作数从存储器中读至MDR

(ACC)+(MDR)→ACC两数相加结果送ACC

　　(3)当上述指令为间接寻址时，需增加间址周期的微操作。这三条指令在间址周期的微操作是相同的，即

　　Ad(IR)→MAR 指令的地址码字段→MAR

　　1→R 命令存储器读

　　M(MAR)→MDR 有效地址从存储器中读至MDR

　　进人执行周期，三条指令的第一个微操作均为MDR→AR(有效地址送MAR),其余微操作不变。

　　(4)①无条件转移指令JMPY执行阶段的微操作

　　Ad(IR)→PC

　　转移（目标）地址Y→PC

　　②结果为零则转指令BAZY执行阶段的微操作

　　Z·Ad(IR)→+PC 当Z=1时，转移（目标）地址Y→PC

(Z为标记触发器，结果为0时Z=1)

2．设CPU内部采用非总线结构，如下图所示。

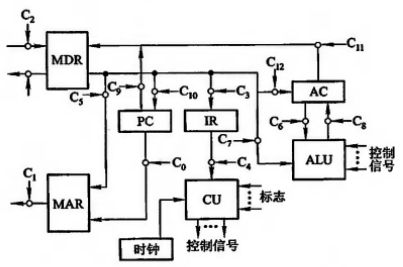


图 未采用CPU内部总线方式的数据通路和控制信号

（1）写出取指周期的全部微操作。

（2）写出取数指令“LDA M”、存数指令“STA M”、加法指令“ADD M”（M均为主存地址）在执行阶段所需的全部微操作。

（3）当上述指令均为间接寻址时，写出执行这些指令所需的全部微操作。

（4）写出无条件转移指令“JMP Y”和结果为零则转指令“BAZ Y”在执行阶段所需的全部微操作。（40分）

答：(1) 取指阶段的微操作

[1] PC --> MAR：控制信号C0有效，打通PC寄存器与地址寄存器MAR的通路，PC内的数据传输到MAR中。

[2] 1 -- >R： CU向存储器发一个读信号，存储器处于可被读状态。

[3] MM(MAR) --> MDR ：C1,C2控制信号有效，存储器之上的MAR地址的内容通过数据总线传输到MDR中。

[4] MDR-- >IR : C3控制信号有效，MDR传输给IR。

[5] OP(IR)-->CU：将IR中指令的操作码字段传输给CU。

[6] (PC) + 1--> PC：PC内容自动加1。

(2)“LDA M”,“ STA M”,“ADD M”指令执行阶段的微操作

LDA M：

[1] AD(IR) --> MAR：控制信号C5有效，IR指令中的地址码字段送给MAR。

[2] 1 -- >R：使能存存器被读状态。

[3] MM(MAR) --> MDR ：C1,C2控制信号有效，存储器之上的MAR地址的内容通过数据总线传输到MDR中。

[4] MDR -->ACC：控制信号C12有效，将MDR中的数据存到ACC寄存器中。

STA M：

[1] AD(IR) --> MAR：控制信号C5有效，IR指令中的地址码字段送给MAR。

[2] 1 -- >W：使能存存器被写状态。

[3] ACC -- >MDR：控制信号C12有效，将要写入存储器中M地址的数据写入MDR。

[4] MDR -- > MM(MAR)：C1,C2控制信号有效，MDR中的数据写往存存器M的M地址之上。

ADD M：

[1] AD(IR) --> MAR：控制信号C5有效，IR指令中的地址码字段送给MAR。

[2] 1 -- >R：使能存存器被读状态。

[3] MM(MAR) --> MDR ：C1,C2控制信号有效，存储器之上的MAR地址的内容通过数据总线传输到MDR中。

[4] (ACC) + (MDR) -- > ACC：控制信号C7，C6有效，将读到的数据与ACC中的内容送到ALC相加，C8控制信号有效，将ALU相加的结果送入ACC中。

(3) M为间址时“LDA M”,“ STA M”,“ADD M”指令执行阶段的微操作

当M为间址时，需要增加间址周期的微操作。

[1] AD(IR) -- > MAR：控制信号C5有效，IR指令中的地址码字段送给MAR。

[2] 1 -- >R：使能存存器被读状态。

[3] MM(MAR) --> MDR ：C1,C2控制信号有效，存储器之上的MAR地址的内容通过数据总线传输到MDR中。

此后，3条指令的第一个微操作都是MDR -->MAR，其余微操作不变。

(4) “JMP Y”，“BAZ Y”执行阶段的微操作

JMPY：

AD(IR) --> PC：控制信号C10有效，将IR内容中的地址码送往PC。

BAZY：

Z·AD(IR) --> PC：当Z=1（结果为0）则将地址给PC。

3.下图所示是双总线结构的机器。图中IR为指令寄存器，PC为程序计数器，MAR为存储器地址寄存器，M为主存（受信号控制），MDR为存储器数据寄存器，均为寄存器，ALU由+、-控制信号决定完成何种操作，控制信号G控制一个门电路。此外，线上标注有控制信号，如表示寄存器Y的输入控制信号，表示寄存器的输出控制信号，未标字符的线为直通线，不受控制。

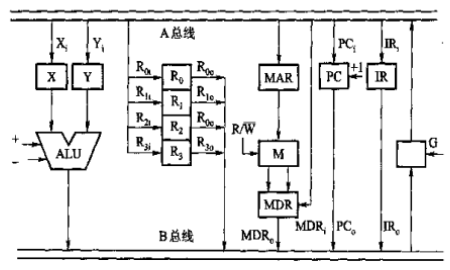
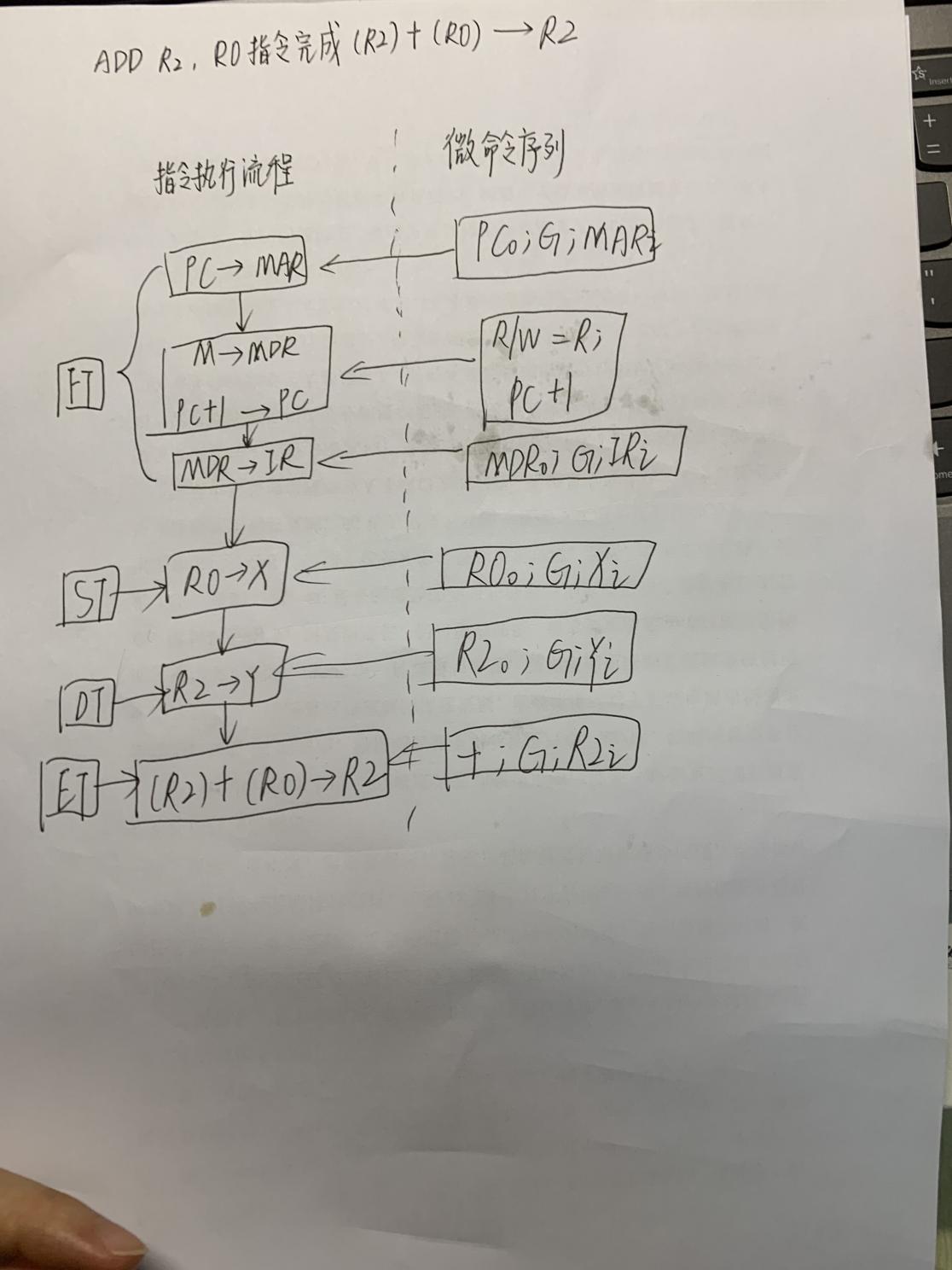


图 双总线结构示意

ADD指令完成的操作，画出其指令周期信息流程图（假设指令的地址已放在PC中），并列出相应的微操作控制信号序列。（20分）

答：