МГТУ им. Н.Э. Баумана

Дисциплина электроника

Лабораторный практикум №7

ПО ТЕМЕ: «ОБРАБОТКА ДАННЫХ ЭКСПЕРИМЕНТА УСИЛИТЕЛИ»

Студент: Фам Минь Хиеу

Группа: ИУ7-32Б

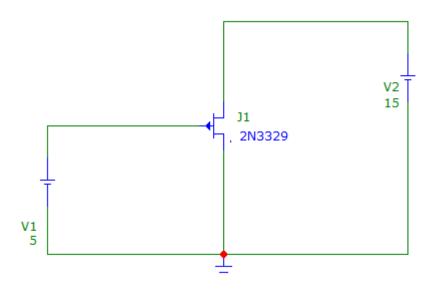
Работу проверил:Оглоблин Д. И.

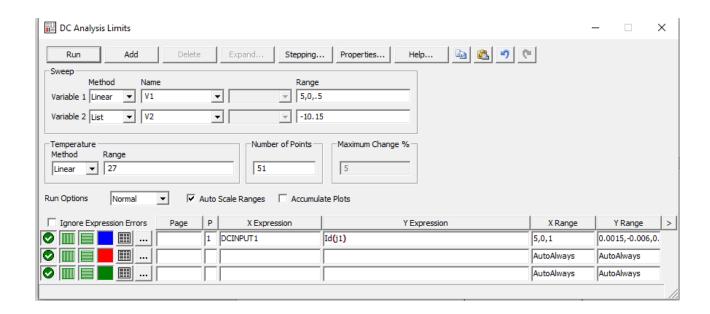
Цель работы – получить навыки в использовании базовых возможностей программы Місгосар и знания при исследовании и настройке усилительных и ключевых устройств на биполярных и полевых транзисторах.

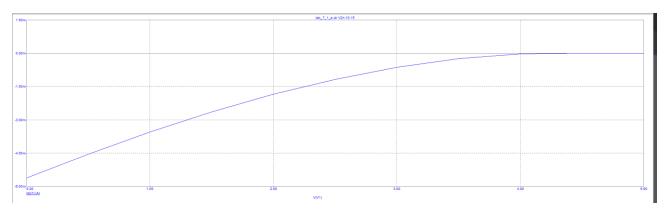
БИПОЛЯРНЫЙ ТРАНЗИСТОР

2N3329 IRF540 IRF9540

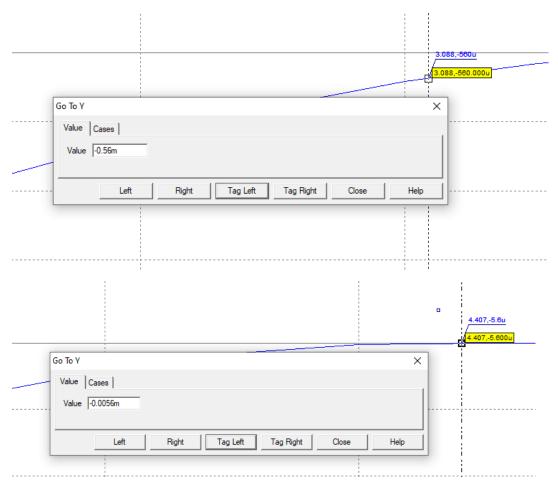
ЭКСПЕРИМЕНТ 7.



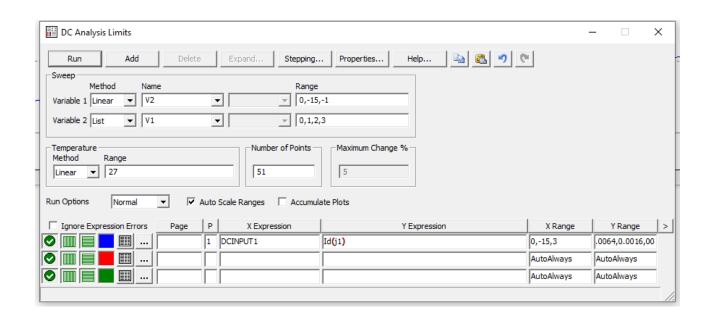




Начальный ток стока \sim = -5.6 мA; напряжение, при котором закрывается транзистор (это напряжение, при котором ток стока равен 1/10 исходного) \sim = 3.04 В; напряжение отсечки транзистор (это напряжение, при котором ток стока стал не больше 1/1000 исходного) \sim = 4.33 В. Рассчитываем максимальную крутизну по формуле: Smax = 2*Icиcx/|Uoтсечки| = 2*(5.6) мA/4.33 В \sim = 2.58 мA/B.



Построим выходную характеристику pJFET:



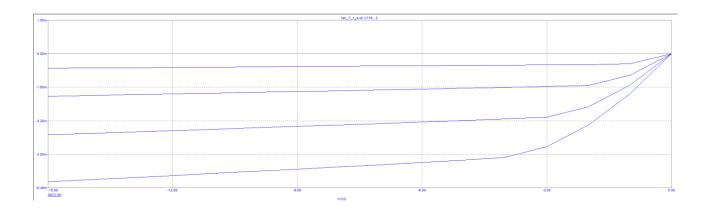
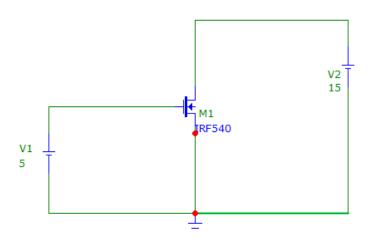
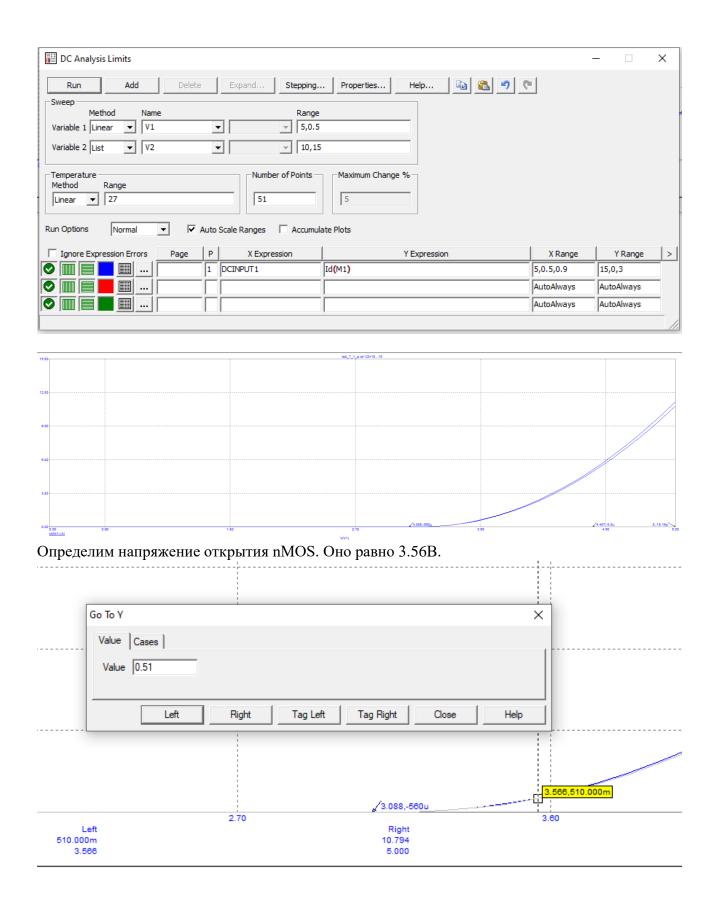
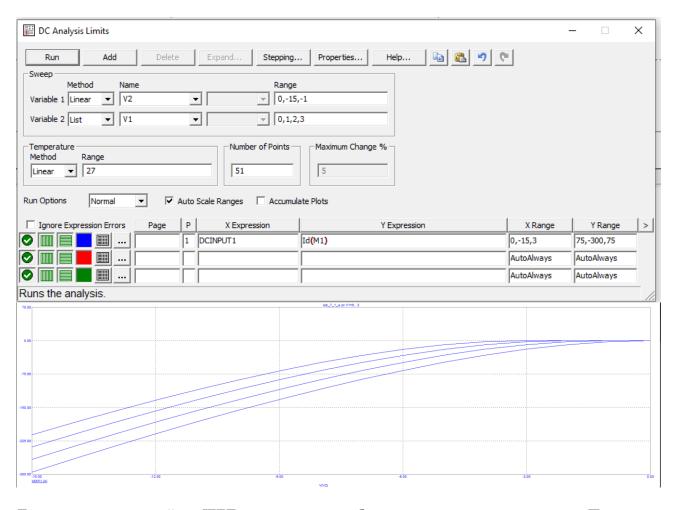


Схема для получения характеристик nMOS:

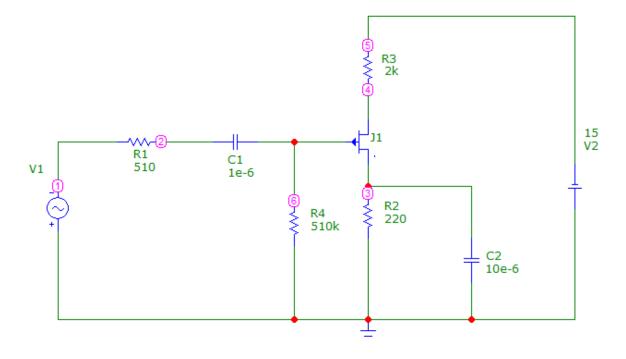




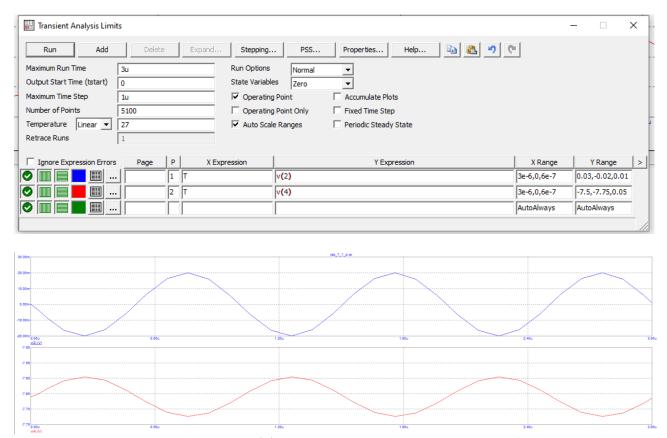
Параметры анализа для получения выходной характеристики nMOS:



Для исследования свойств JFET как усилителя собираем схему, показанную ниже. Подаем на вход гармонический сигнал 20 mV частотой $1 \text{ к} \Gamma$ ц.



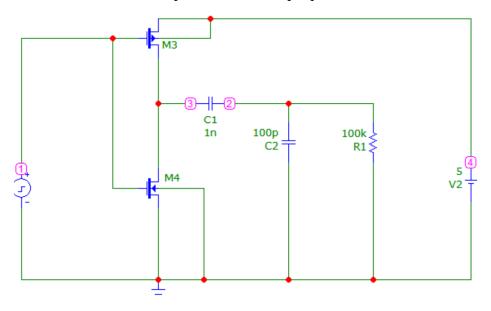
Запускаем временной анализ:



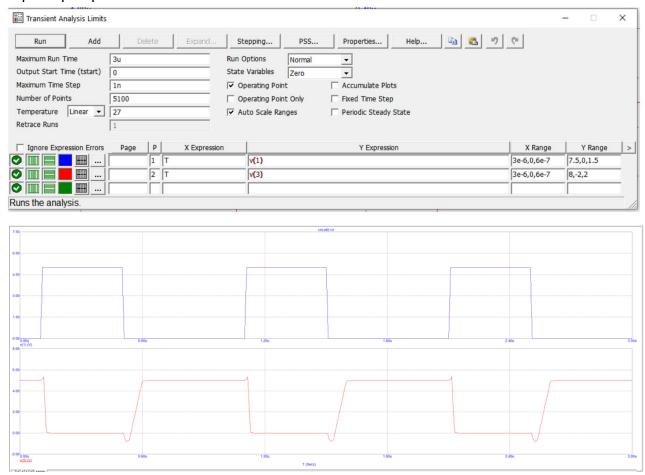
По результату анализа считаем коэффициент усиления по напряжению: (-7.59 + 7.72) / 0.04 = 3.25

ЭКСПЕРИМЕНТ 8.

Схема для оценки быстродействия инвертора:



Параметры временного анализа:



По полученным графикам определяем среднее время задержки по уровню 0.5 = (22 + 71) / 2 = 46.5 нс. Полученное время составляет 46.5 нс / 400 нс $\sim 11.6\%$ от средней длительности входного сигнала.

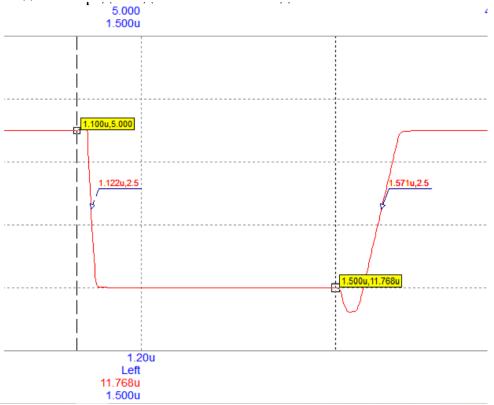
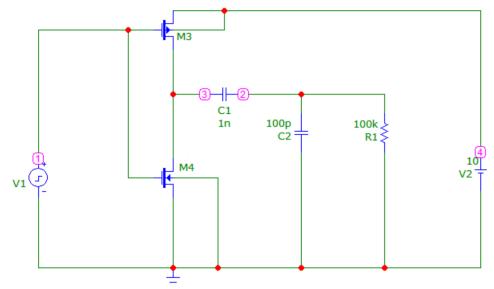
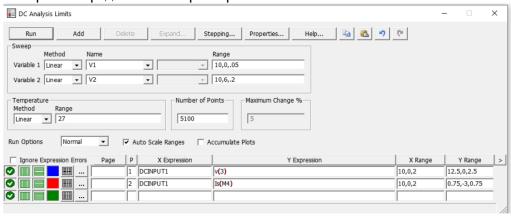
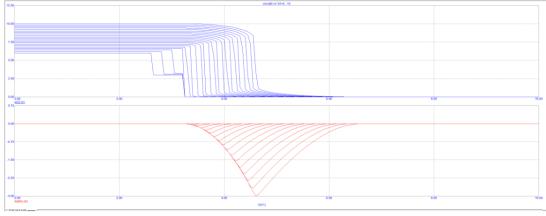


Схема для получения передаточных характеристик:

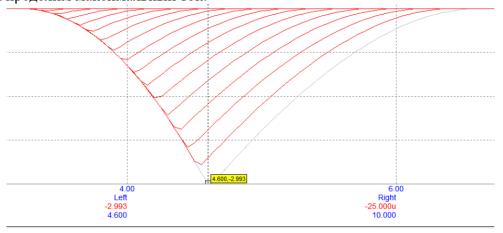


Построим передаточные характеристики:

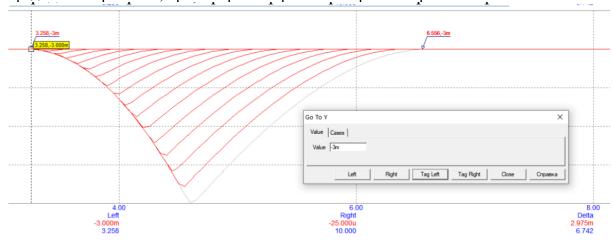




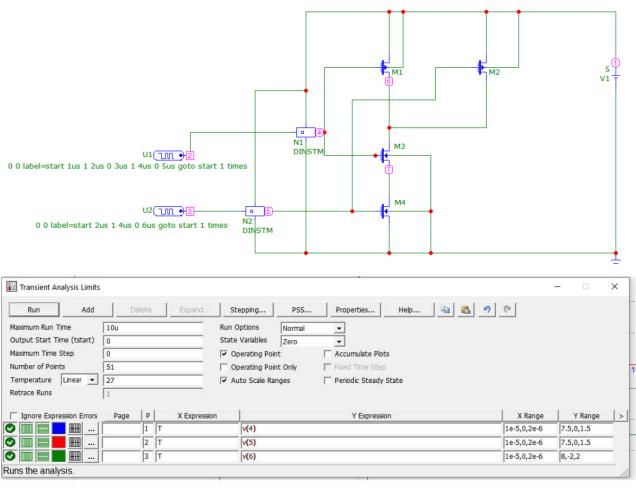
Определим максимальный ток:

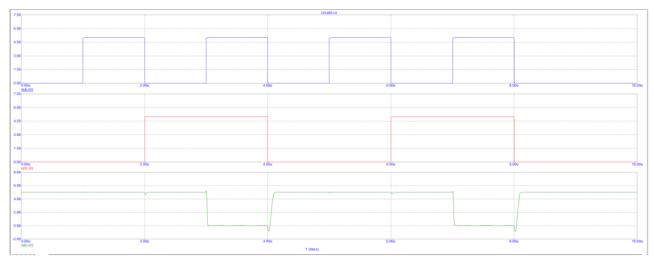


Определим напряжения, при которых открываются транзисторы:

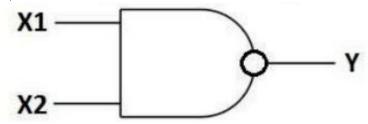


Отличие полученных характеристик от идеальных можно объяснить тем, что транзисторы в задании комплементарны лишь условно. Для исследования логического элемента 2И-НЕ строим схему выходной сигнал равен единице тогда и только тогда, когда хотя бы один из входных сигналов равен 0:





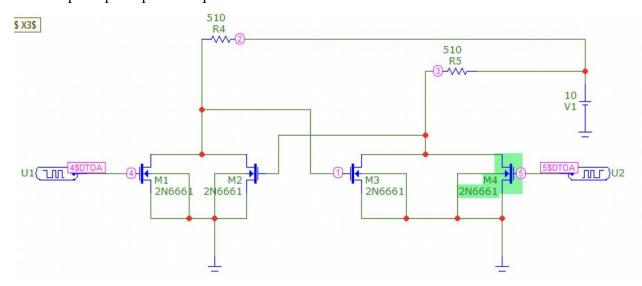
Обозначение и таблица истинности логического элемента 2И-НЕ:



Вход Х1	Вход Х2	Выход Ү
0	0	1
1	0	1
0	1	1
1	1	0

ЭКСПЕРИМЕНТ 9.

Схема триггера с транзистором из пособия:



Результат временного анализа:

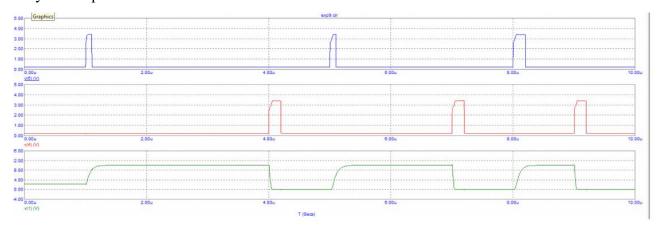


Схема с транзистором по варианту:

