



Министерство науки и высшего образования Российской Федерации  
Федеральное государственное бюджетное образовательное учреждение  
высшего образования  
«Московский государственный технический университет  
имени Н.Э. Баумана  
(национальный исследовательский университет)»  
(МГТУ им. Н.Э. Баумана)

---

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И ИНФОРМАЦИОННЫЕ  
ТЕХНОЛОГИИ (ИУ7)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ

**ОТЧЕТ**

**По лабораторной работе № 4**

**Название:** Исследование мультиплексоров

**Дисциплина:** Архитектура ЭВМ

Студент

ИУ7-42Б

(Группа)

Фам М.Х

(Подпись, дата)

(И.О. Фамилия)

Преподаватель

А. Ю. Попов

(Подпись, дата)

(И.О. Фамилия)

## Цель работы

Изучение принципов построения, практического применения и экспериментального исследования мультиплексоров.

### 1. Исследование ИС ADG408 или ADG508 в качестве коммутатора MUX 8 – 1 цифровых сигналов:

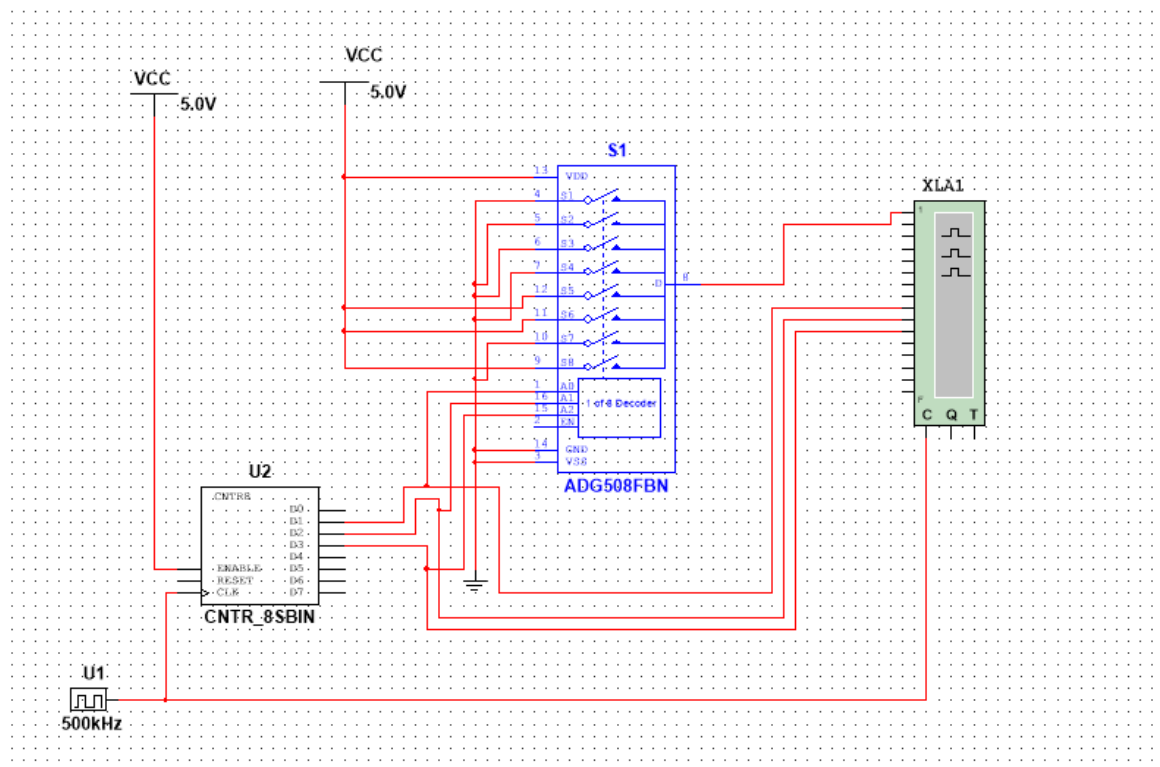
а) на информационные входы D0 ...D7 мультиплексора подать комбинацию сигналов, заданную преподавателем из табл. 2. Логические уровни 0 и 1 задавать источниками напряжения  $U=5\text{ В}$  и  $0\text{ В}$  (общая);

б) на адресные входы A2, A1, A0 подать сигналы Q3, Q2, Q1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой  $500\text{ кГц}$ .

в) снять временную диаграмму сигналов при  $EN=1$  и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе.

Составим схему по варианту 23 (рисунок 1.1).

23	0	0	0	0	1	1	0	0	0,4,5,7,8,9,10,14
24	0	0	0	0	1	1	0	1	0,1,2,5,8,10,12,13,14



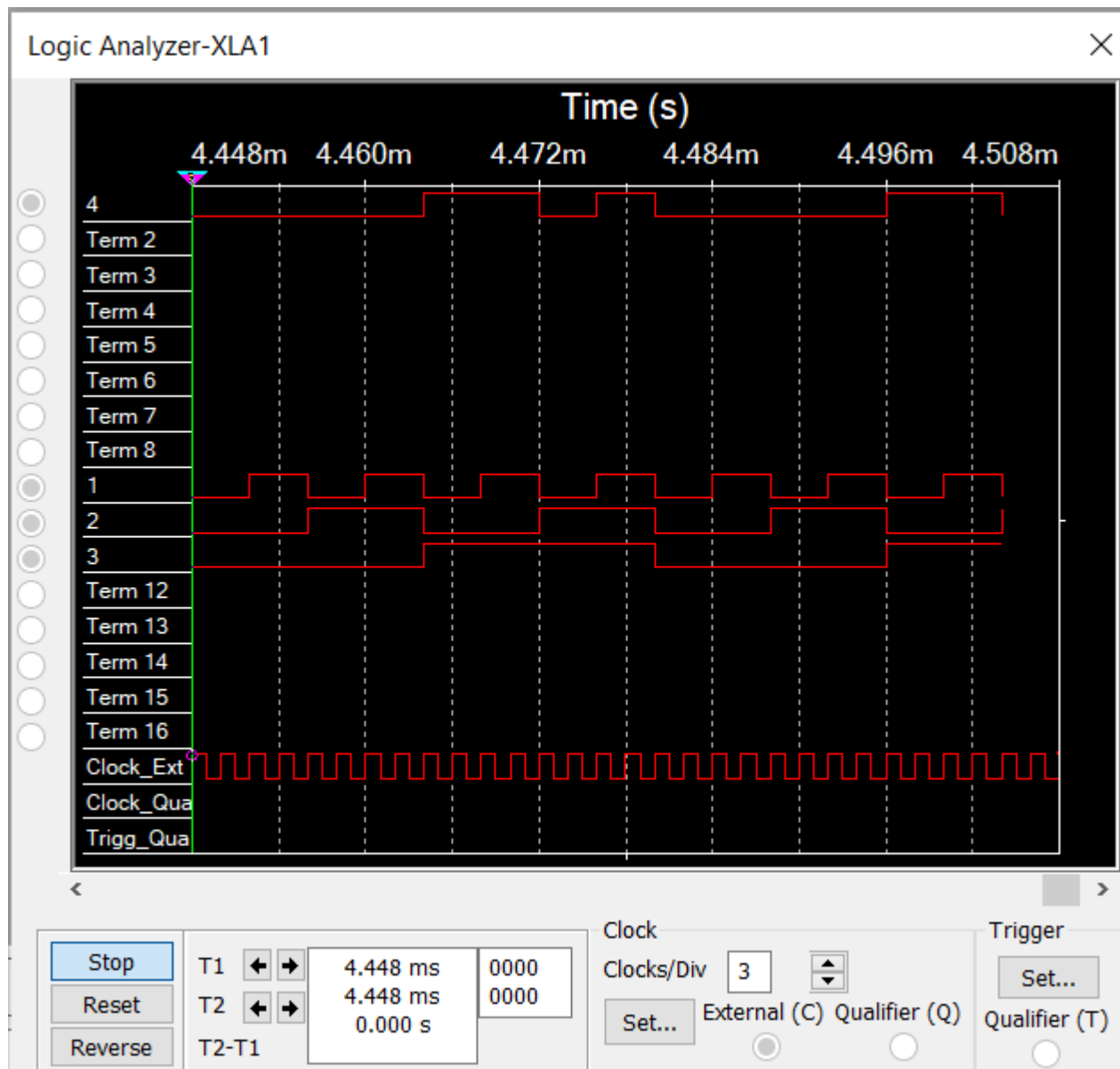
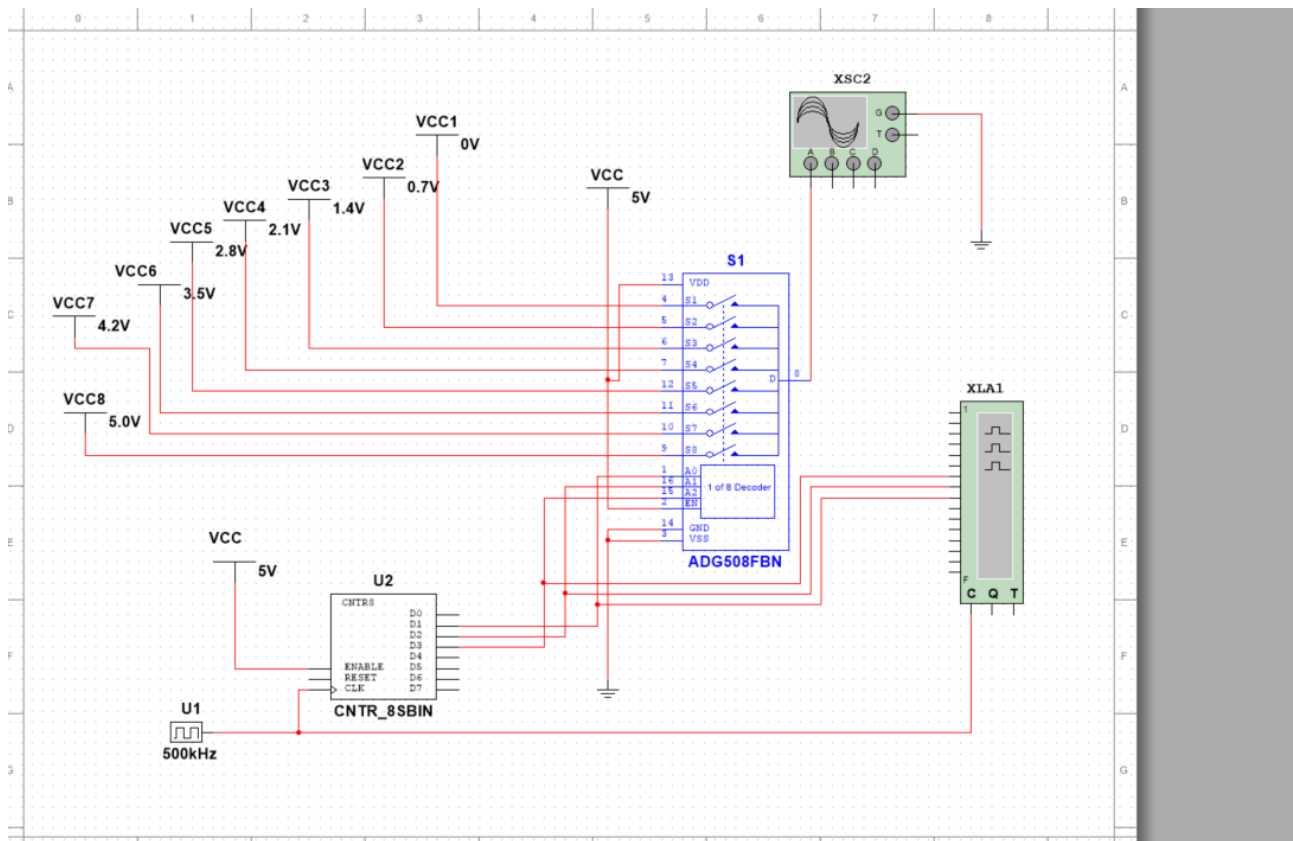
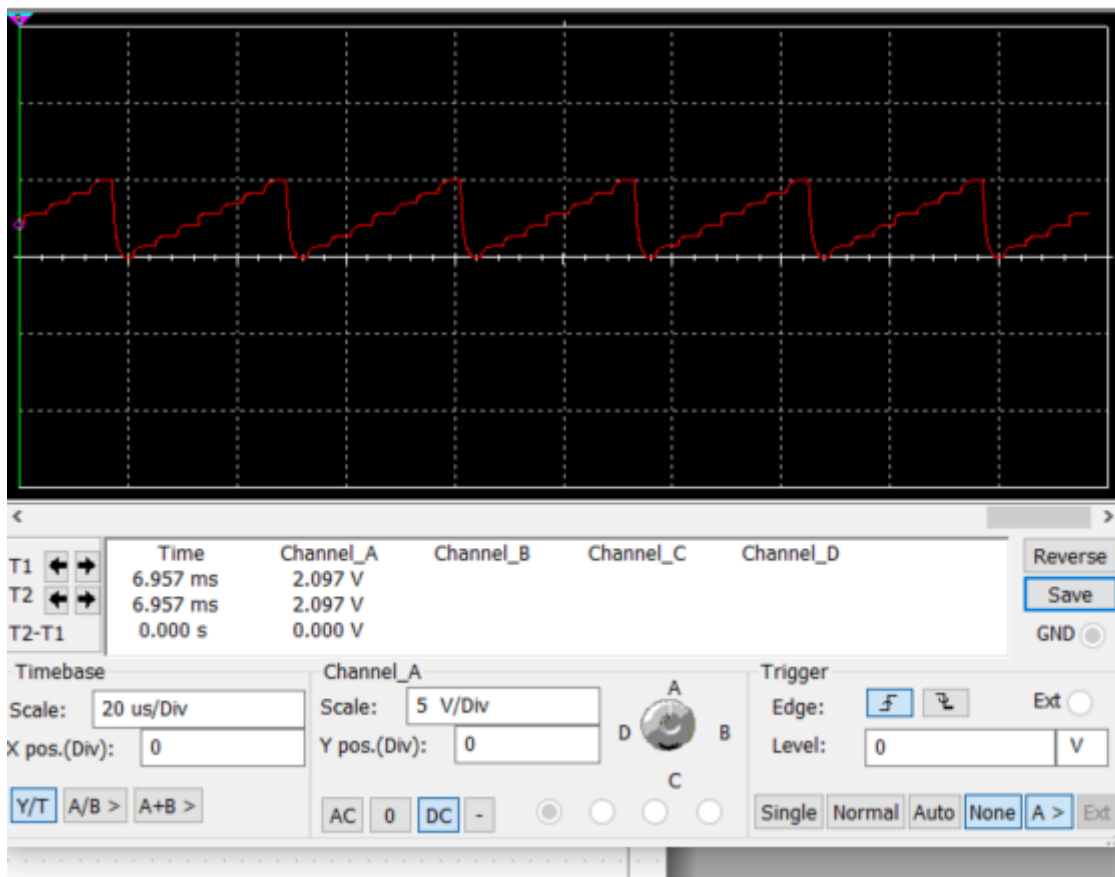


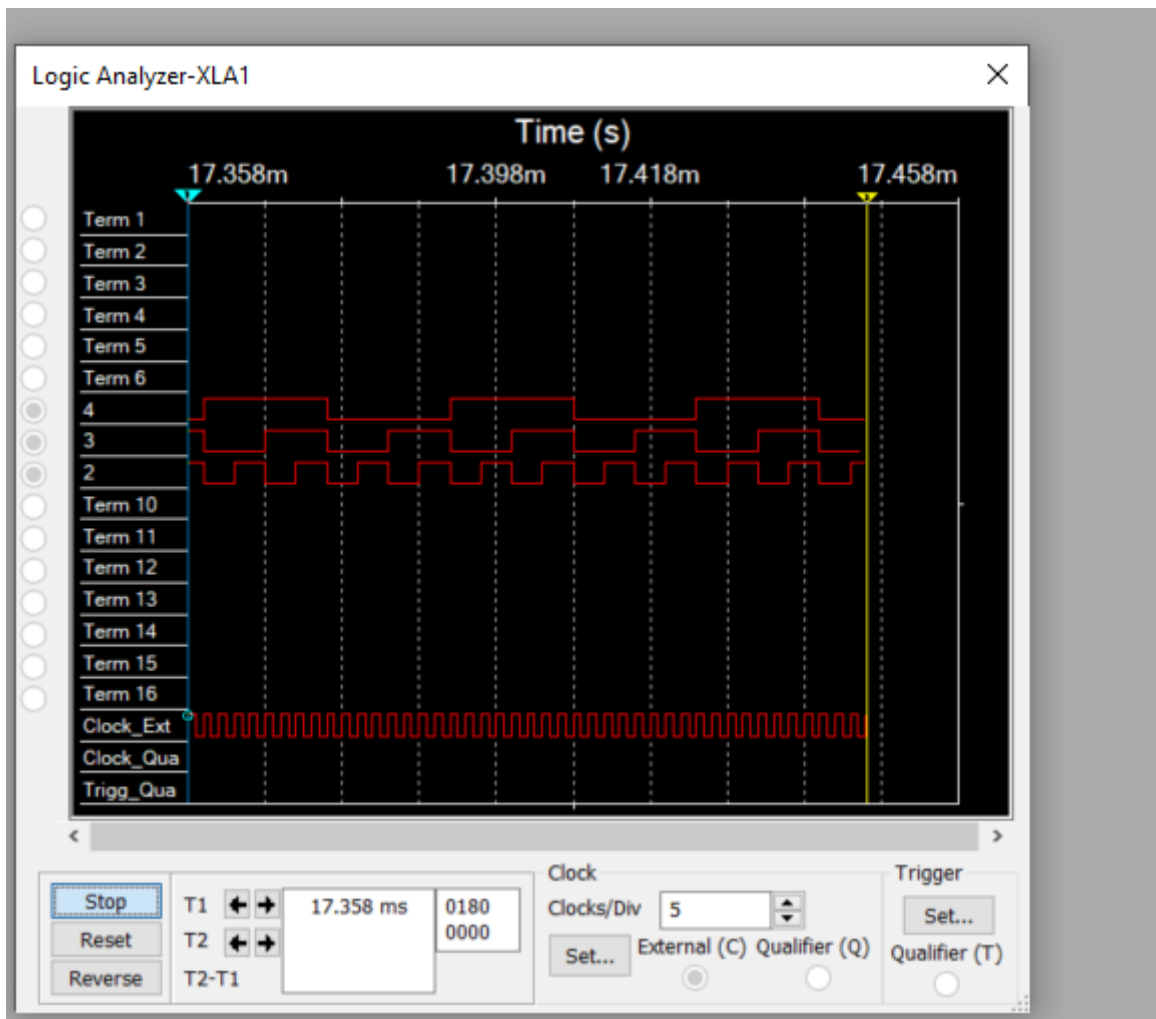
Схема работает следующим образом: На выход идет тот D сигнал, адрес которого пришел на дешифратор

## 2. Исследование ИС ADG408 или ADG508 в качестве коммутатора MUX 8 – 1 аналоговых сигналов:



Four channel oscilloscope-XSC2





### 3. Исследование ИС ADG408 или ADG508 как коммутатора MUX 8 – 1 цифровых сигналов в качестве формирователя ФАЛ четырех переменных. ФАЛ задается преподавателем.

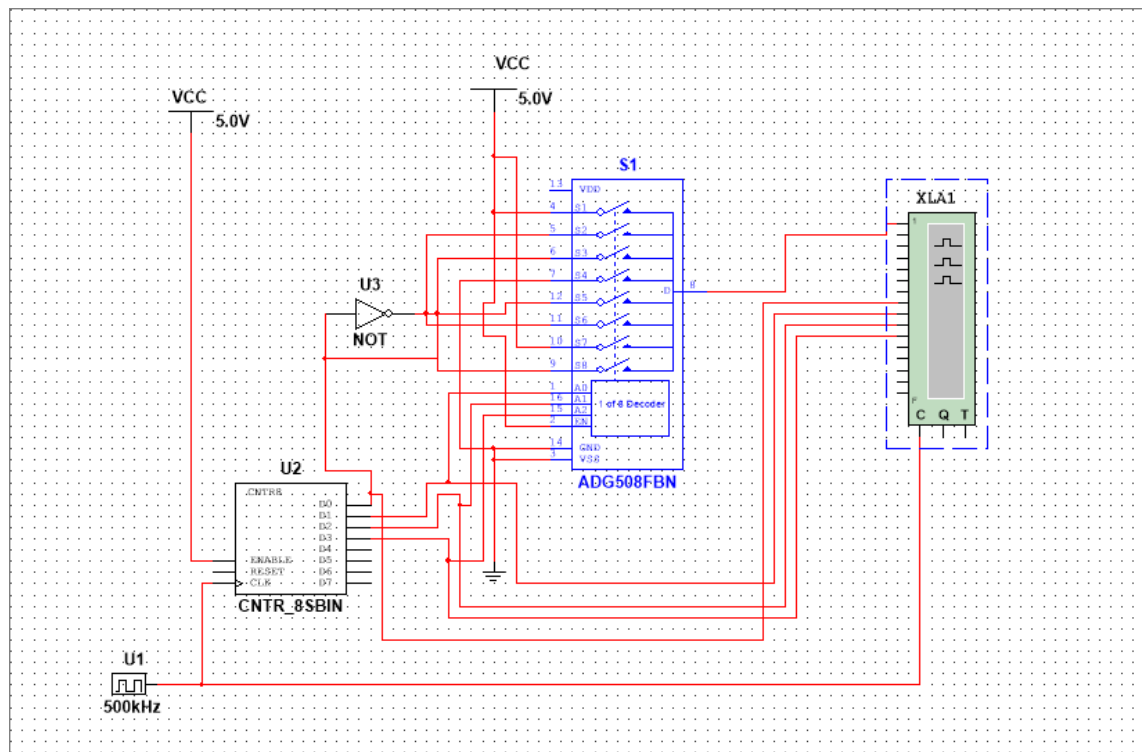
Проверить работу формирователя в статическом и динамическом режимах. Снять временную диаграмму сигналов формирователя ФАЛ и провести ее анализ.

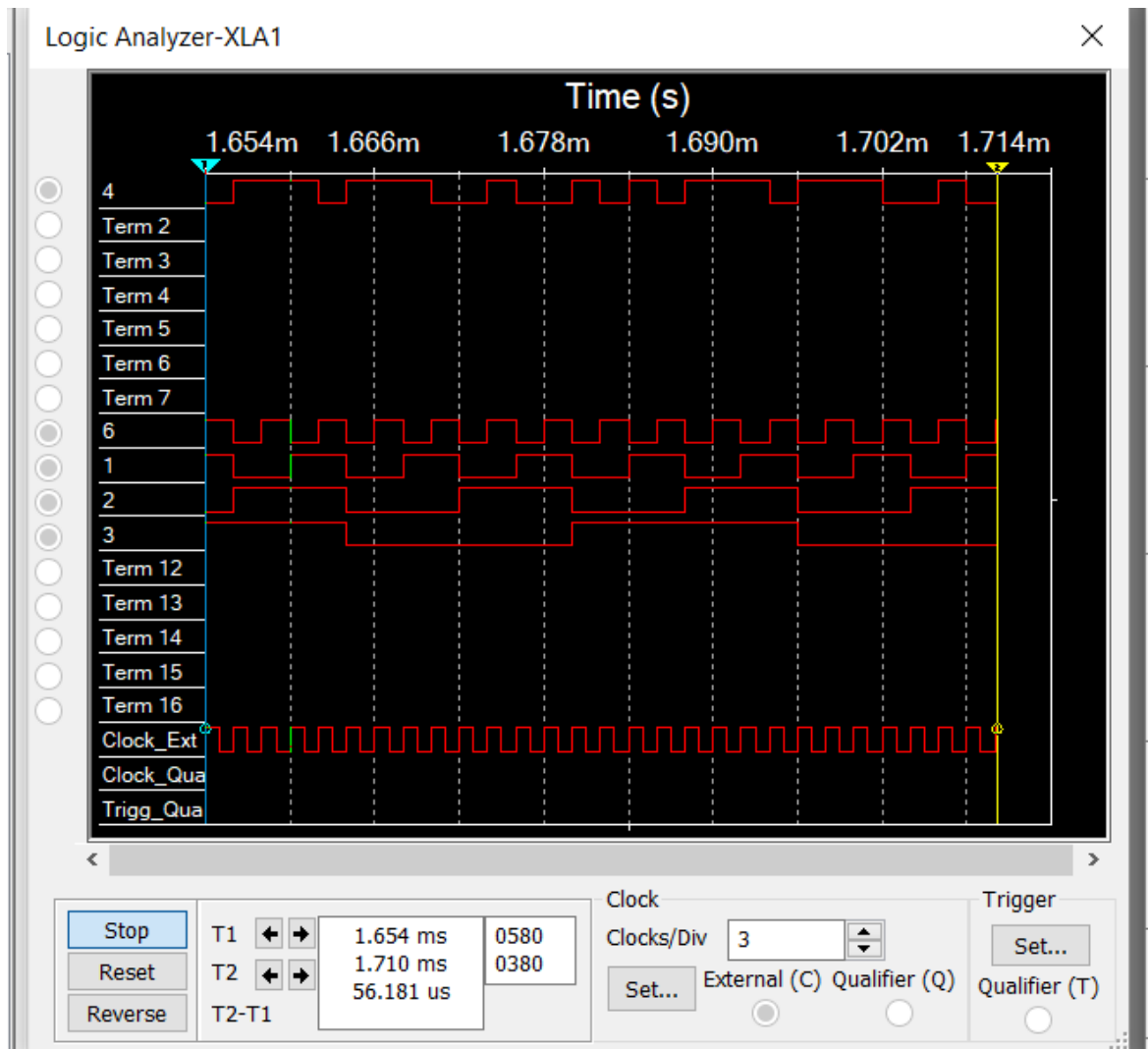
23	0	0	0	0	1	1	0	1	0,4,5,7,8,9,10,14
24	0	0	0	1	0	1	0	1	0,1,2,5,8,10,12,13,14

Таблица 3.1

$x_4$	$x_3$	$x_2$	$x_1$	$f$	Примечание
0	0	0	0	1	D0 = 1
0	0	0	1	1	
0	0	1	0	1	D1 = $\sim X_0$

0	0	1	1	0	
0	1	0	0	0	D2 = Xo
0	1	0	1	1	
0	1	1	0	0	D3 = 0
0	1	1	1	0	
1	0	0	0	1	D4 = ~Xo
1	0	0	1	0	
1	0	1	0	1	D5 = ~X0
1	0	1	1	0	
1	1	0	0	1	D6 = 1
1	1	0	1	1	
1	1	1	0	1	D7 = ~X0
1	1	1	1	0	





Исходя из данных полученных с логического анализатора, построенная схема работает верно.

Схема реализует заданную ФАЛ. То есть при подаче на вход какого-то набора  $x_0 x_1 x_2 x_3$  на выходе будет соответствующее таблице значение

#### 4. Нарращивание мультиплексора.

Построить схему мультиплексора MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора DC 2-4.

Исследовать мультиплексора MUX 16 – 1 в динамическом режиме. На адресные входы подать сигналы с 4-разрядного двоичного счетчика, на информационные входы  $D_0 \dots D_{15}$  – из табл. 2. Провести анализ временной диаграммы сигналов мультиплексора MUX 16 – 1.

