

**ĐẠI HỌC QUỐC GIA TP.HCM**  
**TRƯỜNG ĐẠI HỌC BÁCH KHOA**



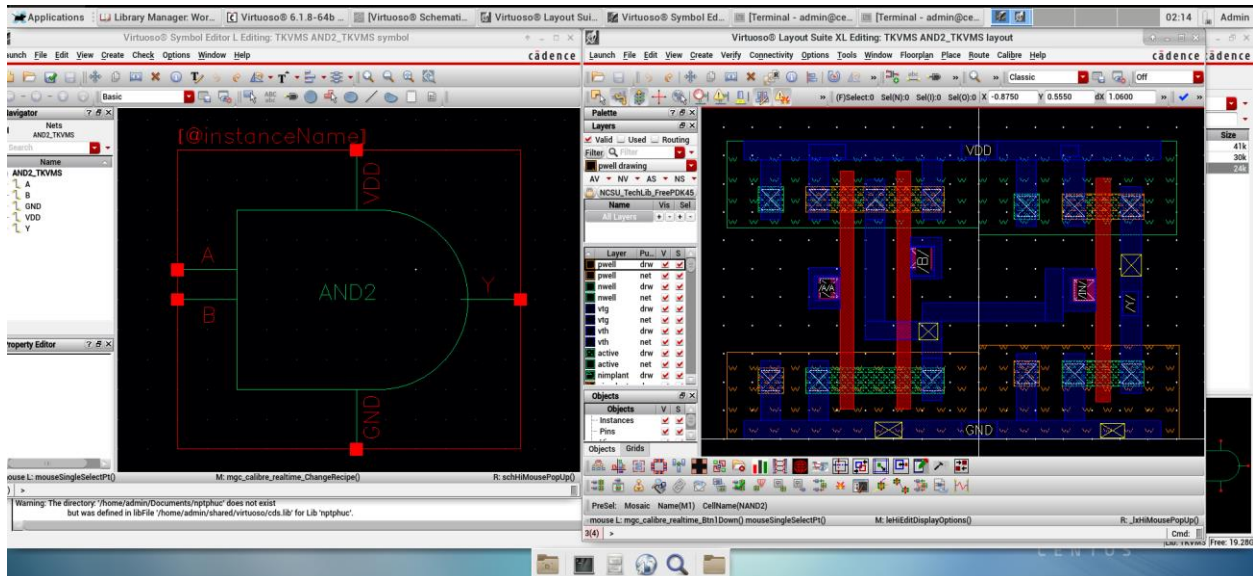
**BÁO CÁO**  
**Thiết kế vi mạch**  
**LAB 1- Mini project**

<b>Lớp L06</b>		
<b>Nhóm 1</b>		
<b>MSSV</b>	<b>Họ và tên</b>	
2110078	Huỳnh Bảo Duy	100%
2110838	Trần Phúc Chánh	100%
2110677	Tô Minh Vũ	100%
2111196	Trịnh Dương Quốc Hiếu	100%
2113752	Lê Đặng Đăng Khoa	100%

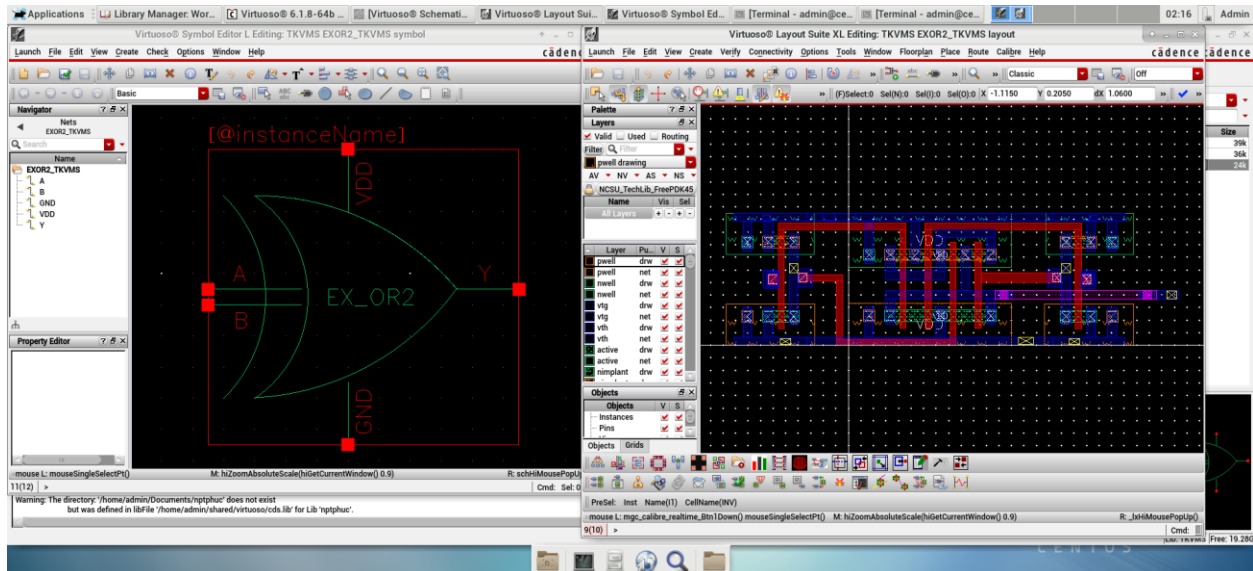
**TP.HCM, tháng 5 năm 2024**

# I. Chuẩn bị các cổng cần dùng:

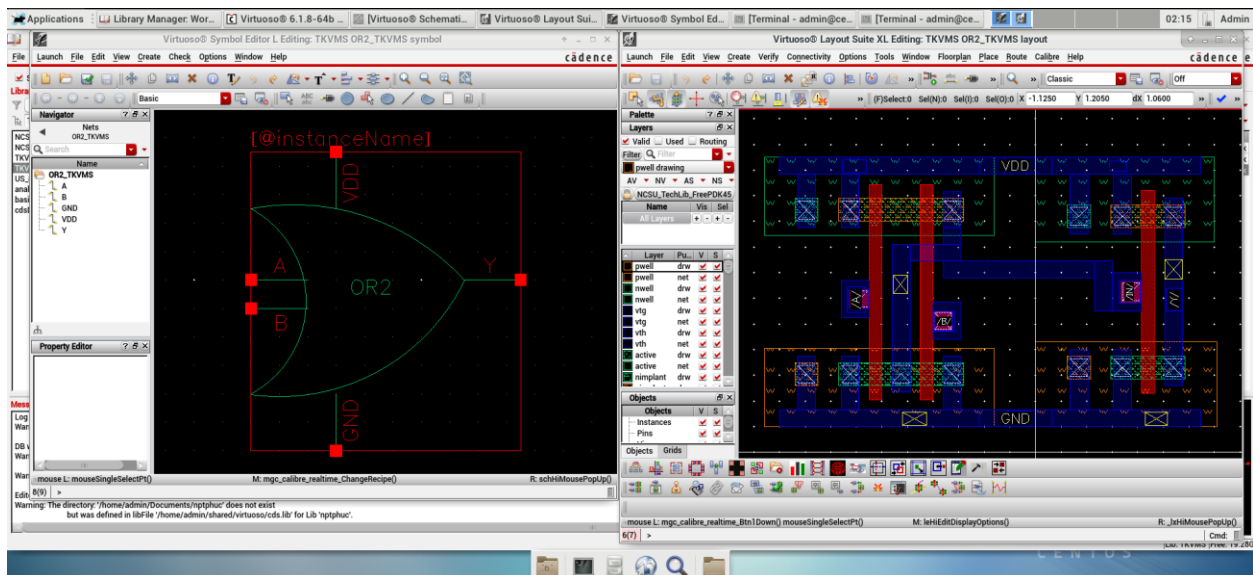
## 1. AND2:



## 2. EX\_OR2:



## 3. OR2:



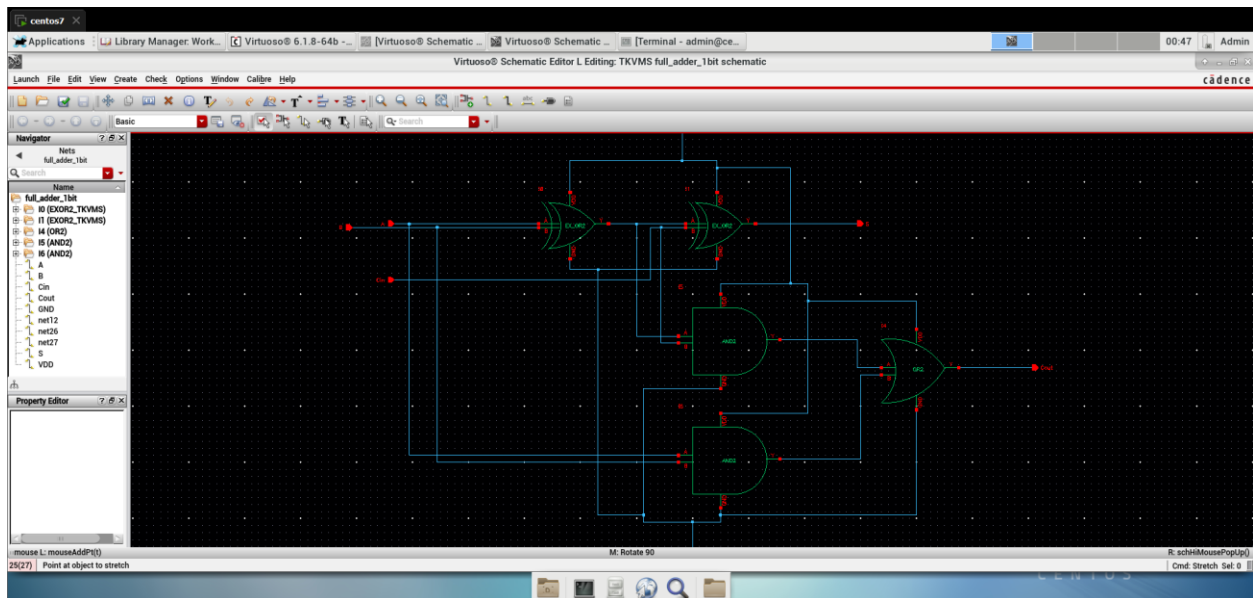
## II. FULL\_ADDER\_1 BIT:

a. Schematic:

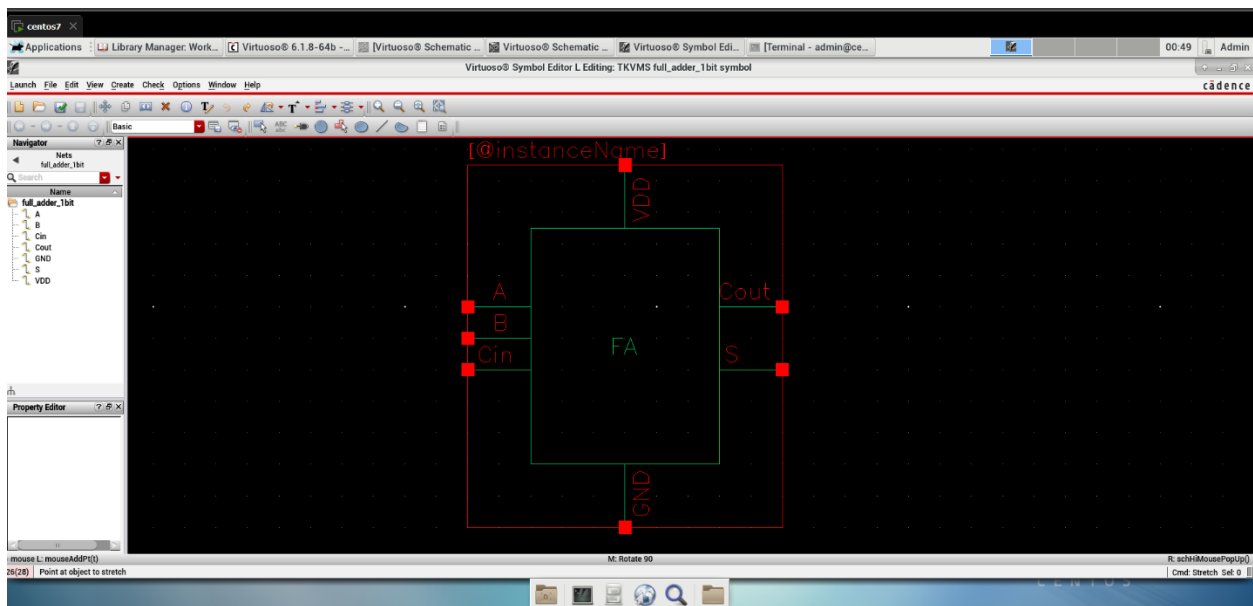
- Truth table:

Inputs			Outputs	
A	B	Cin	Sum	Carry
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

- Schematic:



- Symbol:

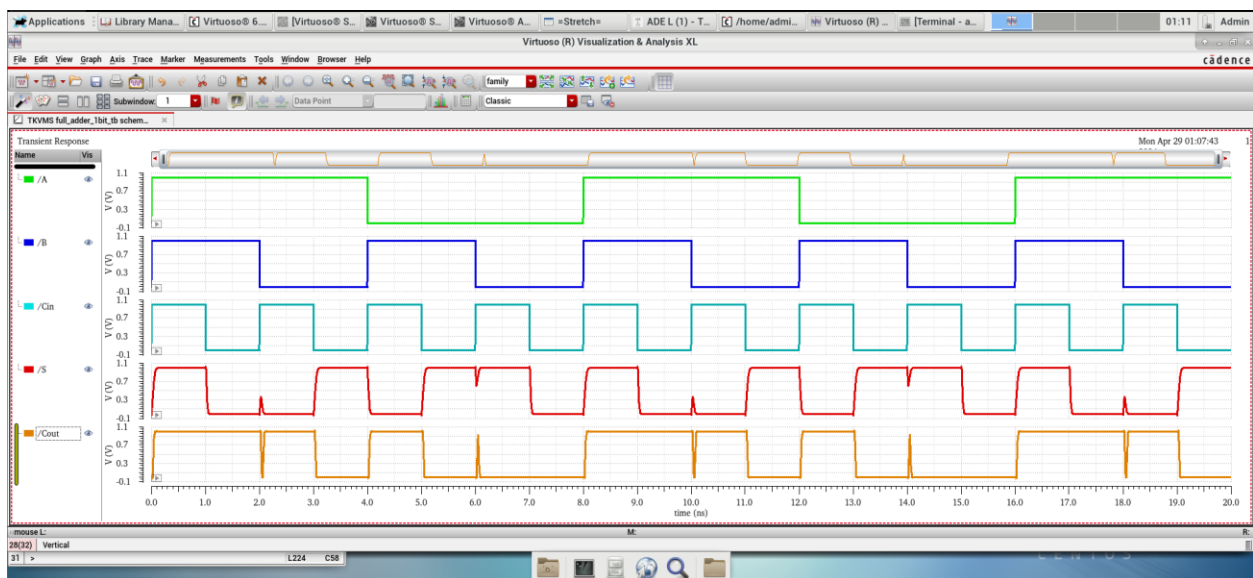


b. Transient simulation:

- Testbench circuit for Full Adder 1 bit:

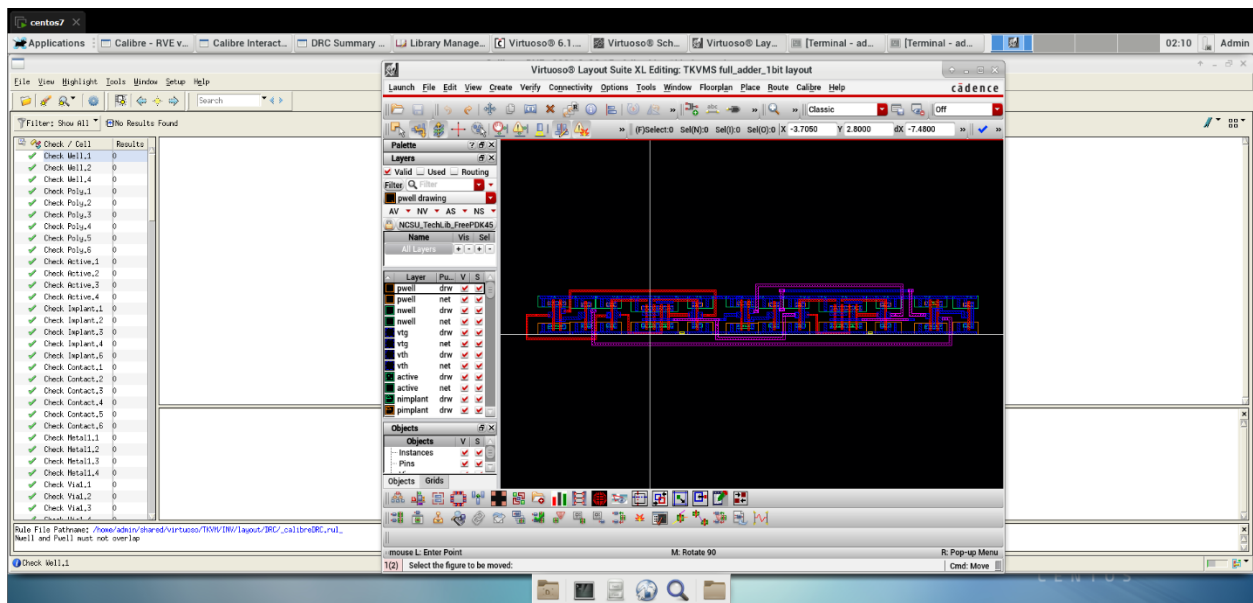
	A	B	Cin
Voltage 1	0	0	0
Voltage 2	1	1	1
Period	8n	4n	2n
Delay time	0	0	0
Rise time	1p	1p	1p
Fall time	1p	1p	1p
Pulse width	4n	2n	1n

- Kiểm tra kết quả so với truth table thấy ngõ ra dạng sóng là chính xác.

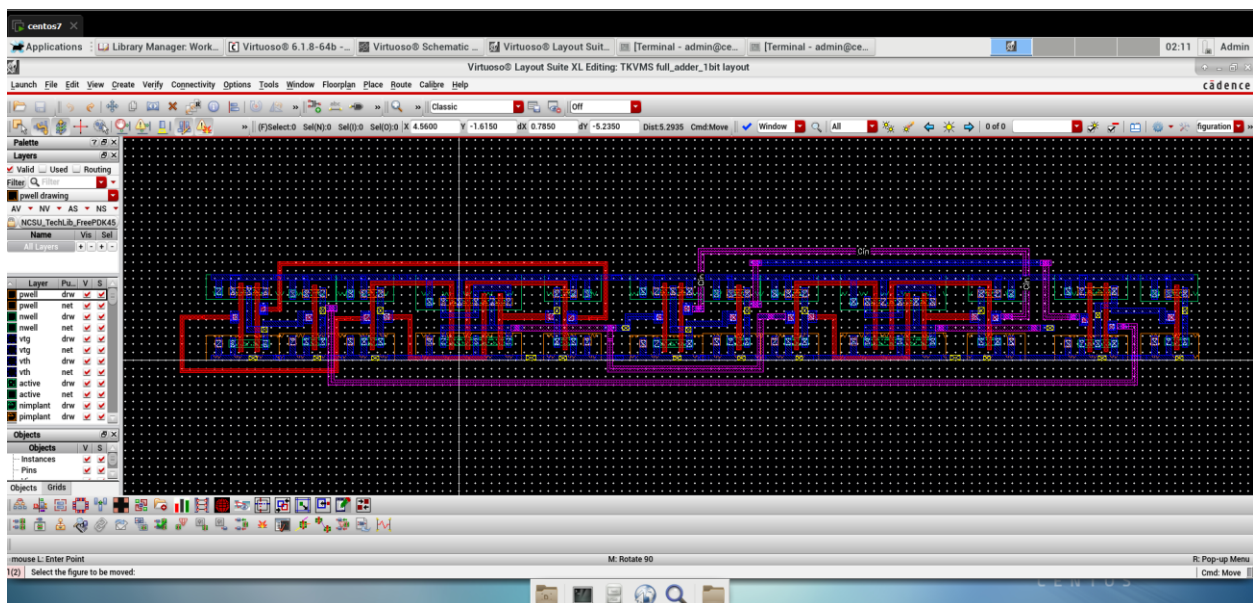


c. Layout:

- Layout, check DRC, check LVS:



- Check DRC không có lỗi.



- Ghép layout từ các cells đã làm là AND2, OR2 và EX\_OR2 với độ cao 1.05um ta làm được 1 bộ full adder 1 bit hoàn chỉnh

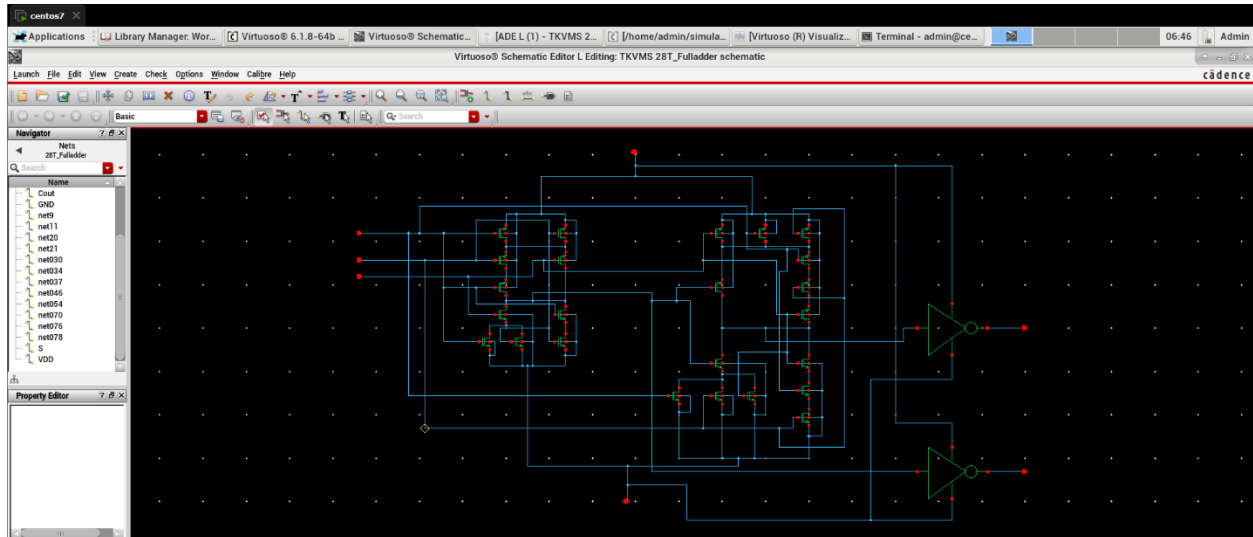


## Cách 2 : Full adder 28 transistor:

- Figure3:

a. Schematic:

- Schematic:

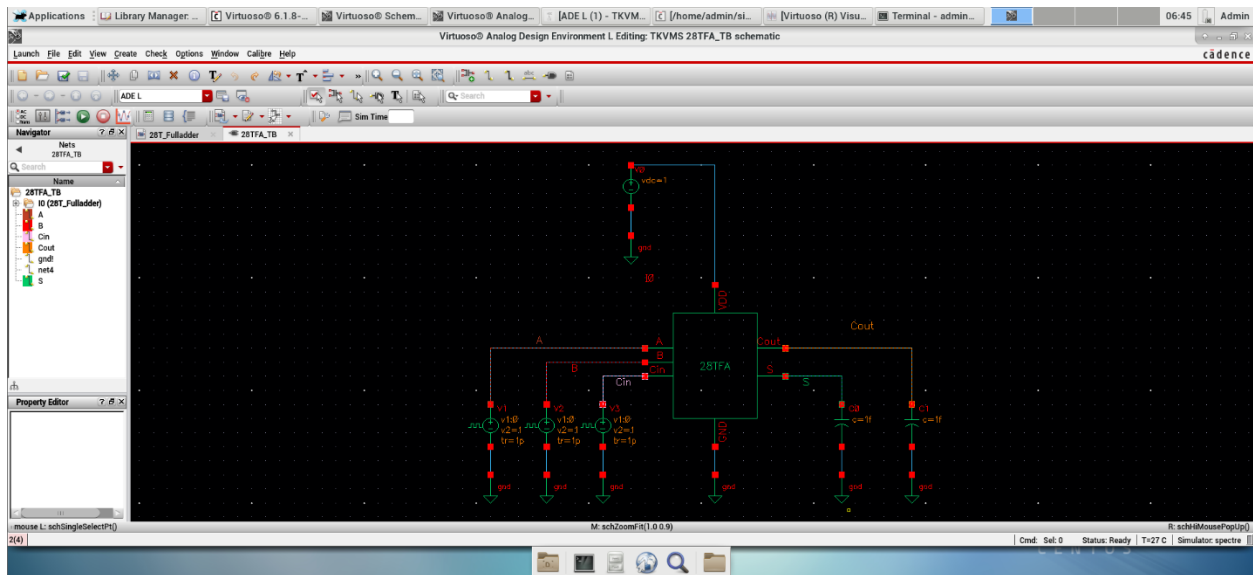


b. Transient simulation:

- Testbench circuit for Full Adder 1 bit:

	A	B	Cin
Voltage 1	0	0	0
Voltage 2	1	1	1
Period	8n	4n	2n
Delay time	0	0	0
Rise time	1p	1p	1p
Fall time	1p	1p	1p
Pulse width	4n	2n	1n





- c. Layout:
- Stick diagram:
  - Layout, check DRC, check LVS:

