

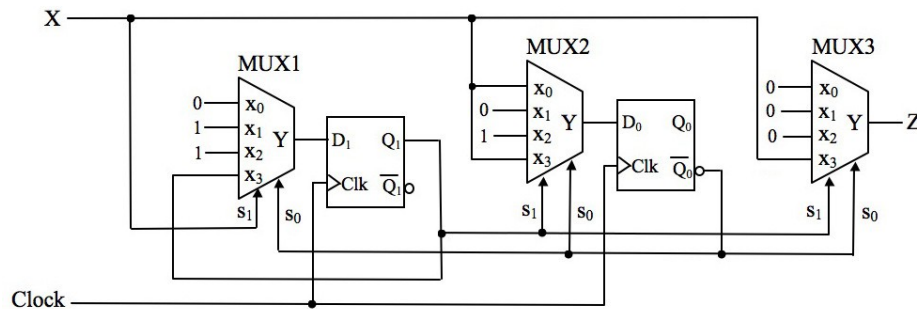
<b>TRƯỜNG ĐẠI HỌC BÁCH KHOA HÀ NỘI</b> <b>KHOA ĐIỆN TỬ - VIỄN THÔNG</b> <hr/> <b>Đề số: 1      Tổng số trang: 1</b>		<b>ĐỀ THI MÔN: ĐIỆN TỬ SỐ</b> Lần thi: 1      Ngày thi: 22/12/2010 Thời gian làm bài: 90 phút (Không sử dụng tài liệu. Nộp đề thi cùng với bài làm)
Ký duyệt	Trưởng nhóm Môn học:	Trưởng Bộ môn:

**Câu 1: (2 điểm)**

Hãy thiết kế mạch số với đầu vào là số nhị phân 4 bit ABCD và đầu ra là số nhị phân 4 bit EFGH là số bù hai của số đầu vào.

**Câu 2: (3 điểm)**

Cho sơ đồ mạch số như sau:



- (1 điểm) Hãy mô tả mạch trên dùng ngôn ngữ VHDL.
- (0.5 điểm) Hãy thay thế 3 bộ dồn kênh (MUX) ở trên bằng các cổng NAND 2 đầu vào và NAND 3 đầu vào.
- (1.5 điểm) Hãy thực hiện các bước phân tích mạch điện trên để có được sơ đồ dịch chuyển trạng thái.

**Câu 3: (3 điểm)**

- (2 điểm) Hãy thực hiện thiết kế mạch điện tử dùng JK Flip-flop có chức năng reset. Mạch điện gồm một đầu vào X và một đầu ra Z với các chức năng hoạt động như sau: Z=1 khi mức logic trên đầu vào là dãy bit có dạng x="0101", Z=0 trong các trường hợp khác.
- (1 điểm) Hãy viết chương trình VHDL mô tả sơ đồ dịch chuyển trạng thái vừa nhận được từ câu a).

**Câu 4: (2 điểm)**

Hãy thiết kế Datapath cho FSMĐ thực hiện thuật toán sau:

```

min=0; sum=0;
for (i=0;i<20;i++)
    input xi;
    sum=sum+xi;
    if (min > xi)
        min = xi;
    end if;
end for;
output sum; output min;

```

- Chú ý:**
- $0 \leq x, \min, \text{sum} \leq 255$ ,
  - Các lệnh viết trên cùng hàng được thực hiện song song,
  - Chỉ rõ các thanh ghi trong datapath là bao nhiêu bit.

J	K	Q (next)	Q	Q(next)	J	K
0	0	Q	0	0	0	x
0	1	0	0	1	1	x
1	0	1	1	0	x	1
1	1	Q'	1	1	x	0

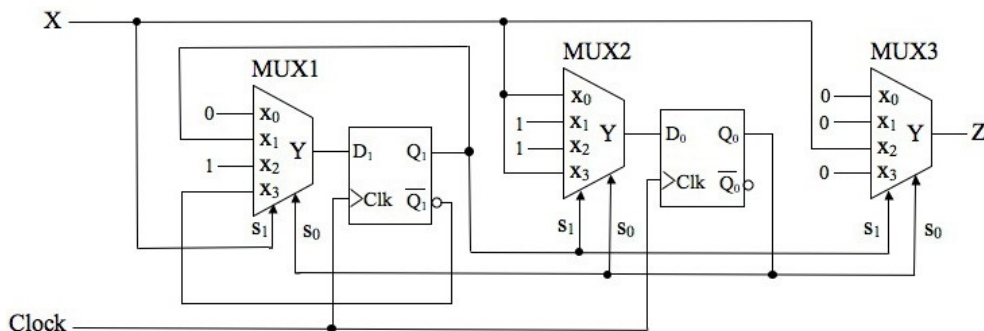
<b>TRƯỜNG ĐẠI HỌC BÁCH KHOA HÀ NỘI</b> <b>KHOA ĐIỆN TỬ - VIỄN THÔNG</b> <hr/> <b>Đề số: 2      Tổng số trang: 1</b>		<b>ĐỀ THI MÔN: ĐIỆN TỬ SỐ</b> <i>Lần thi: 1      Ngày thi: 22/12/2010</i> <i>Thời gian làm bài: 90 phút</i> <i>(Không sử dụng tài liệu. Nộp đề thi cùng với bài làm)</i>
Ký duyệt	Trưởng nhóm Môn học:	Trưởng Bộ môn:

**Câu 1 : (2 điểm)**

Hãy thiết kế mạch số với đầu vào là số nhị phân 4 bit wxyz và đầu ra là số nhị phân 4 bit abcd là số bù hai của số đầu vào.

**Câu 2: (3 điểm)**

Cho sơ đồ mạch số như sau:



- (1 điểm) Hãy mô tả mạch trên dùng ngôn ngữ VHDL.
- (0.5 điểm) Hãy thay thế 3 bộ dồn kênh (MUX) ở trên bằng dùng các cổng NAND 2 đầu vào và NAND 3 đầu vào.
- (1.5 điểm) Hãy thực hiện các bước phân tích mạch điện trên để có được sơ đồ dịch chuyển trạng thái.

**Câu 3: (3 điểm)**

- (2 điểm) Hãy thực hiện thiết kế mạch điện tử dùng JK Flip-flop có chức năng reset. Mạch điện gồm một đầu vào X và một đầu ra Z với các chức năng hoạt động như sau: Z=1 khi mức logic trên đầu vào là dãy bit có dạng x="1010", Z=0 trong các trường hợp khác.
- (1 điểm) Hãy viết chương trình VHDL mô tả sơ đồ dịch chuyển trạng thái vừa nhận được từ câu a).

**Câu 4 : (2 điểm)**

Hãy thiết kế Datapath cho FSMĐ thực hiện thuật toán sau:

```

max=0; sum=0;
for (i=0; i<20; i++)
    input xi;
    sum=sum+xi;
    if (max<xi)
        max=xi;
    end if;
end for;
output sum; output max;

```

**Chú ý:**

- $0 \leq x, \text{max}, \text{sum} \leq 255$
- Các lệnh viết trên cùng hàng được thực hiện song song.
- Chỉ rõ các thanh ghi trong datapath là bao nhiêu bit.

J	K	Q (next)	Q	Q(next)	J	K
0	0	Q	0	0	0	x
0	1	0	0	1	1	x
1	0	1	1	0	x	1
1	1	Q'	1	1	x	0

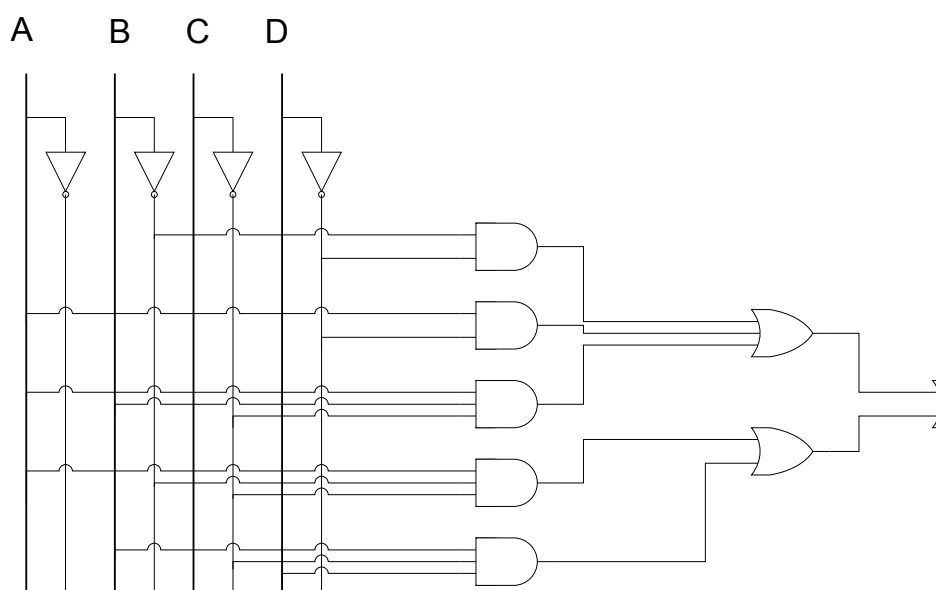
TRƯỜNG ĐẠI HỌC BÁCH KHOA HÀ NỘI <b>KHOA ĐIỆN TỬ - VIỄN THÔNG</b>		<b>ĐỀ THI MÔN: ĐIỆN TỬ SỐ</b> <i>Lần thi: 1    Ngày thi: 15/6/2009</i> <i>Thời gian làm bài: 90    phút</i> <i>(Không sử dụng tài liệu. Nộp đề thi cùng với bài làm)</i>
<b>Đề số: 1      Tổng số trang: 2</b>		
Ký duyệt	Trưởng nhóm Môn học:	Trưởng Bộ môn:

**Câu 1 (2 điểm)**

- Thiết kế Bộ Mux 2-1 với các đầu vào 1 bit ở mức cổng (gate level design).
- Thiết kế bộ Mux 4-1 sử dụng bộ Mux 2-1 đã thiết kế ở câu a.
- Thiết kế bộ Mux 2-1 với các đầu vào 4 bit sử dụng bộ Mux 2-1 đã thiết kế ở câu a.

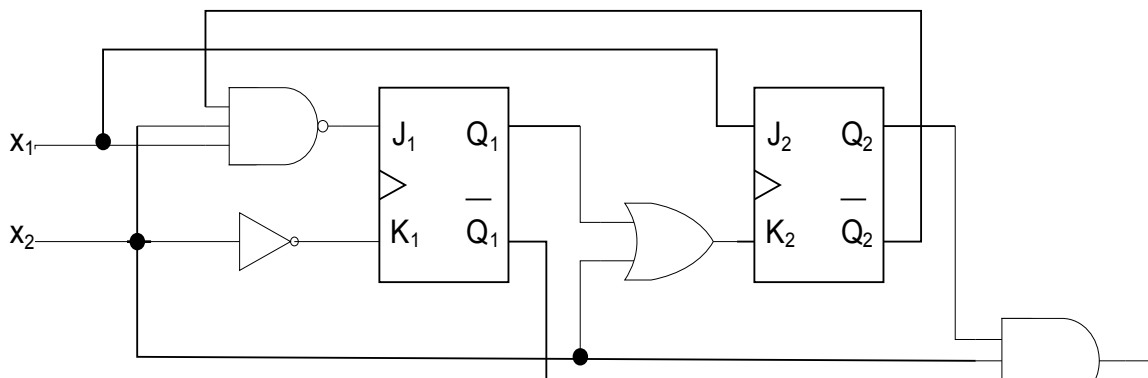
**Câu 2 (2 điểm)**

- Rút gọn mạch sau sử dụng bìa Karnaugh:



- Thực hiện mạch đã rút gọn ở câu a chỉ sử dụng cổng NAND 2 đầu vào.

**Câu 3 (3 điểm)** Cho mạch sau



- Phân tích mạch và xác định sơ đồ chuyển trạng thái FSM.
- Mô tả cấu trúc mạch trên bằng VHDL (giả thiết các phần tử trong mạch đã được khai báo Entity ở các file khác).

**Câu 4 (3 điểm)** Thiết kế FSMĐ thực hiện thuật toán tính dãy số  $1+2+\dots+(n-1)+n$  sau:

```

sum=0
input n
while (n <> 0) {
    sum=sum + n
    n = n-1
}
output sum

```

Chú ý: 1. n và sum là các số 8 bit  
 2. Controller phải được thiết kế sử dụng flip-flop D

**Cho biết bảng trạng thái và bảng kích của JKFF như sau:**

J	K	Q (next)
0	0	Q
0	1	0
1	0	1
1	1	Q'

Q	Q(next)	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

**Chúc các em sinh viên làm bài tốt!**

<b>TRƯỜNG ĐẠI HỌC BÁCH KHOA HÀ NỘI</b> <b>KHOA ĐIỆN TỬ - VIỄN THÔNG</b> <hr/> <b>Đề số: 1      Tổng số trang: 1</b>		<b>ĐỀ THI MÔN: ĐIỆN TỬ SỐ</b> <i>Lần thi: 1      Ngày thi: 05/01/2010</i> <i>Thời gian làm bài: 90 phút</i> <b>(Không sử dụng tài liệu. Nộp đề thi cùng với bài làm)</b>
Ký duyệt	Trưởng nhóm Môn học:	Trưởng Bộ môn:

**Câu 1 (3 điểm)**

- Thiết kế ở mức cổng (gate level design- sử dụng các cổng logic cơ bản) một mạch số có chức năng chèn mã kiểm tra chẵn lẻ trong đó đầu vào là một số nhị phân 4 bit và đầu ra là số nhị phân 5 bit. 4 bit trọng số cao nhất của đầu ra được copy từ 4 bit đầu vào, và bit có trọng số thấp nhất sẽ là 0 nếu tổng số bit 1 trong số đầu vào là một số chẵn và bằng 1 nếu tổng số bit 1 trong số đầu vào là một số lẻ.
- Mô tả mạch có chức năng như ở câu a bằng VHDL

**Câu 2 (2 điểm)**

Một mạch dãy gồm 2 Flip-flop JK, 2 đầu vào X và Y và một đầu ra Z. Cho các phương trình đầu vào của các Flip-flop và phương trình đầu ra Z như sau:

$$J_1 = Q_2 \bar{X} + \bar{Q}_2 Y \quad K_1 = \bar{Q}_2 XY \quad Z = Q_1 + Q_2 \bar{X}$$

$$J_2 = \bar{Q}_1 X \quad K_2 = Q_1 + X\bar{Y}$$

- Vẽ sơ đồ mạch điện
- Xác định bảng chuyển trạng thái và sơ đồ chuyển trạng thái của mạch

**Câu 3 (3 điểm)**

Một máy bán hàng tự động sử dụng 2 loại tiền xu: 1000 và 2000 Đồng. Sản phẩm có giá là 4000 Đồng và máy chỉ cho phép người mua cho từng đồng xu một vào. Khi có ít nhất 4000 Đồng được cho vào, sản phẩm sẽ được đưa ra. Nếu có nhiều hơn 4000 Đồng được đưa vào, máy sẽ trả lại tiền thừa. Khi sản phẩm đã được đưa ra, máy sẽ quay trở lại trạng thái đợi để sản phẩm tiếp theo được mua.

- Xây dựng mô hình FSM Moore để điều khiển máy trên.
- Thiết kế mạch thực hiện FSM đã xây dựng ở câu a sử dụng Flip-flop D.

**Câu 4 (1 điểm)**

Thực hiện hàm  $F = \overline{X + Y} + XY\bar{Z}$  sử dụng 1 bộ giải mã (decoder) và 1 cổng OR.

**Câu 5 (1 điểm)**

Thiết kế Datapath cho FSMD thực hiện thuật toán đếm và tính tổng của các số lớn hơn 10 trong các số x được đưa vào như sau:

**cnt=0; sum=0;**

**Repeat**

**input x**

**if (x > 10) then**

**cnt=cnt + 1; sum=sum + x;**

**end if;**

**until x = 0;**

**output sum; output cnt;**

- Chú ý:**
- $0 \leq x \leq 255$ ,  $0 \leq \text{sum} \leq 255$ . Các lệnh viết trên cùng 1 hàng được thực hiện song song.
  - Chỉ rõ các thanh ghi trong datapath là bao nhiêu bit.

**Cho biết bảng trạng thái và bảng kích của JKFF như sau:**

J	K	Q (next)
0	0	Q
0	1	0
1	0	1
1	1	Q'

Q	Q(next)	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

<b>TRƯỜNG ĐẠI HỌC BÁCH KHOA HÀ NỘI</b> <b>KHOA ĐIỆN TỬ - VIỄN THÔNG</b> <hr/> <b>Đề số: 1      Tổng số trang: 2</b>		<b>ĐỀ THI MÔN: ĐIỆN TỬ SỐ</b> <i>Lần thi: 1      Ngày thi: 25/12/2009</i> <i>Thời gian làm bài: 90      phút</i> <b>(Không sử dụng tài liệu. Nộp đề thi cùng với bài làm)</b>
Ký duyệt	Trưởng nhóm Môn học:	Trưởng Bộ môn:

**Câu 1 (2 điểm)**

- Thiết kế ở mức cổng (gate level design) một mạch số gồm có đầu vào là một số nhị phân 3 bit và đầu ra là số nhị phân biểu diễn số bit 1 có trong số nhị phân ở đầu vào.
- Thực hiện mạch đã thiết kế ở câu a chỉ sử dụng các bộ MUX 4-1 và cổng NOT.

**Câu 2 (2 điểm)**

Một mạch dãy gồm 2 Flip-flop JK, 2 đầu vào X và Y và một đầu ra Z. Cho các phương trình đầu vào của các Flip-flop và phương trình đầu ra Z như sau:

$$J_1 = Q_2 X + \overline{Q_2} \overline{Y} \quad K_1 = \overline{Q_2} X \overline{Y} \quad Z = Q_1 X Y + Q_2 \overline{X} \overline{Y}$$

$$J_2 = \overline{Q_1} X \quad K_2 = Q_1 + X \overline{Y}$$

- Vẽ sơ đồ mạch điện
- Xác định bảng chuyển trạng thái và sơ đồ chuyển trạng thái của mạch

**Câu 3 (3 điểm)**

- Mô tả DFF với 1 tín hiệu reset đồng bộ tích cực mức thấp và 1 tín hiệu set đồng bộ tích cực mức thấp dùng VHDL (1 điểm).
- Một mạch số với một đầu vào X và một đầu ra Z hoạt động như sau:  
-Tín hiệu vào là 0 hoặc 1 xuất hiện ngẫu nhiên  
-Z=1 nếu gặp dãy bit đầu vào là 110 hoặc 0101  
-Z=0 trong các trường hợp khác

Biểu diễn hoạt động của mạch trên bằng sơ đồ chuyển trạng thái loại Moore và dùng DFF thực hiện (2 điểm)

**Câu 4 (3 điểm)**

Thiết kế FSMĐ thực hiện thuật toán tính tổng của 10 số x lớn hơn 5 như sau:

```

cnt=0; sum=0;
Repeat
    input x
    if (x > 5) then
        cnt=cnt + 1; sum=sum + x;
    end if;
Until cnt=10;
}
output sum;

```

- Chú ý:
- x và sum là các số có giá trị cực đại là 255. Các lệnh viết trên cùng 1 hàng được thực hiện song song.
  - Chỉ rõ các thanh ghi trong datapath là bao nhiêu bit.

3. Chỉ cần biểu diễn controller dưới dạng FSM, không cần phải thực hiện mạch controller.

**Cho biết bảng trạng thái và bảng kích của JKFF như sau:**

J	K	Q (next)
0	0	Q
0	1	0
1	0	1
1	1	Q'

Q	Q(next)	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

**Chúc các em sinh viên làm bài tốt!**

<b>TRƯỜNG ĐẠI HỌC BÁCH KHOA HÀ NỘI</b> <b>KHOA ĐIỆN TỬ - VIỄN THÔNG</b> <hr/> <b>Đề số: 1      Tổng số trang: 1</b>		<b>ĐỀ THI MÔN: ĐIỆN TỬ SỐ</b> <i>Lần thi: 1      Ngày thi: 25/12/2009</i> <i>Thời gian làm bài: 90 phút</i> <b>(Không sử dụng tài liệu. Nộp đề thi cùng với bài làm)</b>
Ký duyệt	Trưởng nhóm Môn học:	Trưởng Bộ môn:

**Câu 1 (2 điểm)**

- Thiết kế ở mức cổng (gate level design) một mạch số gồm có đầu vào là một số nhị phân 3 bit và đầu ra là số nhị phân biểu diễn số bit 1 có trong số nhị phân ở đầu vào.
- Thực hiện mạch đã thiết kế ở câu a chỉ sử dụng các bộ MUX 4-1 và cổng NOT.

**Câu 2 (2 điểm)**

Một mạch dãy gồm 2 Flip-flop JK, 2 đầu vào X và Y và một đầu ra Z. Cho các phương trình đầu vào của các Flip-flop và phương trình đầu ra Z như sau:

$$J_1 = Q_2 X + \overline{Q_2} \overline{Y} \quad K_1 = \overline{Q_2} X \overline{Y} \quad Z = Q_1 X Y + Q_2 \overline{X} \overline{Y}$$

$$J_2 = \overline{Q_1} X \quad K_2 = Q_1 + X \overline{Y}$$

- Vẽ sơ đồ mạch điện
- Xác định bảng chuyển trạng thái và sơ đồ chuyển trạng thái của mạch

**Câu 3 (2 điểm)**

- Mô tả DFF với 1 tín hiệu reset đồng bộ tích cực mức thấp và 1 tín hiệu set đồng bộ tích cực mức thấp dùng VHDL
- Mô tả 1 thanh ghi 4 bit sử dụng DFF đã mô tả ở câu a bằng VHDL (gợi ý: sử dụng cấu trúc khai báo component và cấu trúc port map của VHDL)

**Câu 4 (4 điểm)**

Thiết kế FSMĐ thực hiện thuật toán tính tổng của 10 số x lớn hơn 5 như sau:

**cnt=0; sum=0;**

**Repeat**

**input x**

**if (x > 5) then**

**cnt=cnt + 1; sum=sum + x;**

**end if;**

**Until cnt=10;**

**}**

output sum;

- Chú ý:** 1. x và sum là các số có giá trị cực đại là 255. Các lệnh viết trên cùng 1 hàng được thực hiện song song.  
2. Chỉ rõ các thanh ghi trong datapath là bao nhiêu bit.  
3. Biểu diễn controller dưới dạng FSM loại Moore và dùng DFF để thực hiện.

**Cho biết bảng trạng thái và bảng kích của JKFF như sau:**

J	K	Q (next)
0	0	Q
0	1	0
1	0	1
1	1	Q'

Q	Q(next)	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

**Chúc các em sinh viên làm bài tốt!**

<b>TRƯỜNG ĐẠI HỌC BÁCH KHOA HÀ NỘI</b> <b>KHOA ĐIỆN TỬ - VIỆN THÔNG</b> <hr/> <b>Đề số: 2      Tổng số trang: 1</b>		<b>ĐỀ THI MÔN: ĐIỆN TỬ SỐ</b> Lần thi: 1      Ngày thi: <b>05/01/2010</b> Thời gian làm bài: 90 phút (Không sử dụng tài liệu. Nộp đề thi cùng với bài làm)
Ký duyệt	Trưởng nhóm Môn học:	Trưởng Bộ môn:

**Câu 1 (2 điểm)**

Thiết kế một mạch số gồm có đầu vào là hai số nhị phân A và B, mỗi số được biểu diễn bởi 2 bit và 2 đầu ra dùng để biểu diễn số A lớn hơn, nhỏ hơn hoặc bằng B. (ghi chú: 2 đầu ra có giá trị bằng “00” nếu A = B, “01” nếu A > B, “1x” nếu A < B)

**Câu 2 (3 điểm)**

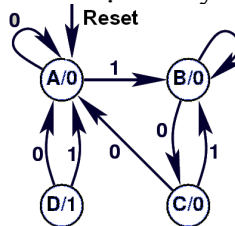
Một mạch số với một đầu vào X và một đầu ra Z hoạt động như sau:

- Tín hiệu vào là 0 hoặc 1 xuất hiện ngẫu nhiên
- Z=1 nếu gặp dãy bit đầu vào là 0101
- Z=0 trong các trường hợp khác

Biểu diễn hoạt động của mạch trên bằng sơ đồ chuyển trạng thái loại Mealy và dùng JKFF thực hiện.

**Câu 3 (2 điểm)**

Hãy dùng VHDL để mô tả thiết kế cho sơ đồ dịch chuyển trạng thái sau



**Câu 4 (2 điểm)**

Một mạch dãy gồm 2 Flip-flop JK, 2 đầu vào X và Y và một đầu ra Z. Cho các phương trình đầu vào của các Flip-flop và phương trình đầu ra Z như sau:

$$J_1 = Q_2 \bar{X} + \bar{Q}_2 \quad K_1 = \bar{Q}_2 \bar{Y} \quad Z = Q_1 \bar{X} Y + Q_2 Y$$

$$J_2 = \bar{Q}_1 X Y \quad K_2 = Q_1 + \bar{X} Y$$

- a. Vẽ sơ đồ mạch điện
- b. Xác định bảng chuyển trạng thái và sơ đồ chuyển trạng thái của mạch

**Câu 5 (1 điểm)**

Thiết kế Datapath cho FSMD thực hiện thuật toán đếm và tính tổng của các số lớn hơn 10 trong các số x được đưa vào như sau:

cnt=0; sum=0;



**Repeat**

```

input x
if (x > 10) then
    cnt = cnt + 1; sum = sum + x;
end if;

```

**until** x = 0;

**output** sum; **output** cnt;

**Chú ý:** 1.  $0 \leq x \leq 255$ ,  $0 \leq \text{sum} \leq 255$ . Các lệnh viết trên cùng 1 hàng được thực hiện song song.  
2. Chỉ rõ các thanh ghi trong datapath là bao nhiêu bit.

**Cho biết bảng trạng thái và bảng kích của JKFF như sau: x = don't care (không quan tâm)**

J	K	Q (next)
0	0	Q
0	1	0
1	0	1
1	1	Q'

Q	Q(next)	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

ĐÀ HẠ NỘI <b>KHOA ĐIỆN TỬ - VIỄN THÔNG</b>		<b>TỬ SỐ</b> Lần thi: 1 Ngày thi: <b>05/01/2010</b> Thời gian làm bài: 90 phút (Không sử dụng tài liệu. Nộp đề thi cùng với bài làm)
Đề số: 1	Tổng số trang: 1	
Ký duyệt	Trưởng nhóm Môn học:	Trưởng Bộ môn:

**Câu 1 (2 điểm)**

Thiết kế một mạch số gồm có đầu vào là hai số nhị phân A và B, mỗi số được biểu diễn bởi 2 bit và 2 đầu ra dùng biểu diễn số A có số bit ở trạng thái '1' lớn hơn, nhỏ hơn hoặc bằng số bit '1' của số B. (ghi chú: 2 đầu ra có giá trị bằng "00" nếu A có số bit "1" bằng số bit "1" của B, "01" nếu A có số bit "1" lớn hơn số bit "1" của B, "1x" nếu A có số bit "1" nhỏ hơn số bit "1" của B)

**Câu 2 (3 điểm)**

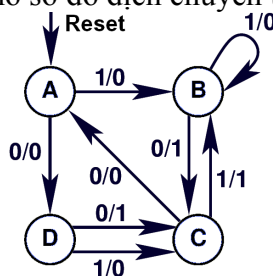
Một mạch số với một đầu vào X và một đầu ra Z hoạt động như sau:

- Tín hiệu vào là 0 hoặc 1 xuất hiện ngẫu nhiên
- Z = 1 nếu gặp dãy bit đầu vào là 1011
- Z = 0 trong các trường hợp khác

Biểu diễn hoạt động của mạch trên bằng sơ đồ chuyển trạng thái loại Moore và dùng JKFF thực hiện.

**Câu 3 (2 điểm)**

Hãy dùng VHDL để mô tả thiết kế cho sơ đồ dịch chuyển trạng thái sau



**Câu 4 (2 điểm)**

Một mạch dây gồm 2 Flip-flop JK, 2 đầu vào X và Y và một đầu ra Z. Cho các phương trình đầu vào của các Flip-flop và phương trình đầu ra Z như sau:

$$J_1 = Q_2 \bar{X} + \bar{Q}_2 Y \quad K_1 = \bar{Q}_2 X \bar{Y} \quad Z = Q_1 XY + Q_2 \bar{X}$$

$$J_2 = \bar{Q}_1 X \quad K_2 = Q_1 + X \bar{Y}$$

- a. Vẽ sơ đồ mạch điện
- b. Xác định bảng chuyển trạng thái và sơ đồ chuyển trạng thái của mạch

**Câu 5 (1 điểm)**

Thiết kế Datapath cho FSMĐ thực hiện thuật toán đếm và tính tổng của các số lớn hơn 10 trong các số x được đưa vào như sau:

*cnt=0; sum=0;*

*Repeat*

*input x*

*if (x > 10) then*

*cnt=cnt + 1; sum=sum + x;*

*end if;*

*until x = 0;*

*output sum; output cnt;*

**Chú ý:** 1.  $0 \leq x \leq 255$ ,  $0 \leq \text{sum} \leq 255$ . Các lệnh viết trên cùng 1 hàng được thực hiện song song.  
2. Chỉ rõ các thanh ghi trong datapath là bao nhiêu bit.

Cho biết bảng trạng thái và bảng kích của JKFF như sau: x= don't care (không quan tâm)

J	K	Q (next)
0	0	Q
0	1	0
1	0	1
1	1	Q'

Q	Q(next)	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

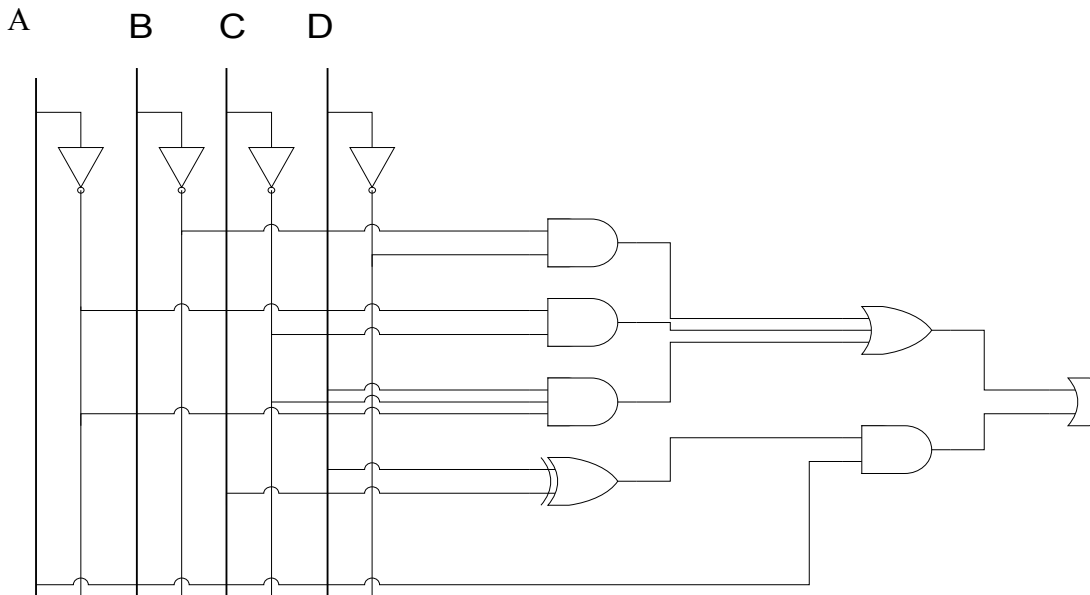
TRƯỜNG ĐẠI HỌC BÁCH KHOA HÀ NỘI <b>KHOA ĐIỆN TỬ - VIỆN THÔNG</b> <hr/> <b>Đề số: 2      Tổng số trang: 2</b>		<b>ĐỀ THI MÔN: ĐIỆN TỬ SỐ</b> Lần thi: 1      Ngày thi: 15/6/2009 Thời gian làm bài: 90 phút (Không sử dụng tài liệu. Nộp đề thi cùng với bài làm)
Ký duyệt	Trưởng nhóm Môn học:	Trưởng Bộ môn:

**Câu 1 (2 điểm)**

- Thiết kế bộ cộng đầy đủ 1 bit ở mức cổng (gate level design)
- Thiết kế bộ cộng 4 bit từ bộ cộng 1 bit đã thiết kế ở câu a.

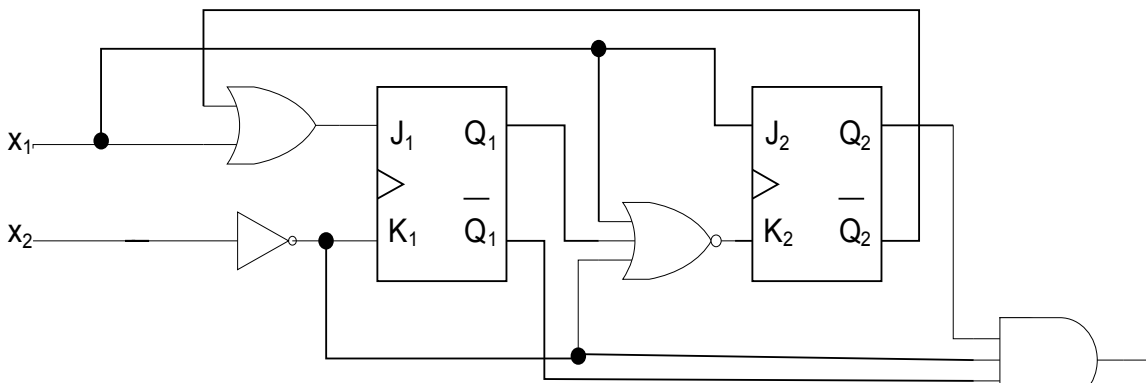
**Câu 2 (2 điểm)**

- Rút gọn mạch sau sử dụng bìa Karnaugh:



d. Thực hiện mạch đã rút gọn ở câu a chỉ sử dụng cổng NAND 2 đầu vào.

**Câu 3 (3 điểm)** Cho mạch sau:



- c. Phân tích mạch và xác định sơ đồ chuyển trạng thái FSM.  
d. Mô tả cấu trúc mạch trên bằng VHDL (giả thiết các phần tử trong mạch đã được khai báo Entity ở các file khác).

**Câu 4 (3 điểm)**

Thiết kế FSMĐ thực hiện thuật toán tính  $n!$  sau:

```
product=1
input n
while (n > 1) {
    product=product * n
    n = n-1
}
output product
```

- Chú ý: 1.  $n$  và  $product$  là các số 8 bit  
2. Controller phải được thiết kế sử dụng flip-flop D

Cho biết bảng trạng thái và bảng kích của JKFF như sau:

J	K	Q (next)
0	0	Q
0	1	0
1	0	1
1	1	Q'

Q	Q(next)	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

