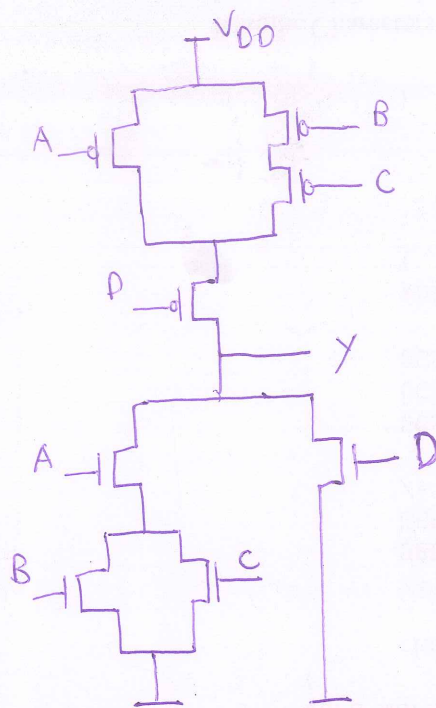


Đề thi VLSI 20161

Câu 1:

$$Y = \overline{A(B+C) + D}$$

Transistor level:



Giải thích:

- Phần trên: pmos

Nhân $\rightarrow //$

Cộng $\rightarrow nt$

$$[A // (B + C)] nt D$$

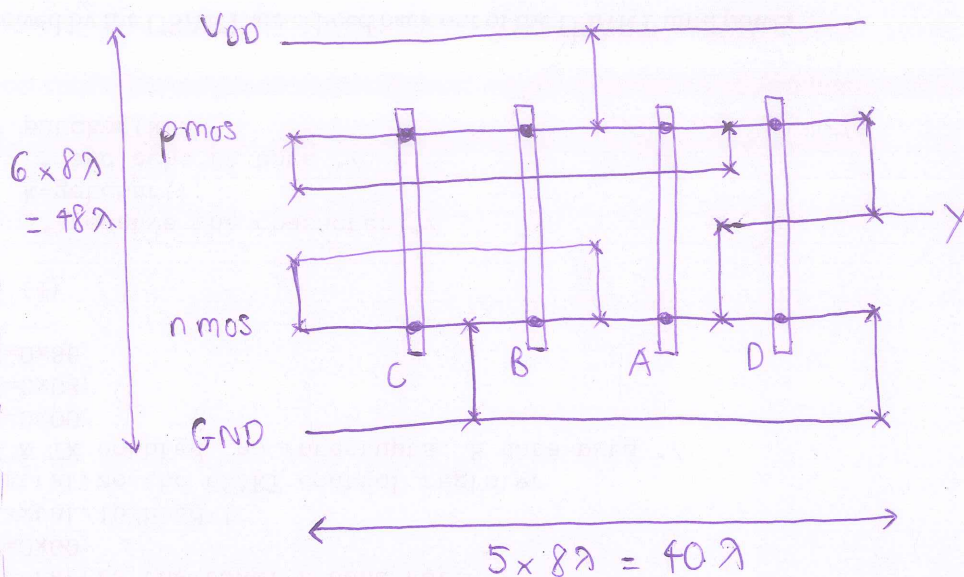
- Phần dưới: nmos

Nhân $\rightarrow nt$

Cộng $\rightarrow //$

$$[A nt (B // C)] // D$$

Stick Diagram



Giải thích:

- Đi từ trên xuống nối dây giữa A và B
 \rightarrow thanh A cạnh thanh B

- Đi từ Y xuống nối dây giữa A và D
 \rightarrow thanh A cạnh thanh D

- vậy cách sắp xếp tốt nhất là:

C, B, A, D (từ trái qua phải)

- kích thước = số dây $\times 8\lambda$

Câu 2

a) Tính toán delay tối ưu

$$F = GBH$$

$$G = \pi g_i = \frac{4}{3} \times \frac{5}{3} \times \frac{5}{3} = \frac{100}{27}$$

$$H = \frac{C_{out path}}{C_{in path}} = \frac{45}{32}$$

$$B = \pi b_i = 1 \times \frac{3x+x}{x} \times \frac{2y+3y+y}{y} = 1 \times 4 \times 6 = 24$$

$$F = \frac{100}{27} \times 24 \times \frac{45}{32} = 125$$

$$\text{Đề trở nhỏ nhất thì } f_1 = f_2 = f_3 = \sqrt[3]{F} = \sqrt[3]{125} = 5$$

Trễ tối ưu của mạch từ A đến B là:

$$\begin{aligned} D &= d_1 + d_2 + d_3 = (f_1 + p_1) + (f_2 + p_2) + (f_3 + p_3) \\ &= (5 + 2) + (5 + 3) + (5 + 2) \\ &= 22 \end{aligned}$$

b) Có $g_3 = \frac{5}{3}$, $h_3 = \frac{45}{y}$

$$\left\{ \begin{array}{l} f_3 = g_3 h_3 = \frac{5}{3} \times \frac{45}{y} = \frac{75}{y} \\ f_3 = 5 \end{array} \right. \rightarrow y = 15$$

Có $g_2 = \frac{5}{3}$, $h_2 = \frac{6y}{x} = \frac{90}{x}$

$$\left\{ \begin{array}{l} f_2 = g_2 h_2 = \frac{5}{3} \times \frac{90}{x} = \frac{150}{x} \\ f_2 = 5 \end{array} \right. \rightarrow x = 30$$

Kiểm tra: $f_1 = g_1 h_1 = \frac{4}{3} \times \frac{4x}{32} = 5 \rightarrow \text{đúng}$

Giải thích:

Logical effort: $g_{NAND} = (n+2)/3$
 $g_{NOR} = (2n+1)/3$
 $g_{NOT} = 1$

$$G = \pi g_i$$

parasitic delay: $p = n$ với n là số đầu vào

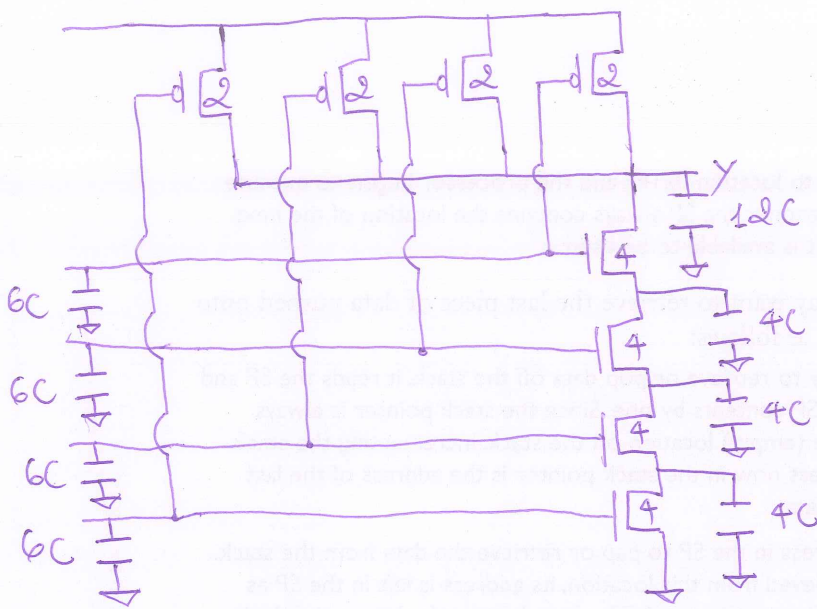
$$\text{Electrical effort} : h = \frac{C_{out}}{C_{in}} \quad ; \quad H = \frac{C_{out \text{ path}}}{C_{in \text{ path}}}$$

$$\text{branching effort} : b = \frac{C_{in \text{ path}} + C_{out \text{ path}}}{C_{in \text{ path}}} \quad ; \quad B = \prod b_i$$

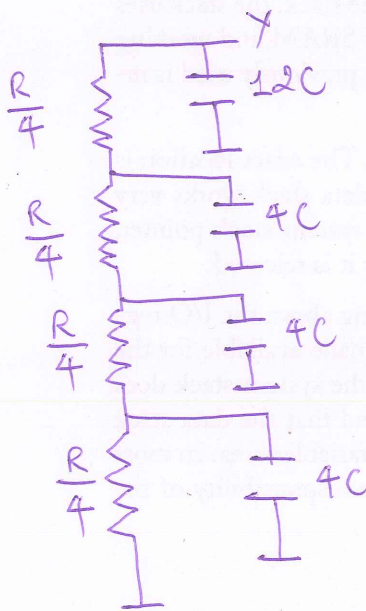
$$\text{delay} : d = f + p = gh + p \quad ; \quad D = \sum d_i$$

Câu 3:

4 input NAND



Trường hợp $Y = 0$



$$\begin{aligned}
 \text{Thời gian tải: } t &= \left(\frac{R}{4} + \frac{R}{4} + \frac{R}{4} + \frac{R}{4} \right) 12C + \left(\frac{R}{4} + \frac{R}{4} + \frac{R}{4} \right) 4C \\
 &\quad + \left(\frac{R}{4} + \frac{R}{4} \right) 4C + \frac{R}{4} \cdot 4C \\
 &= (12 + 3 + 2 + 1) RC \\
 &= 18 RC
 \end{aligned}$$

Giải thích:

Bước 1: Vẽ transistor level

Bước 2: Tính độ rộng kênh

Sao cho điện trở trong trường hợp rising và falling (tệ nhất) đều bằng R .

Điện trở của 1 pmos là: $\frac{2R}{K}$ với K là độ rộng kênh.

Điện trở của 1 nmos là: $\frac{R}{K}$

Cụ thể với 4 input NAND

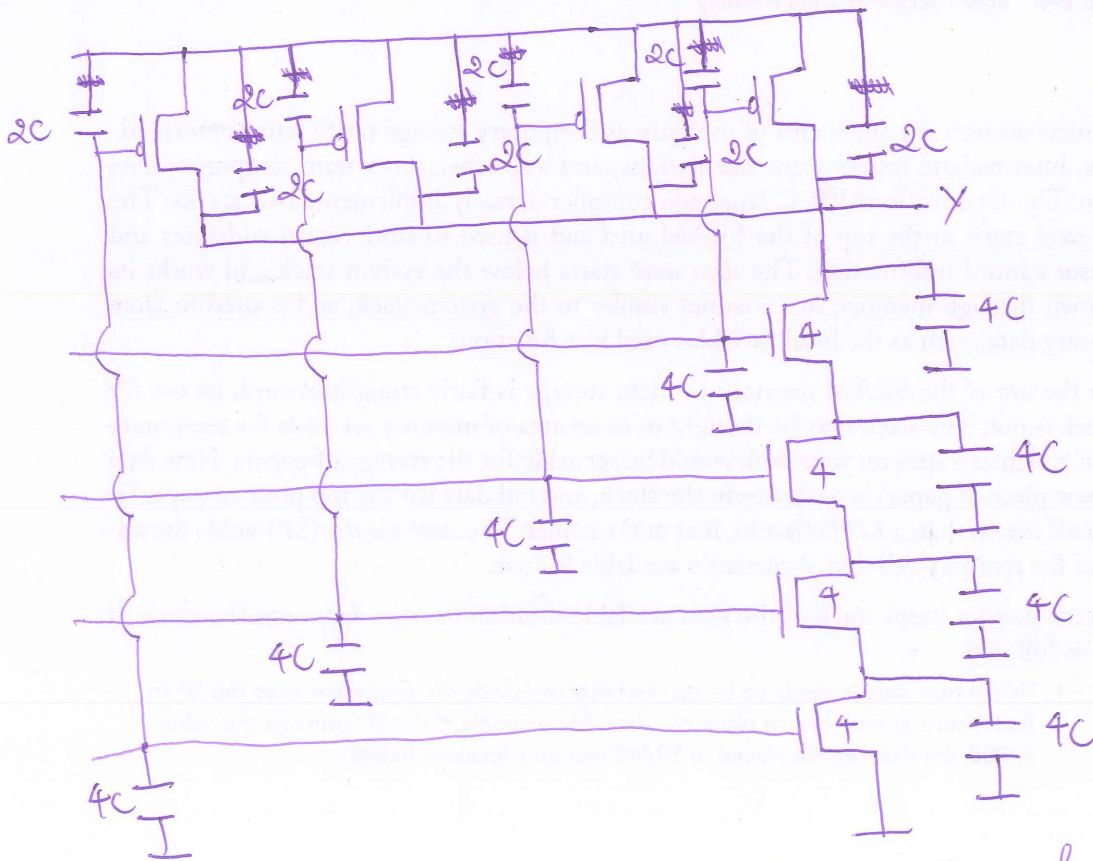
$Y = 0$ (falling) khi cả 4 pmos tắt và cả 4 nmos thông

→ điện trở của mỗi nmos là $\frac{R}{4} \rightarrow K = 4$

$Y = 1$ (rising) tệ nhất khi chỉ một pmos thông

→ điện trở của mỗi pmos là $R \rightarrow K = 2$

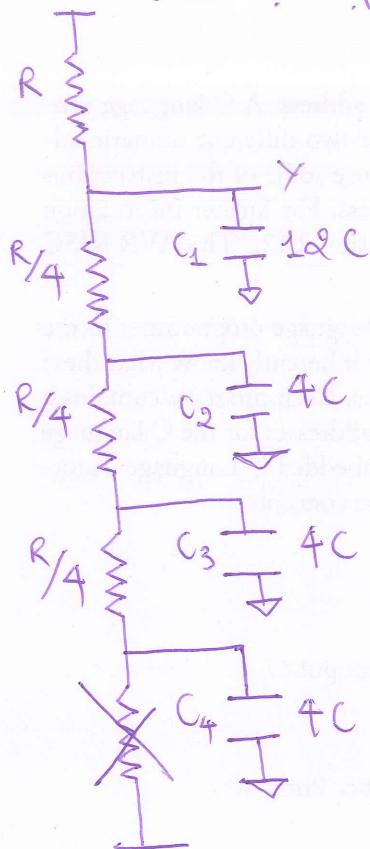
Bước 3: Tính giá trị các tụ (bằng độ rộng kênh)



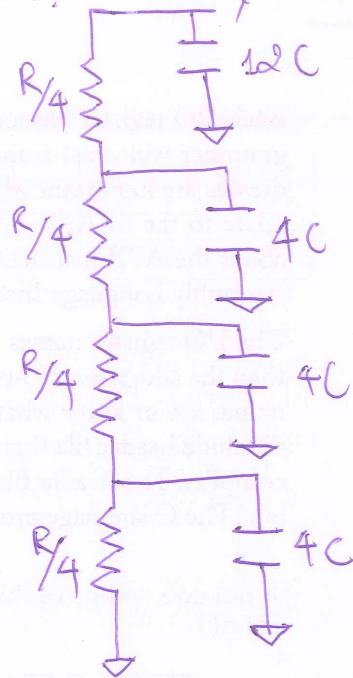
Bước 4: Các tụ có chung một điểm có thể coi là mắc song song và cộng lại.

Bước 5: Tính cho rising và falling (tệ nhất)
Tệ nhất là khi điện trở lớn nhất.

Rising (Y từ 0 lên 1)
(các tụ nạp điện)



Falling (Y từ 1 xuống 0)
(các tụ xả điện)



Bước 6: Tính trễ không tải

$$t_{\text{rising}} = \underbrace{\left(R + \frac{R}{4} + \frac{R}{4} + \frac{R}{4}\right) 4C}_{\substack{\uparrow \\ \text{dòng chảy qua 4} \\ \text{điện trở nạp } C_4}} + \underbrace{\left(R + \frac{R}{4} + \frac{R}{4}\right) 4C}_{\substack{\uparrow \\ \text{dòng chảy qua 3} \\ \text{điện trở nạp } C_3}} + \underbrace{\left(R + \frac{R}{4}\right) 4C}_{\substack{\uparrow \\ \text{dòng chảy qua 2} \\ \text{điện trở nạp } C_2}} + \underbrace{R \cdot 12C}_{\substack{\uparrow \\ \text{dòng chảy} \\ \text{qua 1} \\ \text{điện trở} \\ \text{nạp } C_1}}$$

$$= (7 + 6 + 5 + 12) RC = 30 RC$$

$$t_{\text{falling}} = \left(\frac{R}{4} + \frac{R}{4} + \frac{R}{4} + \frac{R}{4}\right) 12C + \left(\frac{R}{4} + \frac{R}{4} + \frac{R}{4}\right) 4C + \left(\frac{R}{4} + \frac{R}{4}\right) 4C + \frac{R}{4} \cdot 4C$$

$$= (12 + 3 + 2 + 1) RC = 18 RC$$

$$t_{\text{average}} = \frac{1}{2} (30 RC + 18 RC) = 24 RC$$

Bước 7: Kiểm tra:

Nếu $t_{\text{average}} = \text{số đầu vào} \times R \times \text{Tụ đầu vào}$ thì đúng
 $24 RC = 4 \times R \times 6C \rightarrow \text{đúng}$

Câu 4:

a) Tính switching power

Tổng điện dung của logic transistors

$$= 10^8 \times 12 \times \frac{0,006}{[\mu\text{m}]} \times \frac{(1+0,8)}{[\text{fF}/\mu\text{m}]} \\ = 12\,960\,000 \text{ (fF)} = 12,96 \text{ (nF)}$$

Tổng điện dung của memory transistors

$$= 1,4 \cdot 10^9 \times 4 \times 0,006 \times (1+0,8) \\ = 60\,480\,000 \text{ (fF)} = 60,48 \text{ (nF)}$$

Switching power là:

$$P = (0,1 \times \underbrace{12,96}_{\text{(nF)}} + 0,03 \times \underbrace{60,48}_{\text{(nF)}}) 10^{-9} \times \underbrace{1,5^2}_{\text{(V)}} \times \underbrace{10^9}_{\text{(Hz)}} \\ =$$

b) Tính static power

Linh kiện ngưỡng thấp: (low-threshold, high-leakage)

$$10^8 \times 15\% \times 12 \times 0,006 = 1\,080\,000 \text{ (}\mu\text{m)}$$

Linh kiện ngưỡng cao (high-threshold, low-leakage)

$$10^8 \times 85\% \times 12 \times 0,006 + 1,4 \times 10^9 \times 4 \times 0,06 = \\ = 342\,120\,000 \text{ (}\mu\text{m)}$$

50% ON, 50% OFF

$$I_{\text{sub}} = \frac{1}{2} \left(\underbrace{1,08 \cdot 10^6}_{\text{(}\mu\text{m)}} \cdot \underbrace{110}_{\left(\frac{\text{nA}}{\mu\text{m}}\right)} + \underbrace{342,12 \cdot 10^6}_{\text{(}\mu\text{m)}} \cdot \underbrace{10}_{\left(\frac{\text{nA}}{\mu\text{m}}\right)} \right) 10^{-9} = 4,77 \text{ (A)}$$

$$I_{\text{gate}} = \frac{1}{2} \left(\underbrace{1,08 + 342,12}_{\mu\text{m}} \right) 10^6 \times \underbrace{5 \cdot 10^{-9}}_{\frac{\text{nA}}{\mu\text{m}}} = 0,858 \text{ (A)}$$

$$P_{\text{static}} = (4,77 + 0,858) 1,5 = 3,942 \text{ (W)}$$