

# ES9018をしらべてみよう！の巻き(その2)

2012.12.24

[\(その1\)はこちら。](#)

ES9018Sをつかって、さらにやってみたいことはいろいろあって、Acuuphase と同じような DSD 入力で 16 シフトパラもひとつの候補(こうなると片チャンネルに IC 2 個必要)ですが、根本的にジッタをどこまで下げられるかという命題があります。これをクリアしておかないと、多パラなどの次のステップはちょっと躊躇してしまいそうです。

DAC9018S ではマスタークロックに 100MHz の水晶発信器を用いていて、SPDIF 入力では 192kHz まで LOWEST でも DPLL がロックすることを確認しています。しかしながら、PCM や DSD 入力では、バンド幅周波数をもう少し高くしないとロックしない現象もあります。

Bunpei さんの書き込みにあるように、MCLK は  $f_s$  の逡倍である必要があるのではとの記載が気になります。

**ES9018 DAC** - Bunpei

2011/12/07 (Wed) 00:52:05

大変興味深く拝見しています。

ところで、現状では 100MHz か 80MHz の水晶発振器を使ってまず非同期の動作をさせておられると思います。しかし I2S の LCLK, BCLK, SDAT 以外に MCLK をトランスポート側から注入して同期で動作させると明確に音質が向上すると思います。というのは、非同期の場合 DPLL (Digital PLL) が働いて内部のリサンプリング周期が決まるようなのですが、この精度が十分でなく、どうしてもリサンプリング周期が振れてしまいそれが音質につながるみたいなのです。

また、VCC(+1.2V), DVCC(+3.3V), AVCC(+3.5V 程度)の三種類の電源の品質も大きく音質に影響し特に AVCC が重要で、それぞれにできるだけ良いレギュレータを使ってやるのがポイントだと思います。

編集

削除

MCLK についての示唆をいただいています。

## ES9018 の MCLK の範囲は

データシートではこのように記載されています。最大周波数は 100MHz と規定されていますが、必要な最低周波数を  $f_s$  の逡倍とするとどのようになるか計算してみました。

Data Type	Valid MCLK Frequencies
DSD Data	100MHz > MCLK > 3*Fs , Fs = 2.8224MHz
Serial Normal Mode	100MHz > MCLK > 192*Fs
Serial OSF Bypass Mode	100MHz > MCLK > 24*Fs
SPDIF Data	100MHz > MCLK > 386*Fs

ES9018のマスタークロックの範囲

必要な周波数を計算してみました。

	fs	min	f(Hz)	2 × f
SPDIF	44.1kHz	386fs	17.0226MHz	34.0452
	48kHz	386fs	18.528MHz	37.056
	96kHz	386fs	37.056MHz	74.112
	192kHz	386fs	74.112MHz	–
PCM	44.1kHz	192fs	8.4672MHz	16.9344
	48kHz	192fs	9.216MHz	18.432
	96kHz	192fs	18.432MHz	36.864
	192kHz	192fs	36.864MHz	73.728
DSD	DSD64	3FS	8.4672MHz	16.9344
	DSD128	3FS	16.9344MHz	33.8688

SPDIFで使用する周波数の下限は386fsとなっていますが、この386という数値がものすごく中途半端です。普通は384だろうな、という気がするのですが。こんな中途半端なマスタークロックを準備するのは大変です。ただ、SPDIFについては100MHzの固定周波数でもLOWESTでロックするので、これでいいでしょう。問題はPCMとDSDですが、いろいろな周波数を準備しなくてははいけません。というのも、44.1kHz系と48kHz系が混在するので、176.4kHzなどにも対応させるとなるとさらに各種の周波数源を容易する必要がでてきそうです。

## 便利なクロックジェネレーターがあります

いろいろと調べてみると、こんなクロックジェネレーターがあります。オーディオ用に特化したもののようですが、44.1kHz、48kHz系の各種の周波数源を得ることができます。ただ、このICは27MHzの水晶をベースにPLLで周波数を発生させているので、ちょっとジッタは大きめです。ES9018の性能を生かすには、ジッタクリーナでジッタを低減させてから入力した方がいいのかな？ それとも、不要なのかな？ よくわからないですが、面白そうなICなので試してみたい気になります。



# Programmable Audio Clock Generator

MAX9485

## General Description

The MAX9485 programmable multiple-output clock generator provides a cost-efficient solution for MPEG-2 audio systems such as DVD players, DVD drives for multimedia PCs, digital HDTV systems, home entertainment centers, and set-top boxes.

The MAX9485 accepts an input reference frequency of 27MHz from a crystal or system reference clock. The device provides two buffered clock outputs of 256, 384, or 768 times the chosen sampling frequency ( $f_s$ ) selected through an I<sup>2</sup>C interface or hardwired inputs. Sampling frequencies of 12kHz, 32kHz, 44.1kHz, 48kHz, 64kHz, 88.2kHz, or 96kHz are available. The MAX9485 also offers a buffered 27MHz output and an integrated voltage-controlled oscillator (VCXO) that is tuned by a DC voltage generated from the MPEG processor. The use of VCXO allows the audio system clock to lock with the overall system clock.

The MAX9485 features the lowest jitter in its class, guaranteeing excellent dynamic performance with audio ADCs and DACs in an MPEG-2 audio system. The device operates with a 3.3V supply and is specified over the -40°C to +85°C extended temperature range. The MAX9485 is offered in 6.5mm x 4.4mm 20-pin TSSOP and 4mm x 4mm 20-pin thin QFN packages.

## Features

- ◆ 27MHz Crystal with  $\pm 30$ ppm Frequency Reference
- ◆ Two Buffered Output Ports with Multiple Audio Clocks: 256, 384, or 768 Times  $f_s$
- ◆ Supports Standard and Double Sampling Rates (12kHz, 32kHz, 44.1kHz, 48kHz, 64kHz, 88.2 kHz, and 96kHz)
- ◆ I<sup>2</sup>C Interface or Hardwired Output Clock Selection
- ◆ Separate Output Clock Enable
- ◆ Low Jitter Typical 21ps (RMS at 73.728MHz)
- ◆ No External Components for PLL
- ◆ Integrated VCXO with  $\pm 200$ ppm Tuning Range
- ◆ Small Footprint, Thin QFN Package, 4mm x 4mm

## Ordering Information

PART	TEMP RANGE	PIN-PACKAGE
MAX9485ETP	-40°C to +85°C	20 Thin QFN-EP*
MAX9485EUP	-40°C to +85°C	20 TSSOP

\*EP = Exposed pad.

いろいろな周波数が出せませす。水晶発信器に比べるとジッタは大きめだけど、優秀な値。



**Table 15. Jitter Measurements of Output CLKs**

FOUT (MHz)	SCALING FACTOR	fs (kHz)	TRJ(RMS) (ps)
73.728	768	96	21
67.7376	768	88.2	23.2
49.152	768	64	42.6
36.864	768	48	40
36.864	384	96	37
33.8688	768	44.1	44
33.8688	384	88.2	41.3
24.5760	768	32	66
24.5760	384	64	92
24.5760	256	96	50
22.5792	256	88.2	55.1
18.4320	384	48	59
16.9344	384	44.1	69
16.3840	256	64	134
12.2880	256	48	84.8
12.2880	384	32	170
11.2896	256	44.1	100
9.126	768	12	106
8.1920	256	32	250
4.608	384	12	198
3.072	256	12	324

とりあえず買ってみましょう。 2011.12.30

DIGIKEYの買い物ついでにいくつかMAX9485を買ってみました。



相変わらずのSSOPパッケージです。

DIGIKEYではありませんが、仲間うちで音がよいという噂なので、こちらも買ってみました。  
2SC310という型番で、三菱製です。

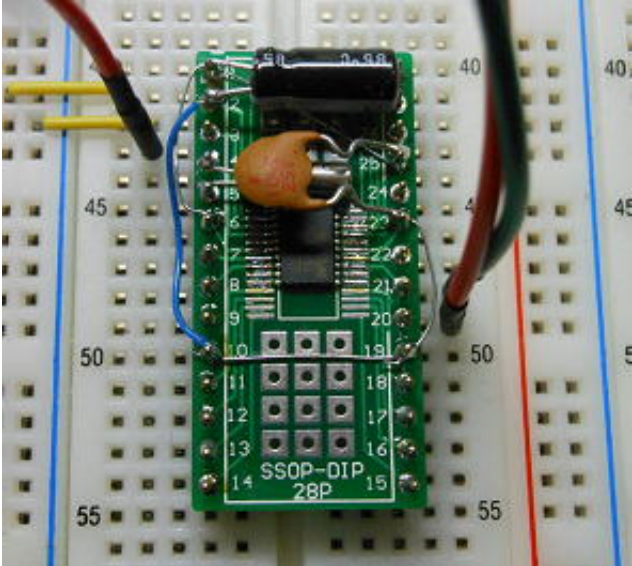


メタキャンだったのね。

これらで年末年始は遊ぼう……と思ってるけど、一人遊んでたら怒られちゃうね！

# まずはMAX9485を動かしてみよう。 2011.12.31

MAX9485はSSOPなので変換基板が必要です。変換基板にはICをとりつけるだけでなく、電源周りのコンデンサもあわせて乗せておきました。ついでに27MHzの水晶もとりつけておきます。水晶発信器にとりつける20pF程度のコンデンサはこのICでは不要のようです。おかげで部品点数が少なくて済みました。

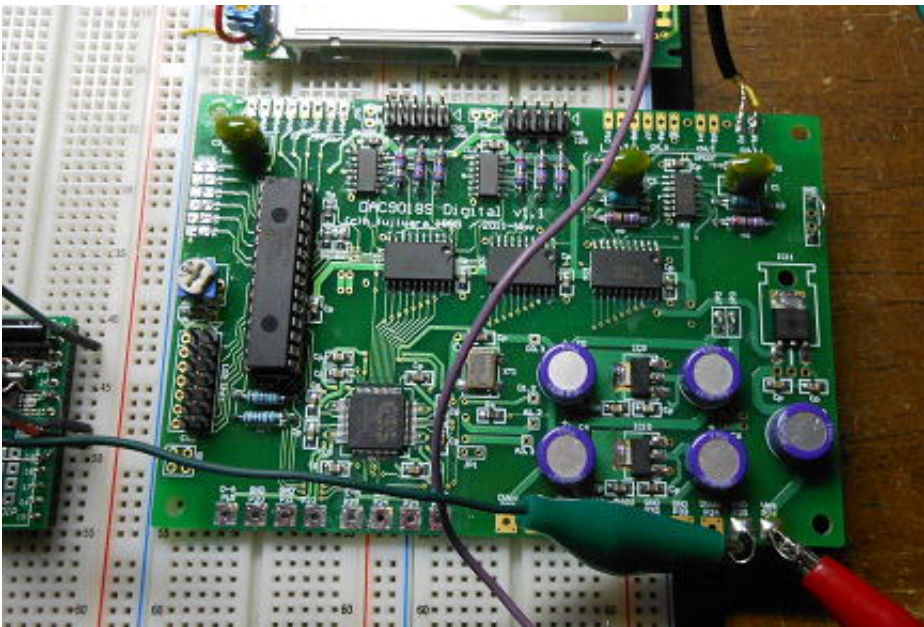


こんな感じで変換基板にとりつけ。

パソコンはピン間に挟み込み。

動作確認はソフトウェアモードとハードウェアモードがありますが、ここは簡単にハードウェアモードに設定しました。ソフトだとI2C通信になります。

ついでに、となりにDAC9018Sを配置して実験準備を整えましょう。DAC9018Sの接続確認のついでに、どのくらいの消費電流なのかを測定しましたが、44～192kHzでおよそ230～260mAといったところです。かなり消費しますね。どこで、それだけ電流を食ってるんだろう？ やっぱES9018かな？



実験のための準備を進めていきます・・・

しかし、半田ごてを握りながら時計を見ると、そろそろ新年・  
年始の挨拶考えとかなくっちゃ(笑)。

[\(その3\)](#)へ続く。