

### INTRODUÇÃO

A geração de energia elétrica através de fontes renováveis e de forma distribuída, como solar e eólica, vem ganhando crescente atenção da comunidade acadêmica e da sociedade no geral. Uma das tecnologias chave para que esse tipo de aplicação seja possível é o inversor de frequência, que permite a conversão de energia elétrica disponibilizada na forma de tensão contínua para a forma de tensão alternada senoidal.

Há alguns anos, desenvolveu-se um inversor no Laboratório de Condicionamento de Energia Elétrica (LCEE). Embora o projeto seja robusto, sua atualização é necessária pela crescente demanda por maiores especificações de tensão, corrente e frequência de chaveamento, devido às pesquisas realizadas atualmente no laboratório.

### RESULTADOS PRELIMINARES

Nos testes realizados na primeira versão do projeto, apresentaram-se problemas relacionados a oscilações de alta frequência, geradas durante o processo de chaveamento dos transistores, as quais se espalhavam por diversos pontos da placa, inclusive para a alimentação do circuito de disparo de *gate* e da eletrônica de proteção, conforme se verifica na Figura 3, Figura 4 e Figura 5.

Ao atingirem-se tensões de operação ligeiramente superiores a 100V, ocorria a destruição dos transistores através do rompimento de seus encapsulamentos.

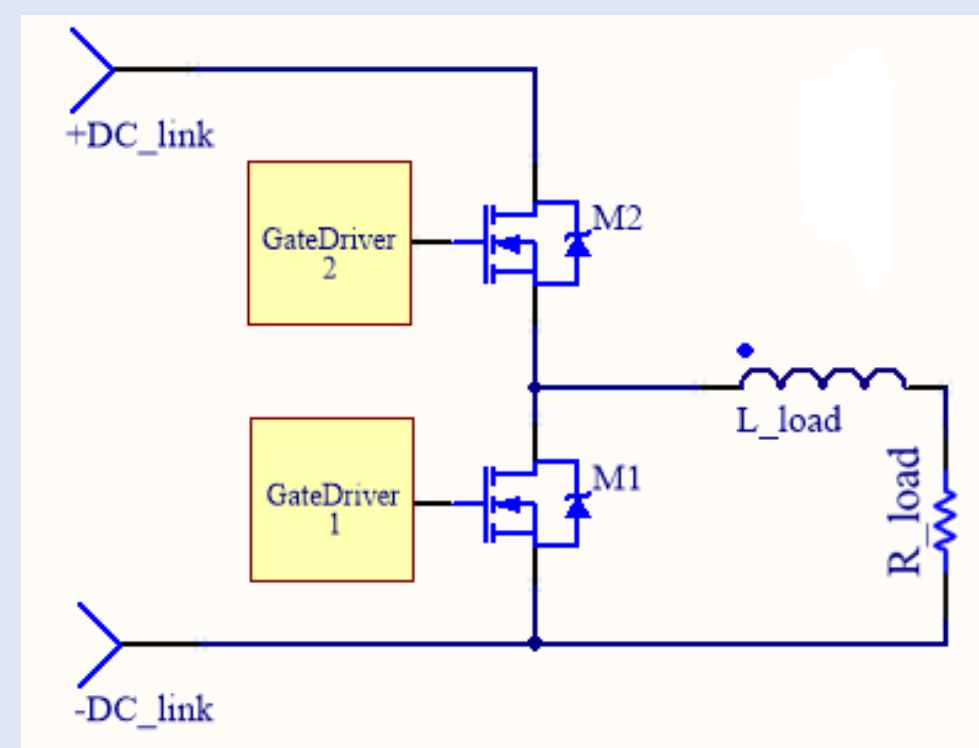


Figura 2: Esquemático do teste realizado em laboratório.

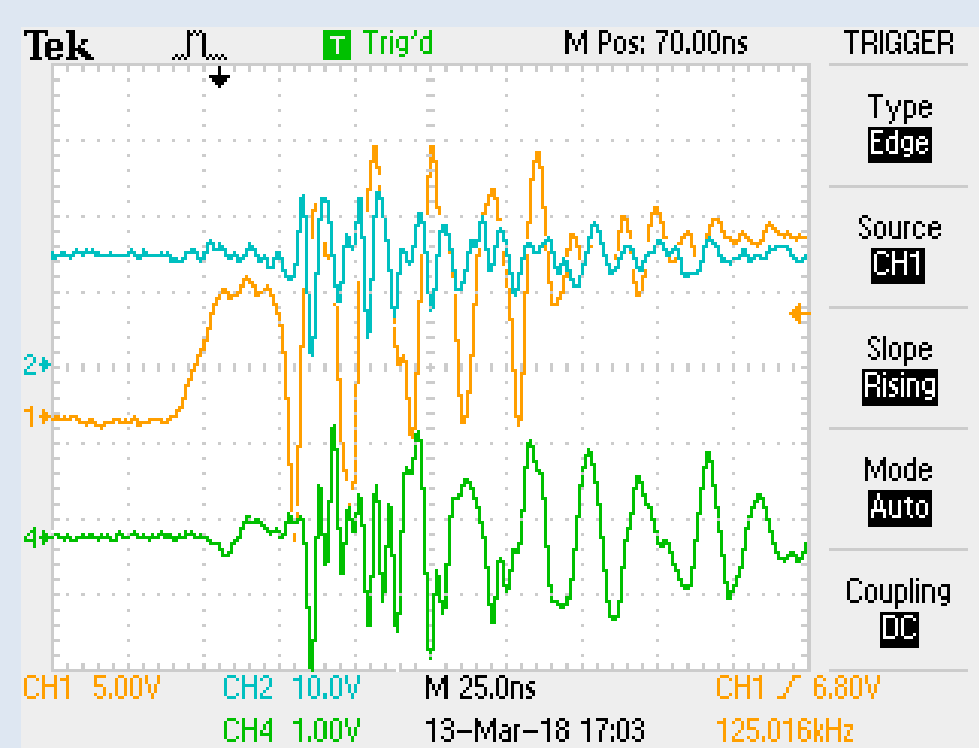


Figura 5: Tensão  $V_{GS}$  de M2 (amarelo) e tensão de alimentação do driver (azul).

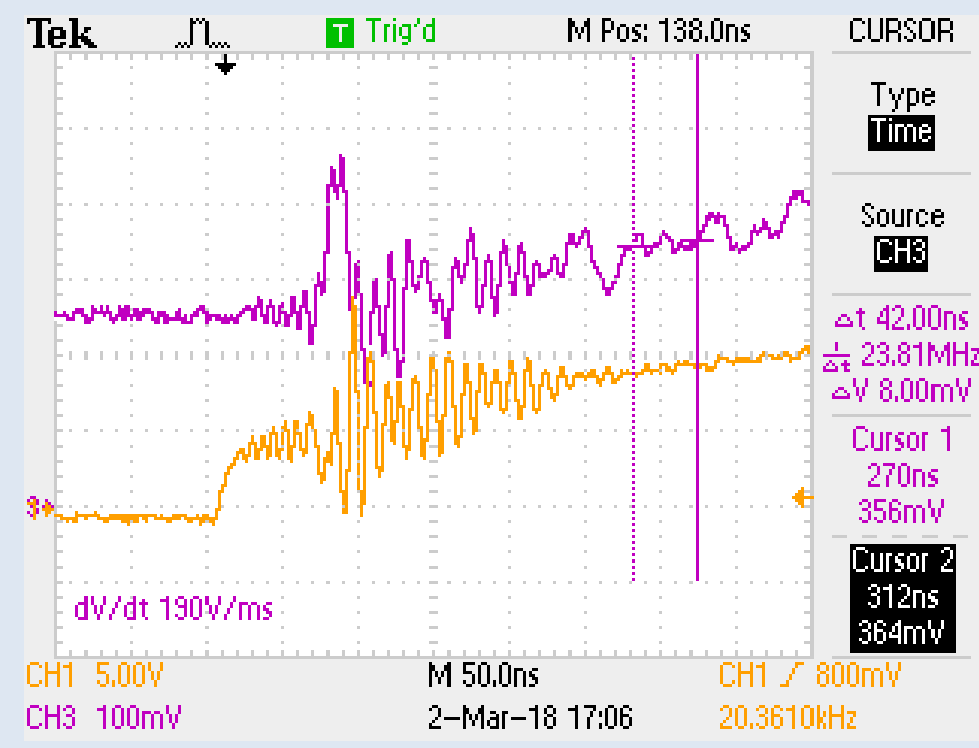


Figura 3: Tensão  $V_{GS}$  de M2 (amarelo) e corrente da carga (rosa).

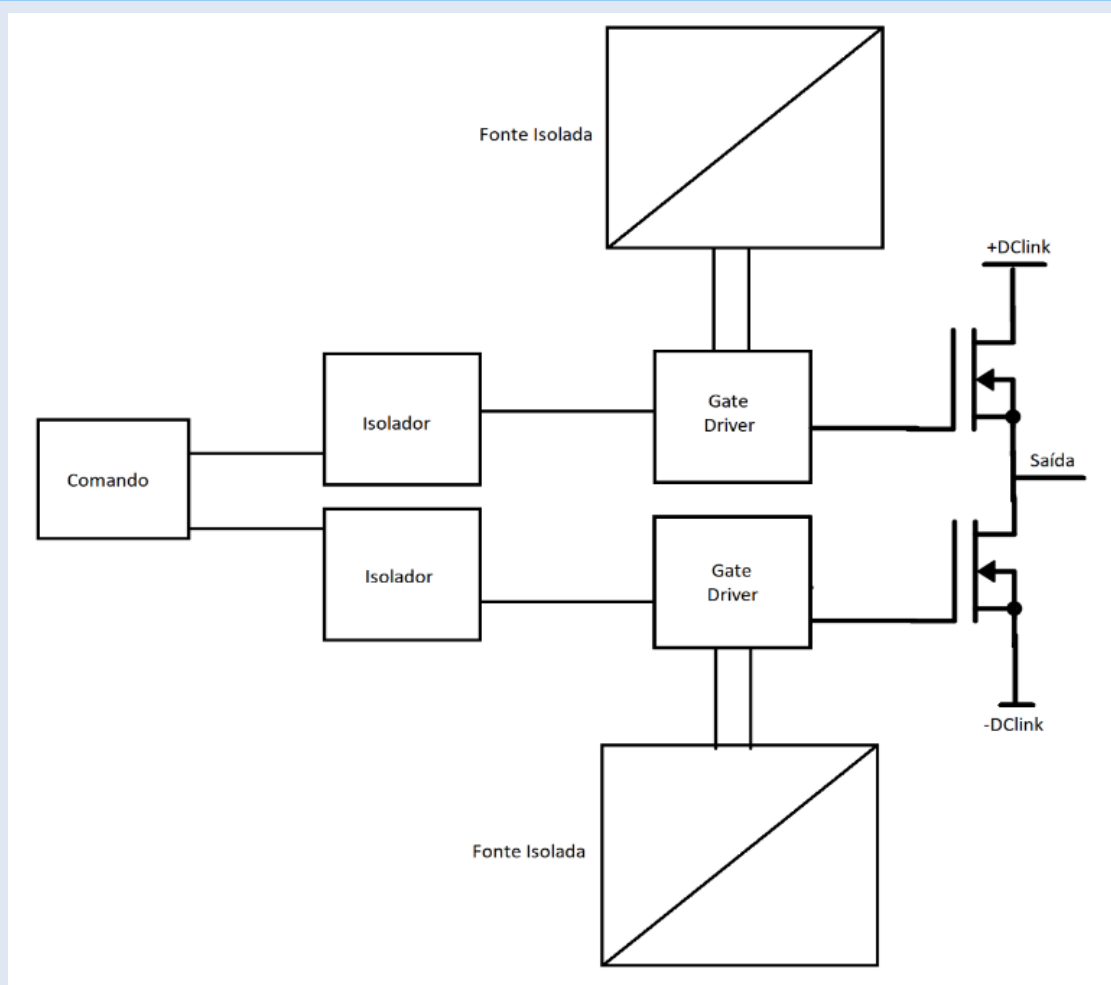


Figura 1: Diagrama de blocos do inversor.

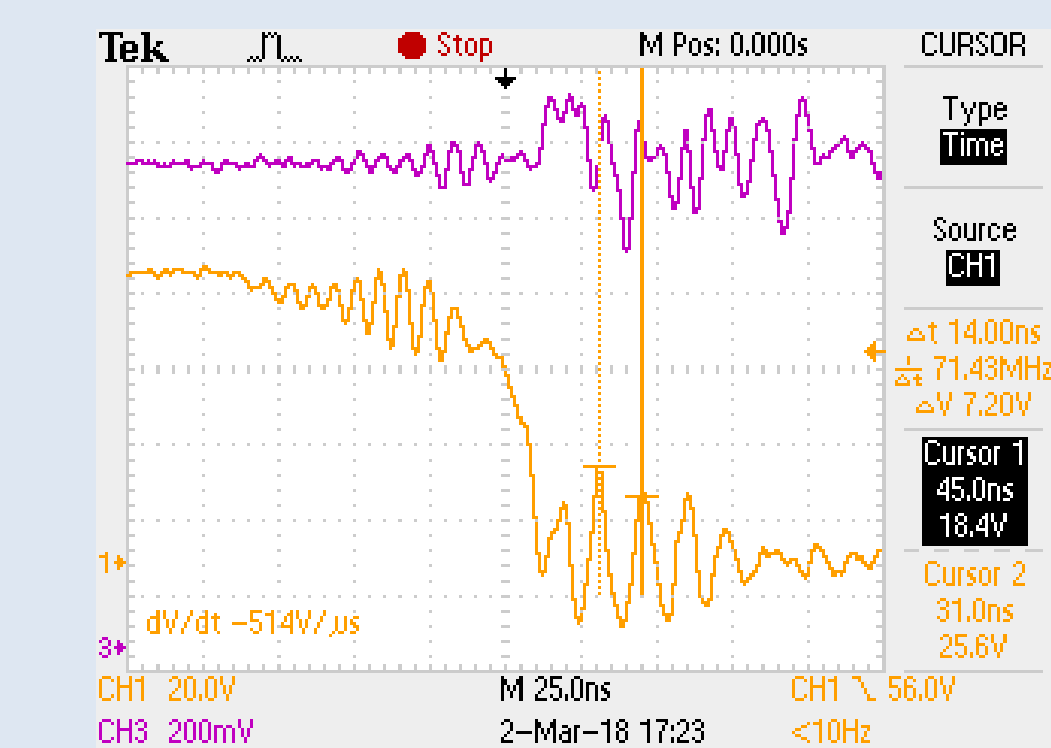


Figura 4: Tensão  $V_{GS}$  de M2 (amarelo) e corrente da carga (rosa).

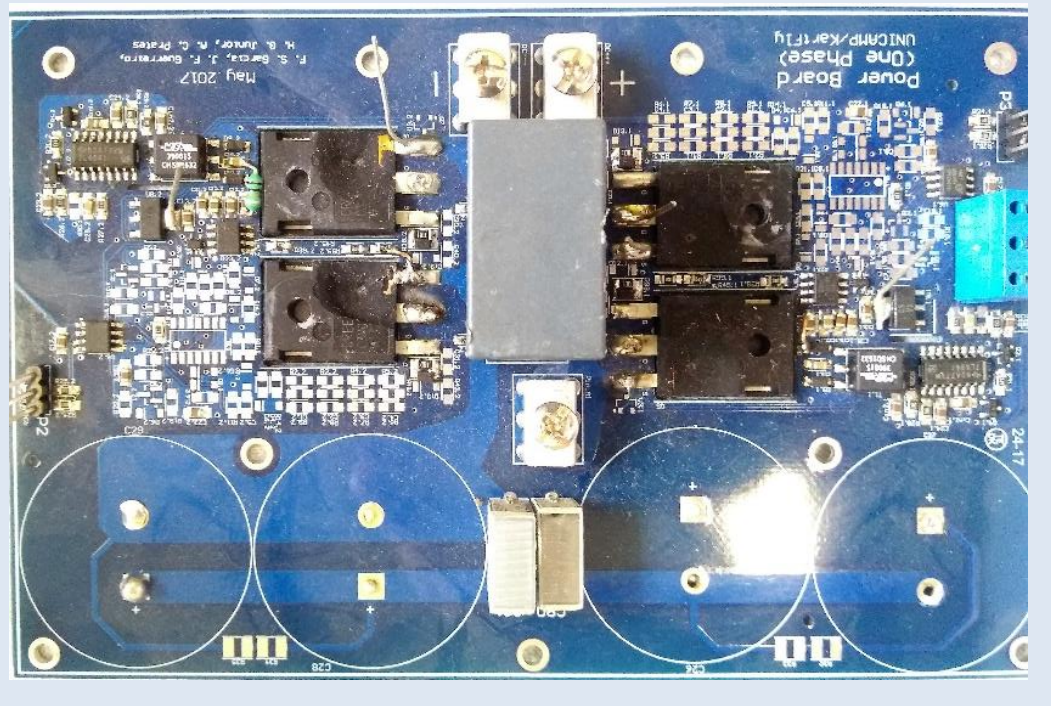


Figura 7: Fotografia da placa após teste que levou ao rompimento do encapsulamento dos transistores.

### METODOLOGIA

Criaram-se hipóteses para se explicarem os problemas apresentados nos testes iniciais e, através delas, desenvolveram-se propostas de melhorias para a segunda versão do projeto. Sustentou-se a ideia de que as intensas variações de tensão no *source* do MOSFET M2 geravam correntes de modo comum que circulavam para o terra de alimentação da placa de *gatedriver* através dos acoplamentos capacitivos do transformador da fonte isolada. Essas correntes produziam oscilações ao percorrer as trilhas e planos de alimentação desses circuitos.

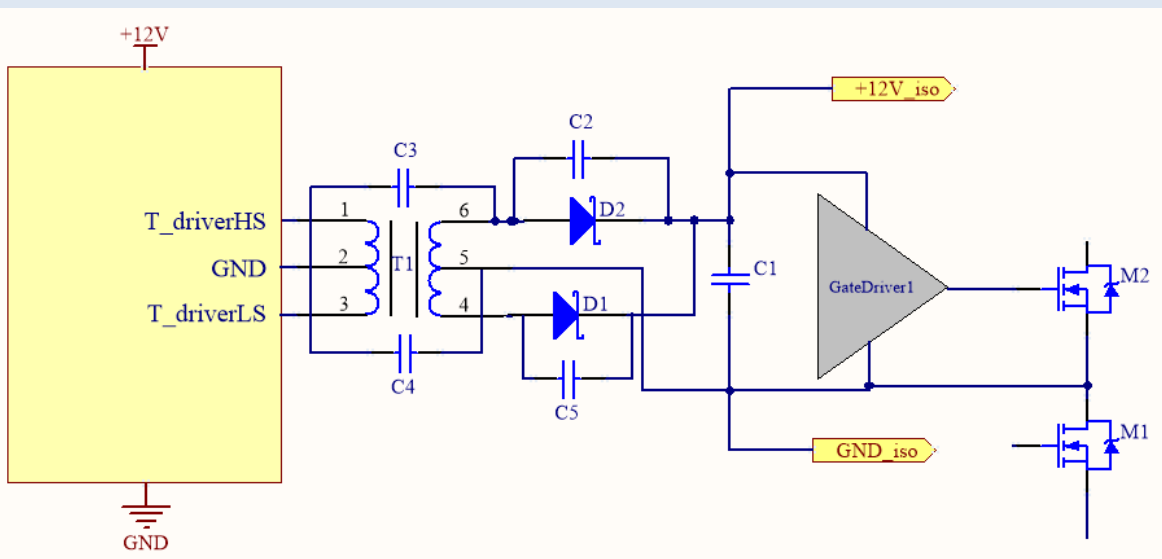


Figura 8: Modelo do circuito da fonte isolada, incluindo capacitâncias parasitas de seu transformador, alimentando *gatedriver* do MOSFET highside.

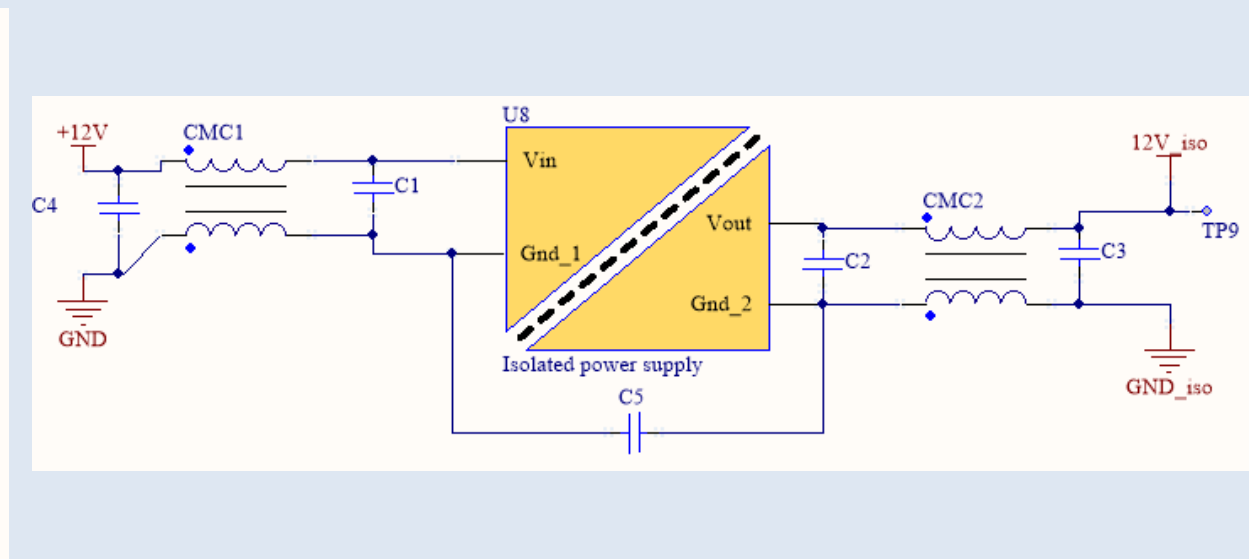


Figura 9: Modelo do novo circuito de fonte isolada proposto, utilizando *common mode choke* para bloquear correntes de modo comum.

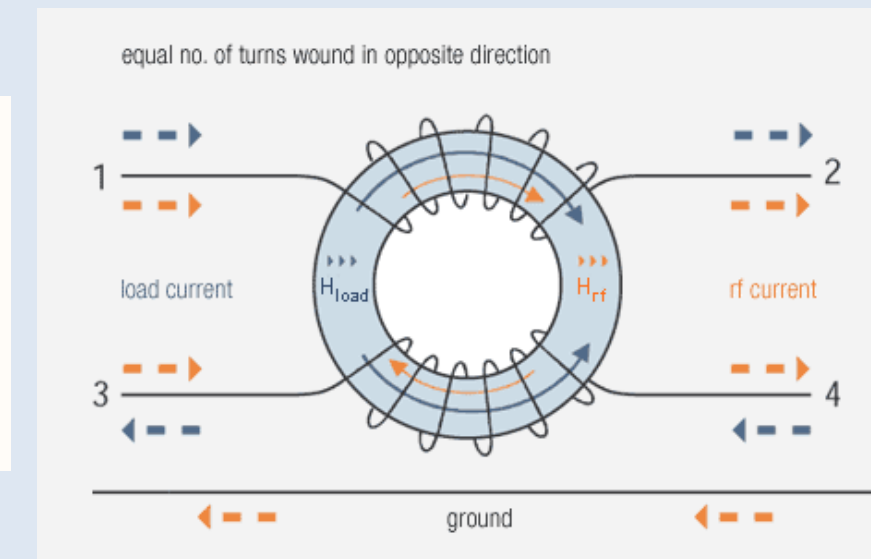


Figura 10: Ilustração do princípio de funcionamento de um *common mode choke*.

Além disso, conjecturou-se que a destruição dos MOSFETs, quando o inversor é alimentado por altas tensões, está relacionada com a ocorrência de curtos de braço durante a comutação de um dos transistores.

Realizaram-se simulações em SPICE mostrando que pulsos de tensão são gerados na junção *gate-source* de M1 durante o disparo de M2, devido à variação de sua tensão  $V_{DS}$  e à presença das capacitâncias  $C_{GD}$  e  $C_{GS}$ , conforme mostrado na Figura 11.

Na Figura 12, mostra-se o resultado para a simulação quando se despreza a indutância  $L_{stray}$ , que representa uma indutância parasita no circuito de disparo de *gate*. Já na Figura 13, mostra-se o resultado da simulação considerando-a no circuito.

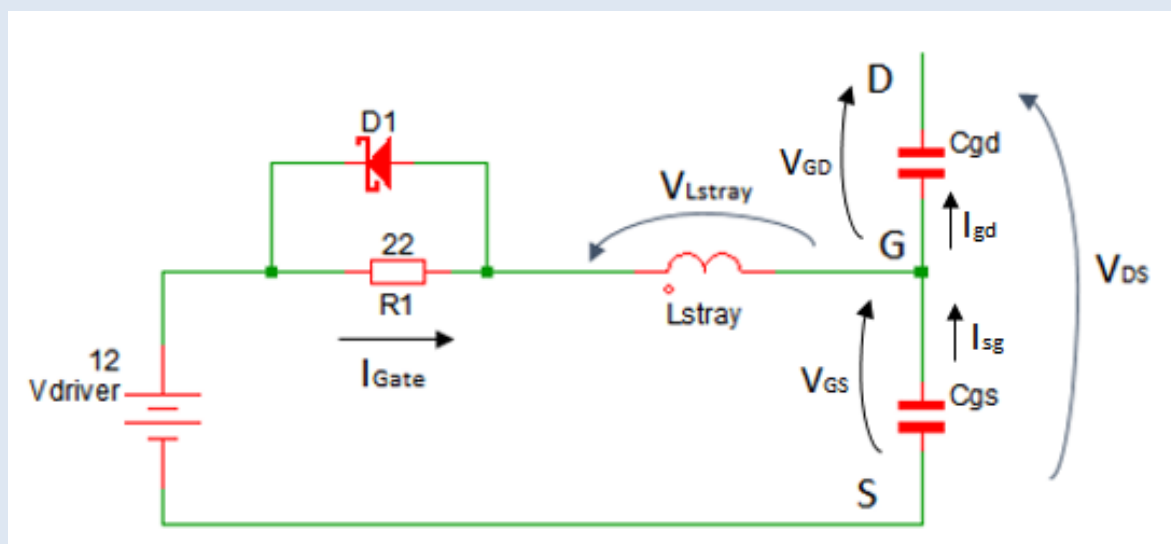


Figura 11: Modelo do circuito de *gatedriver* incluindo capacitâncias  $C_{GS}$  e  $C_{GD}$  do MOSFET e indutância parasita das trilhas da placa.

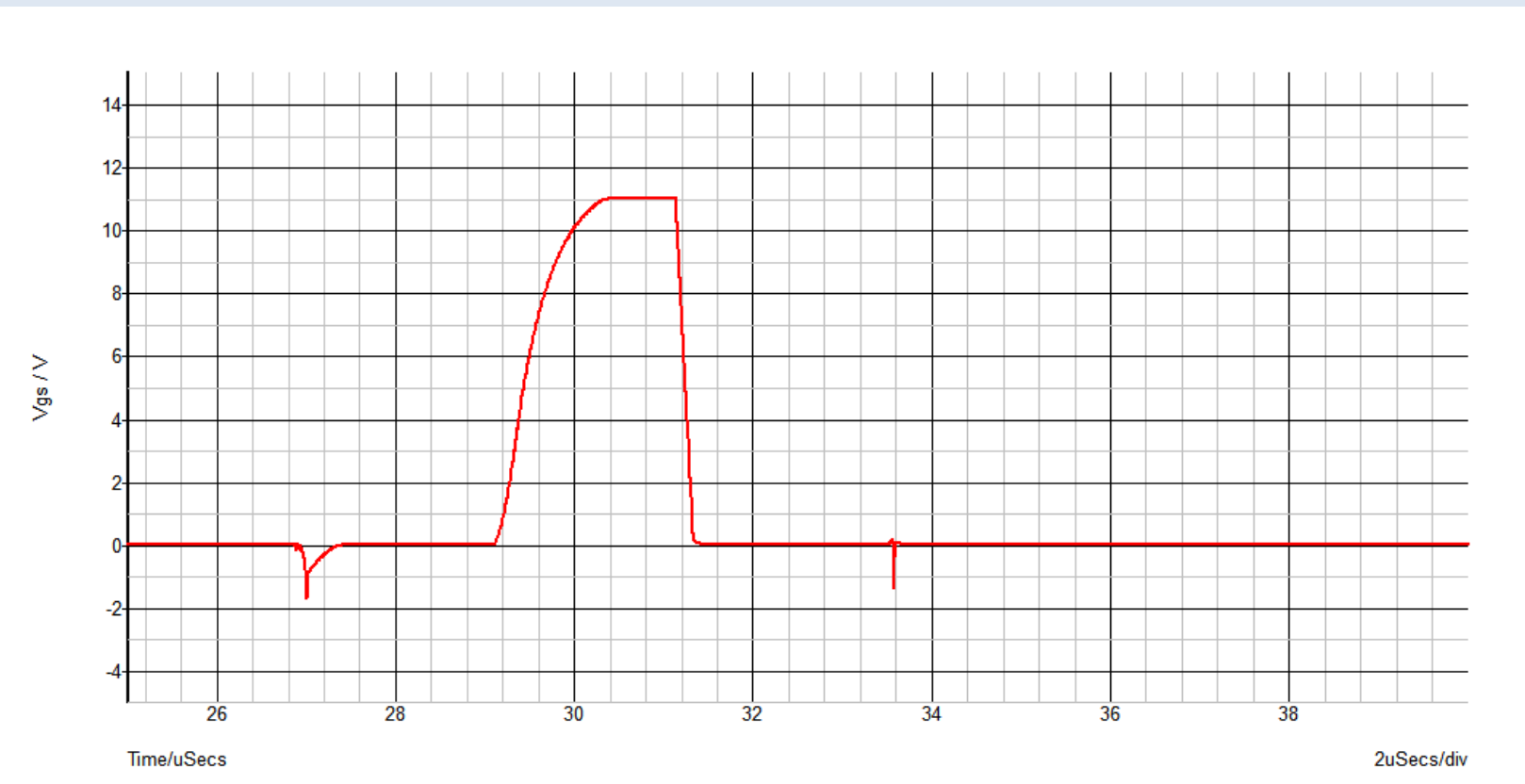


Figura 12: Resultado da simulação SPICE para tensão  $V_{GS}$  de M1 durante chaveamento de M2, desconsiderando indutância parasita no circuito de disparo.

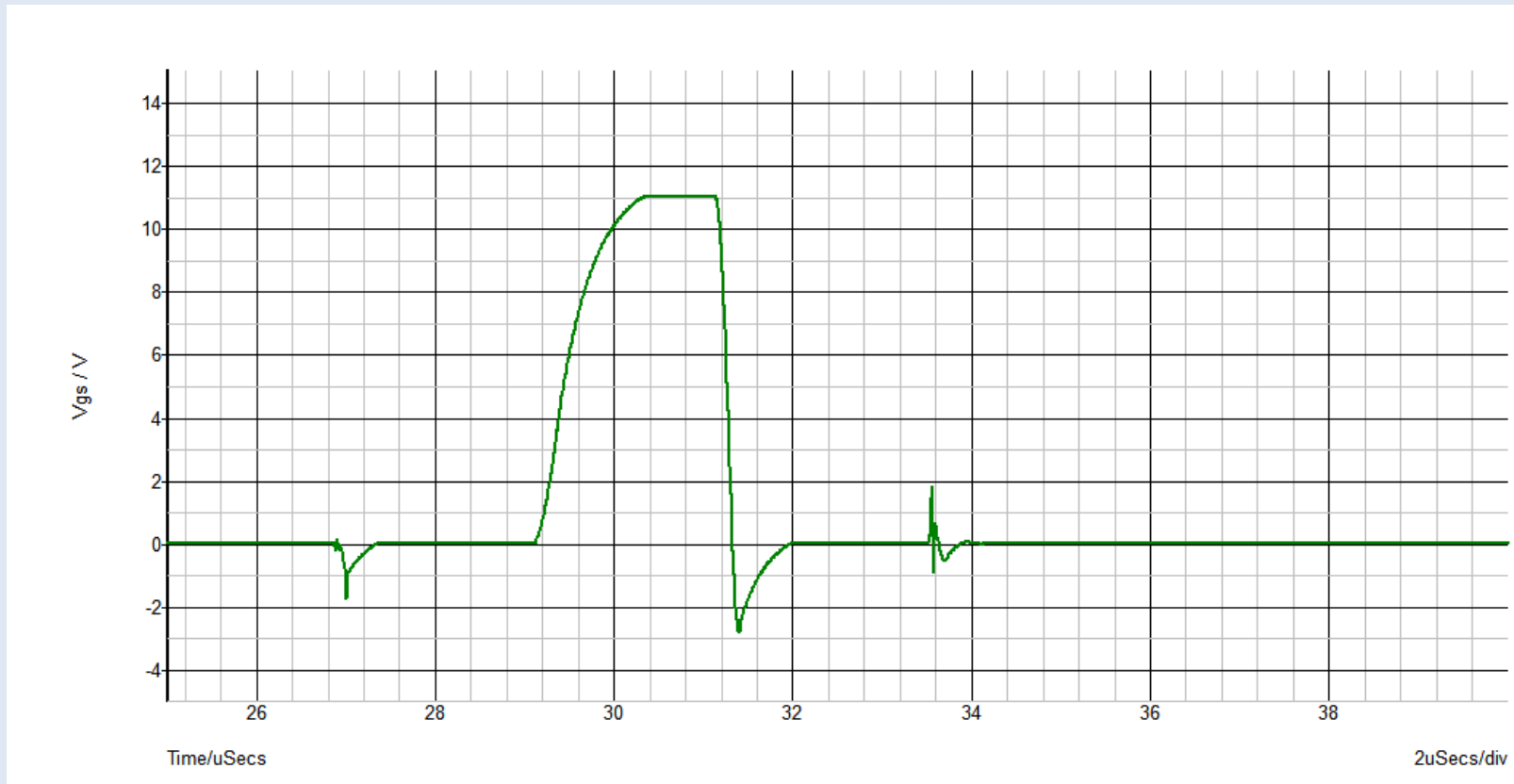


Figura 13: Resultado da simulação SPICE para tensão  $V_{GS}$  de M1 durante chaveamento de M2, considerando indutância parasita no circuito de disparo.

### RESULTADOS X DISCUSSÃO

Soldaram-se duas placas *gatedriver*. Uma, com o circuito proposto da Figura 9 e outra, sem os *common mode chokes* e o capacitor C5. Alimentou-se a placa com uma fonte de bancada e mediu-se a tensão de entrada. Os resultados são mostrados na Figura 16 e Figura 17. Observam-se intensos picos de tensão na versão na qual os componentes não foram soldados, indicando-se que o chaveamento da próprio transistor do conversor já é capaz de criar correntes de modo comum através de seu transformador. Na Figura 18, mostra-se que a interferência na tensão de alimentação do driver foi resolvido na segunda versão do projeto. Essa imagem foi obtida com o inversor chaveando a uma frequência de 20kHz e com uma tensão de alimentação do link CC de 35V, utilizando-se a placa *gatedriver* com filtros de modo comum.

Na Figura 19, mostra-se que, embora as oscilações estejam menos intensas, ainda ocorrem perturbações na tensão  $V_{GS}$  quando há *ringing* na tensão de saída. Esse fenômeno pode ser explicado pela indutância parasita representada na Figura 11, cuja presença é evidenciada na Figura 21, que mostra corrente de gate e a diferença entre a tensão  $V_{GS}$  medida na saída da placa de *gatedriver* e diretamente nos pinos do MOSFET.

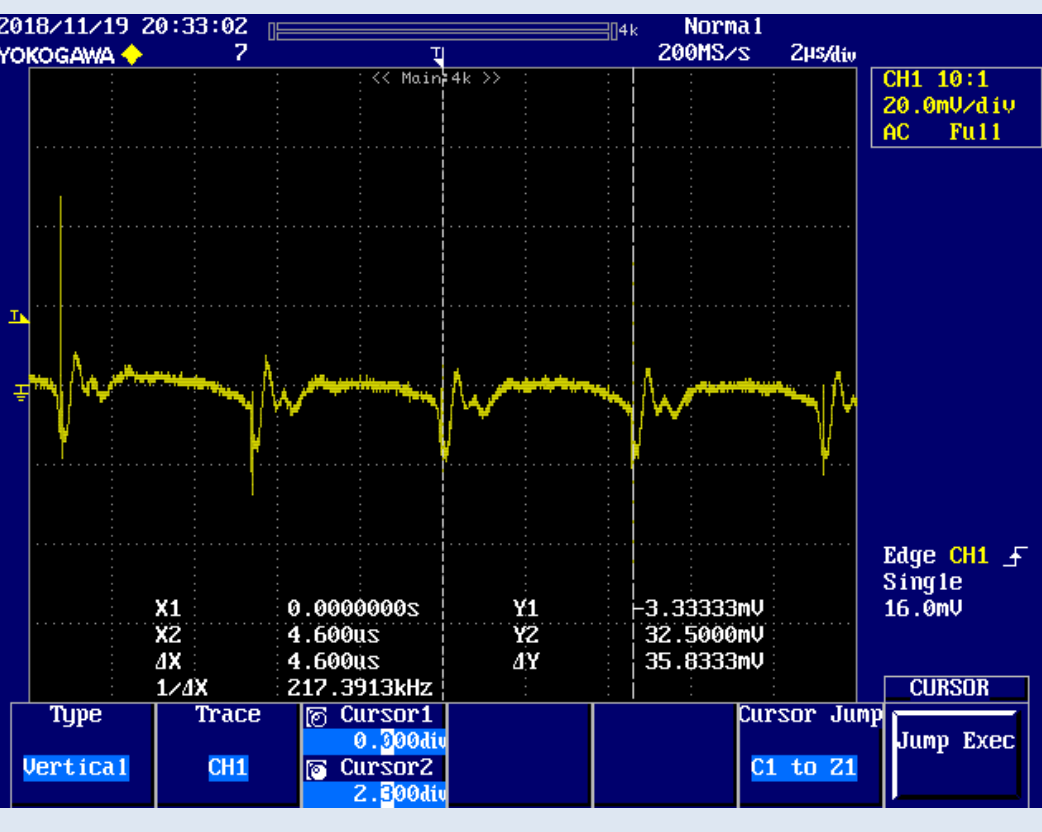


Figura 19: Tensão de alimentação da placa de *gatedriver* soldada sem *common mode chokes* e capacitor C5 da Figura 9.

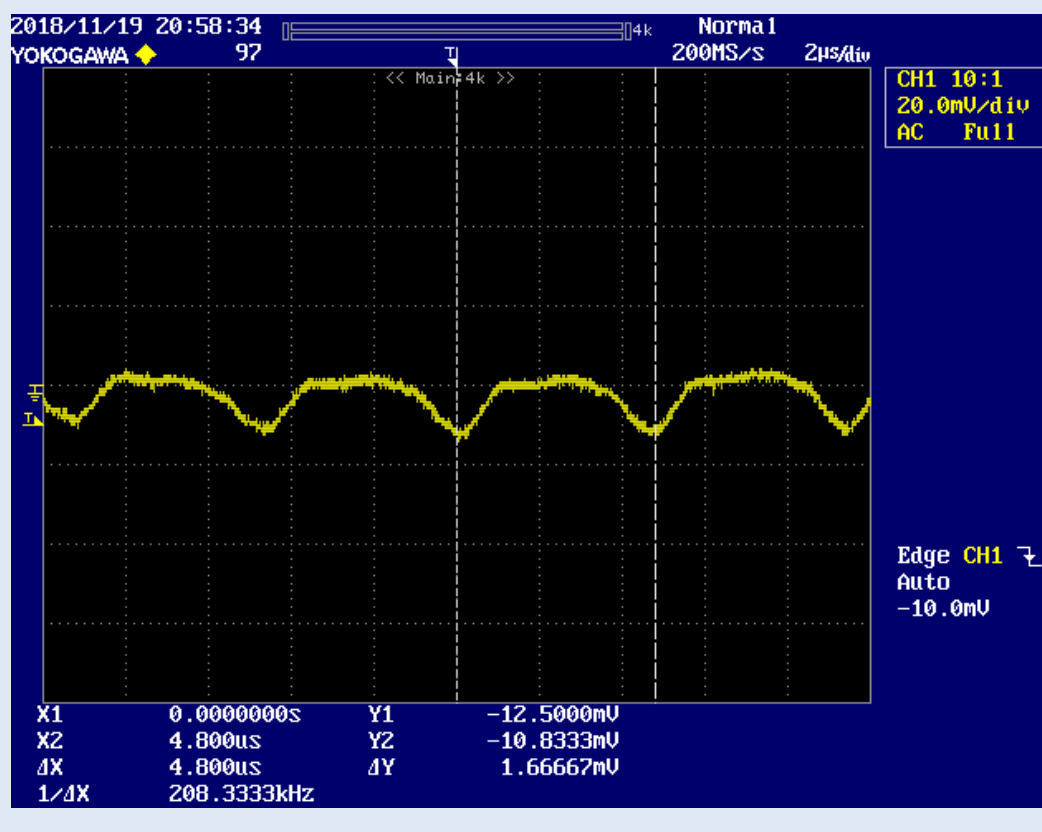


Figura 17: Tensão de alimentação da placa de *gatedriver* soldada com *common mode chokes* e capacitor C5 da Figura 9.

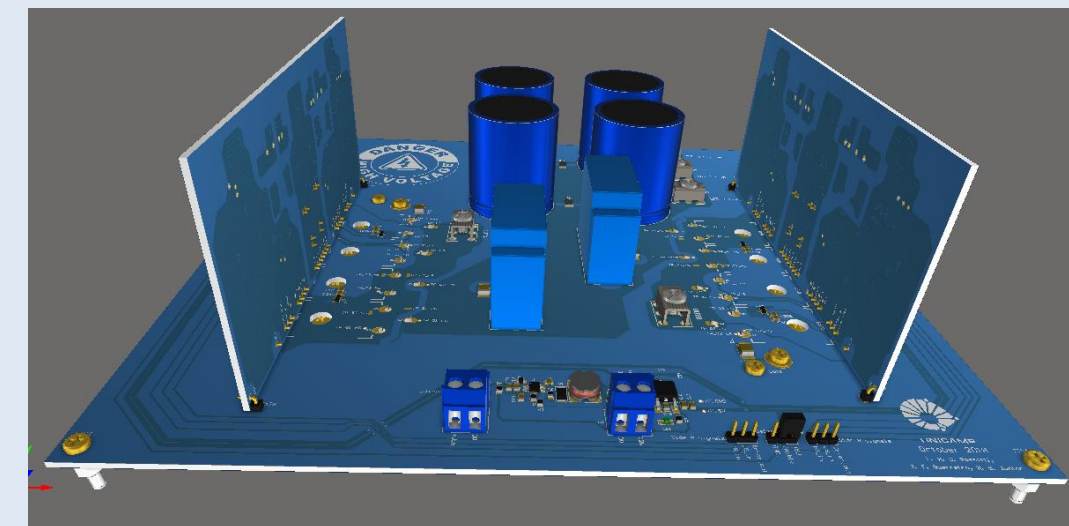


Figura 14: Modelo 3D da montagem do inversor, explicitando a divisão entre placa base com transistores de potência e placas de *gatedriver*, montadas na vertical.

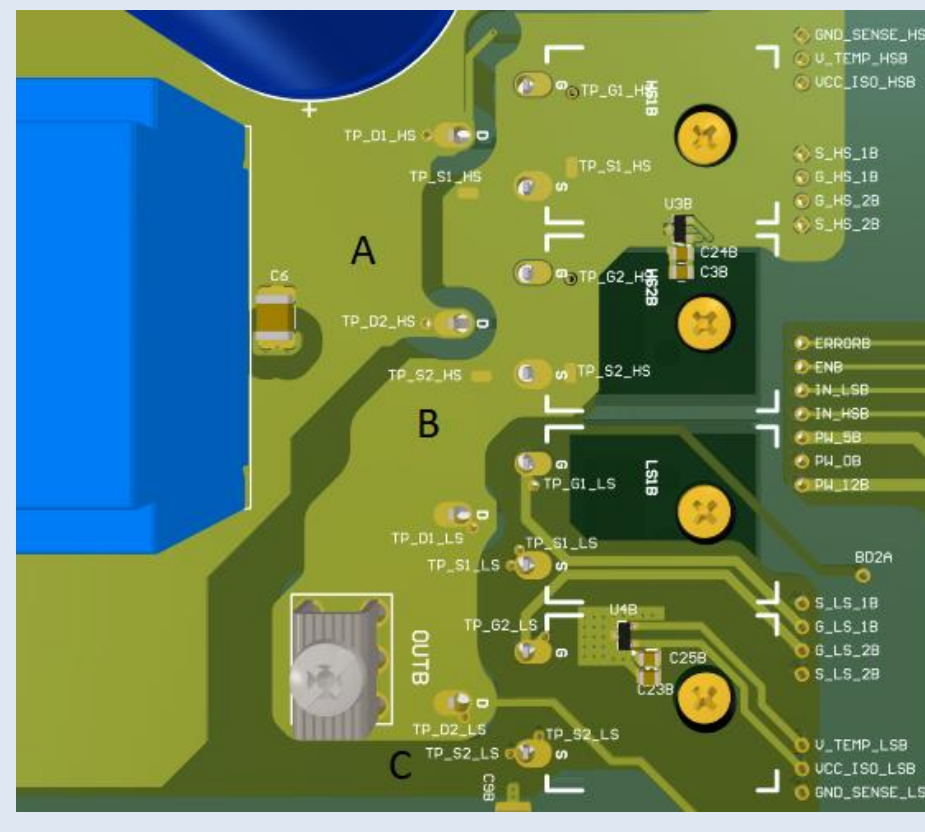


Figura 15: Modelo 3D da montagem do inversor, explicitando distância entre conexões da placa de *gatedriver* e pinos dos MOSFETs.

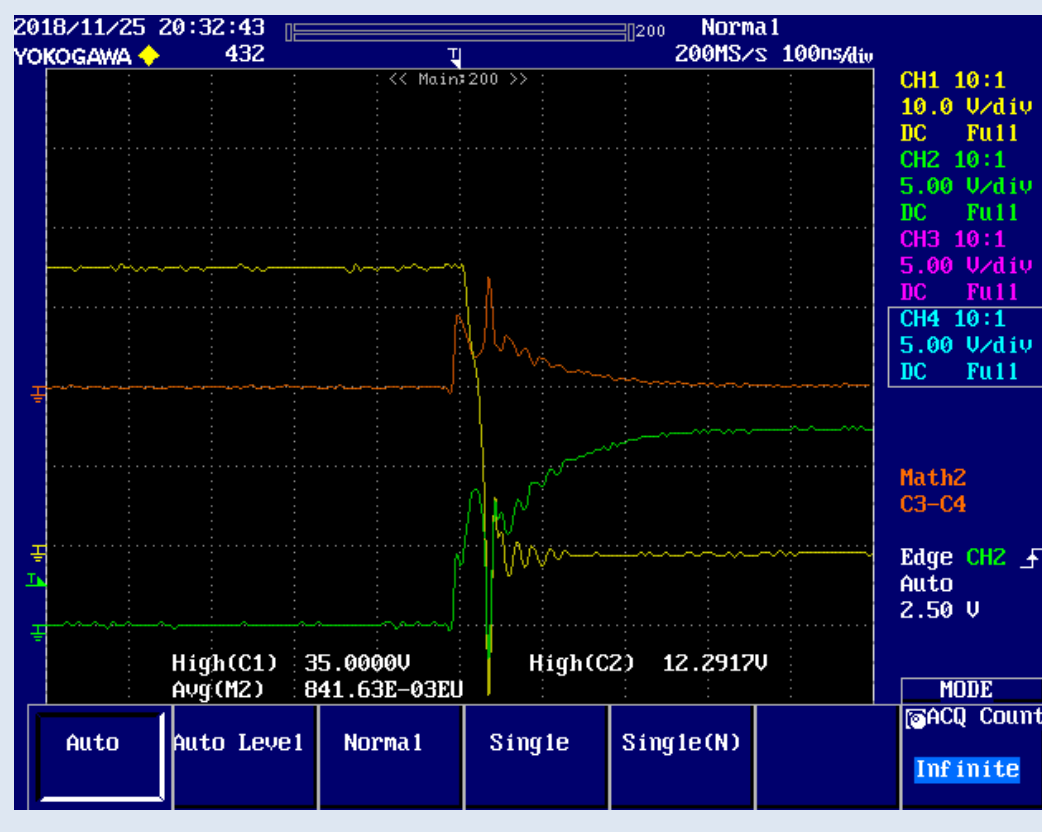


Figura 19: Tensão  $V_{DS}$  (amarelo) e  $V_{GS}$  (verde) do MOSFET highside e forma de onda da corrente de gate (vermelha) obtida através da medição da tensão sobre resistor de gate. Tensão do link CC de 35 V.



Figura 20: Tensão  $V_{DS}$  (amarelo) e  $V_{GS}$  (verde) do MOSFET. Tensão do link CC de 35 V.

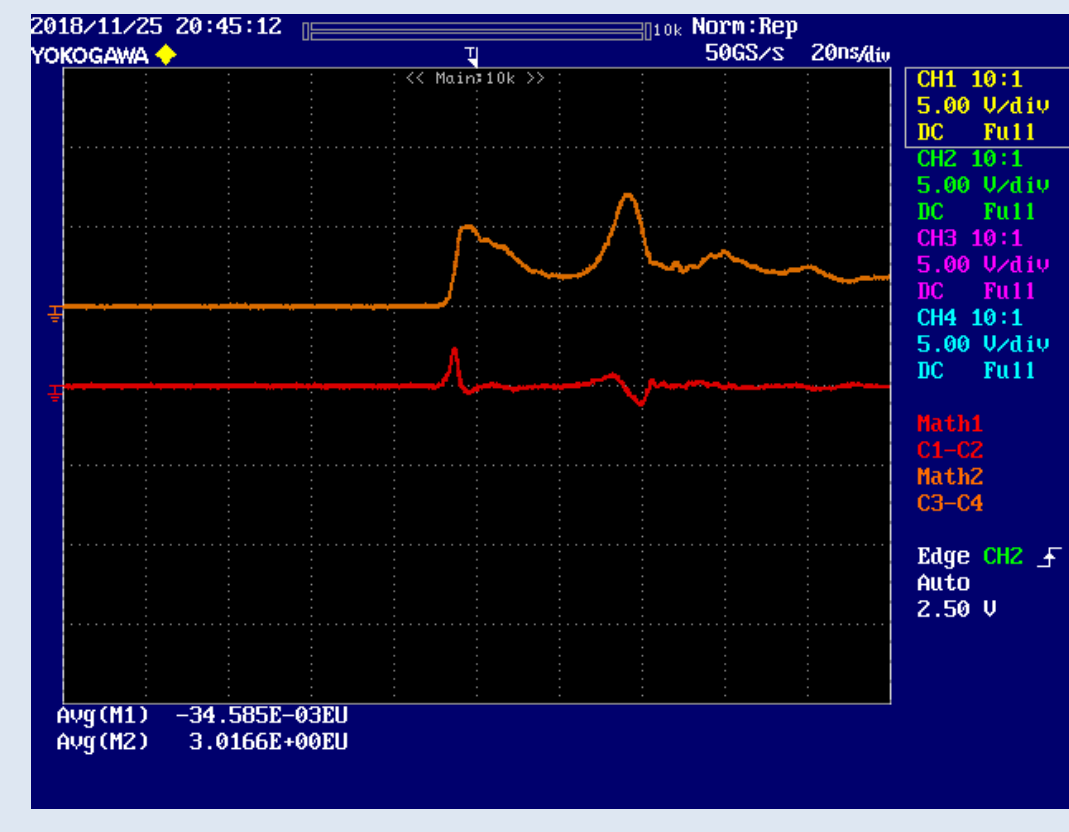


Figura 21: Corrente de gate e diferença entre a tensão  $V_{GS}$  medida na saída da placa de *gatedriver* e nos pinos do MOSFET.

### CONCLUSÃO

A partir dos resultados obtidos, concluiu-se que um dos grandes problemas da primeira versão fora eliminado, tornando-se, agora, a tensão, dos circuitos de disparo de gate e de proteção, estável.

Embora outros principais problemas ainda não tenham sido totalmente resolvidos, o presente estudo é uma contribuição importante no entendimento dos processos de falha de um inversor e possibilitou a compreensão de que a indutância parasita nas trilhas que ligam a placa de *gatedriver* ao pino dos MOSFETs contribui para a instabilidade da tensão  $V_{GS}$ , tanto para o transistor sobre processo de disparo quanto para o seu complementar, como se mostra na Figura 19 e Figura 20.

### REFERÊNCIAS

- [1] ST Microelectronics, “STW28N65M2 datasheet,” Dezembro 2014. [Online]. Available: <https://www.st.com/resource/en/datasheet/stw28n65m2.pdf>. [Acesso em 01 Novembro 2018].
- [2] VISHAY SILICONIX, “Power MOSFET Basics: Understanding the Turn-On Process - Application Note AN850,” 2015. [Online]. Available: <https://www.vishay.com/docs/68214/turnonprocess.pdf>. [Acesso em 31 Outubro 2018].
- [3] Toshiba Electronic Devices & Storage Corporation, “Parasitic Oscillation and Ringing of Power MOSFETs,” 2018. [Online]. Available: <https://toshiba.semicon-storage.com/info/docget.jsp?did=59456>. [Acesso em 31 Outubro 2018].
- [4] R. Brewer, “What is Differential and Common Mode Current?,” 2 Agosto 2012. [Online]. Available: <https://interferencetechnology.com/what-is-differential-and-common-mode-current/>. [Acesso em 1 Novembro 2018].
- [5] ON Semiconductor, “Methods to Identify Shoot Through in Fast Switching VRM Applications,” Abril 2016. [Online]. Available: [www.onsemi.com/pub/Collateral/AND9419-D.pdf](http://www.onsemi.com/pub/Collateral/AND9419-D.pdf). [Acesso em 07 Novembro 2018].