**数字逻辑与FPGA 实验报告**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **实验名称：** | 触发器及其应用 | | | | |
| **班 级：** |  | **姓 名：** |  | **学 号：** |  |
| **实验地点：** | 综合实验楼一306 | **日 期：** | 2020年12月24日 | | |

|  |
| --- |
| **一、实验目的：**  1、 掌握基本RS触发器、D触发器、JK触发器的工作原理。  2、 学会正确测试RS触发器、D触发器、JK触发器的逻辑功能。  3、 熟悉触发器之间相互转换的方法。  4、 了解用触发器构成自循环寄存器的电路结构及工作过程。 |
| **二、实验环境：**  **1、仪器设备：**  数字电路实验箱1台  **2. 器件：**  与非门74LS00 2片  双D触发器74LS74 2片  双JK触发器74LS73 2片 |
| **三、实验内容和要求：**  2. 验证D触发器功能。  6. 用两片D触发器74LS74芯片构成异步二进制加／减计数器 |
| **四、实验步骤：**  2. 图3.2是测试D触发器的接线图，K1、K2、K3接逻辑开关，LED0、LED1是电平指示灯，AK1是单次脉冲,接逻辑开关K4。    6. 按图接线，用四只D触发器构成四位二进制异步加法计数器，它的连接特点是将每只低位D触发器的端和高一位的CP端相连接。输出Q3Q2Q1Q0分别连接到四个电平指示灯，同时用四根线接到一个七段显示器的输入端DCBA上（实验箱上七段显示器的电源要连接。就是两个红色的小孔要连接上）。输入RD接逻辑开关，CP0接试验箱左下方的1HZ连续脉冲或者接单次脉冲源。    若将上图稍加改动，即将低位触发器的Q端与高一位的CP端相连接，去掉原来的 端与高一位的CP端连线，即构成了一个4位二进制减法计数器。如图3.8所示。先将RD置0，从而使Q3Q2Q1Q0 = 0000，然后将RD = 1，观察CP0引脚进入的脉冲对输出Q3Q2Q1Q0的影响。 |
| 1. **实验结果与分析（**含程序、数据记录及分析和实验总结等**）：**   2、验证D触发器功能。      6. 用两片D触发器74LS74芯片构成异步二进制加／减计数器  (1)异步二进制加计数器    (2) 异步二进制减计数器 |
| 1. **教师评语：**   **实验成绩： 教师：（签名要全称） 年 月 日** |