



用D触发器设计计数器和 广告流水灯

汤雪娇 tangxuejiao@seu.edu.cn

◀◆实验目的与任务

◀◆相关知识点

◀◆实验内容

◀◆预习要求

实验目的与任务



- 1. D触发器的认识
- 2. 掌握时序逻辑电路的一般设计过程
- 3. 掌握时序逻辑电路的基本调试方法
- 4. 运用D触发器设计计数器、移位寄存器

实验目的与任务



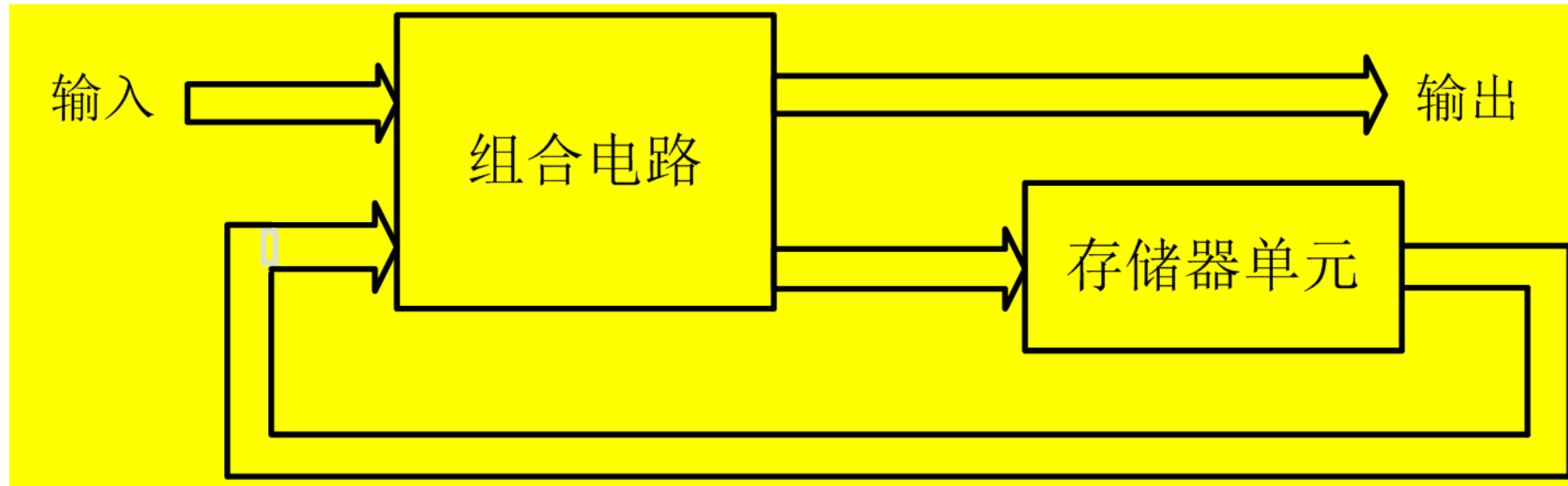
(1) 用74LS74设计一个模八计数器
(要求用同步方式实现)

(2) 广告流水灯设计

- 共有8个灯，要求用74LS138及74LS74设计电路，始终使灯为1暗7亮，且这一暗灯循环右移。
- 搭试电路，将时钟脉冲接自单脉冲进行静态验证，观察每来一个脉冲暗灯的移动情况；
- 将时钟脉冲接自连续脉冲，调低频率观察暗灯的移动情况。

- ◀◆实验目的与任务
- ◀◆相关知识**点**
- ◀◆实验内容
- ◀◆预习要求

1.时序电路概述



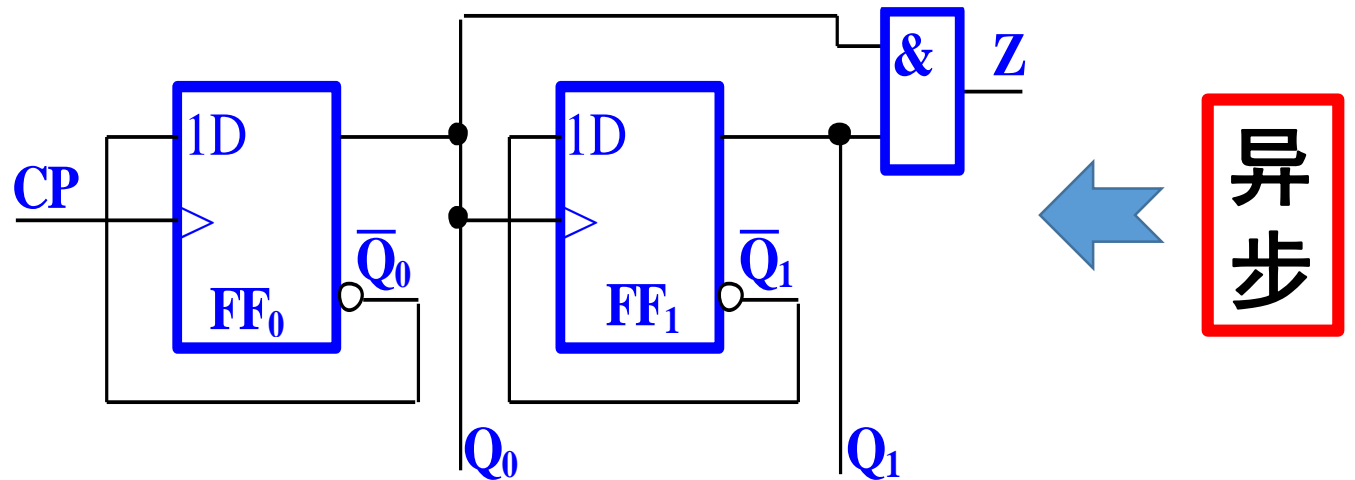
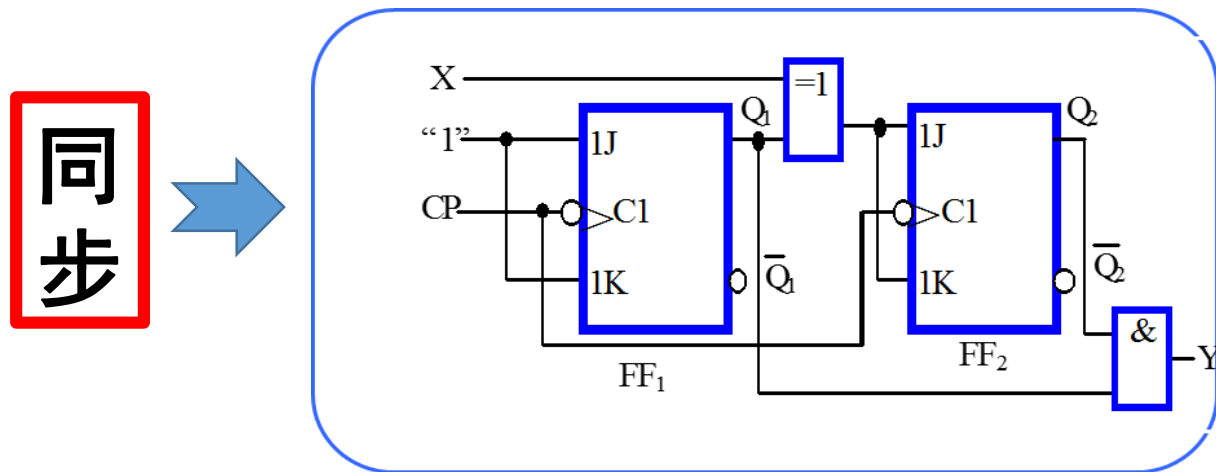
- 由组合电路和存储器单元两部分组成的
- 存储器单元具有记忆功能，通常由锁存器或触发器组成
- 输出信号不仅取决于当前的输入信号，还取决于电路原来的状态

1.时序电路概述

根据触发器动作特点可分为**同步时序逻辑电路**和**异步时序逻辑电路**。

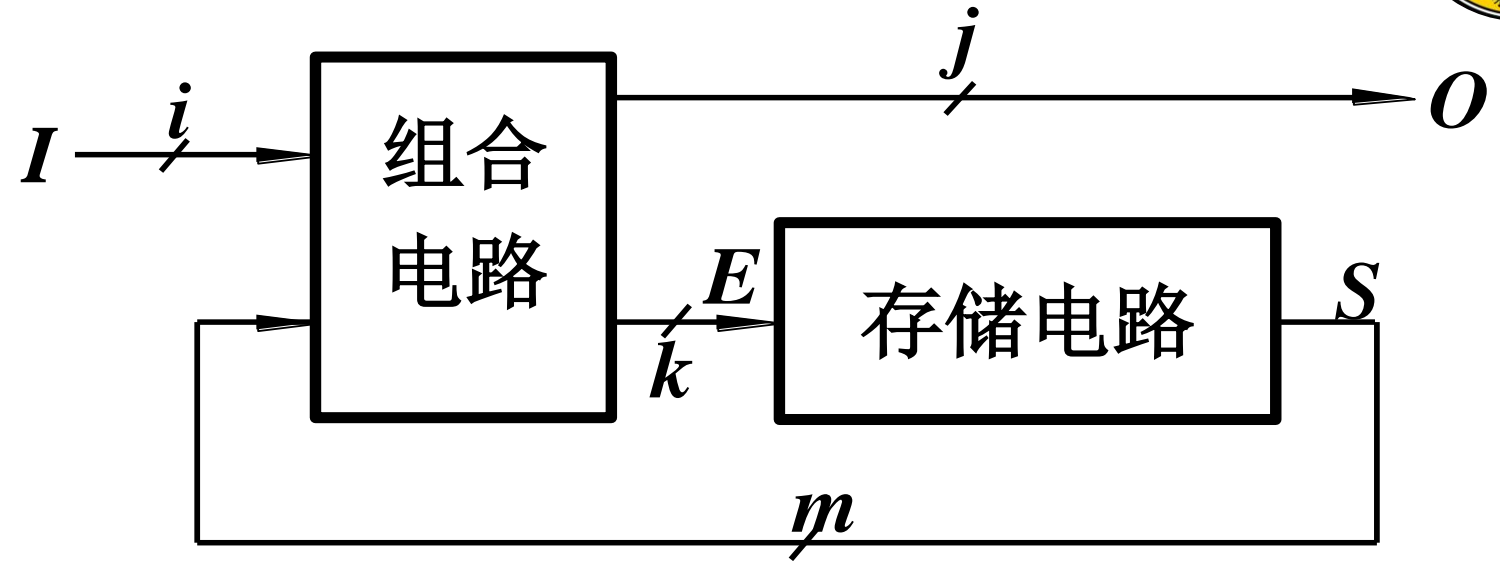
在**同步时序逻辑电路**中，存储电路中所有触发器的时钟使用统一的CLK，状态变化发生在同一时刻，即触发器在时钟脉冲的作用下同时翻转；

在**异步时序逻辑电路**中，触发器的翻转不是同时的，没有统一的CLK，触发器状态的变化有先有后。



2. 时序电路的模型及分析

I : 输入信号
 E : 激励信号
 S : 状态变量
 O : 输出信号



输出方程: $O = f_1(I, S)$

表达输出信号与输入信号、状态变量的关系式

激励方程: $E = f_2(I, S)$

表达了激励信号与输入信号、状态变量的关系式

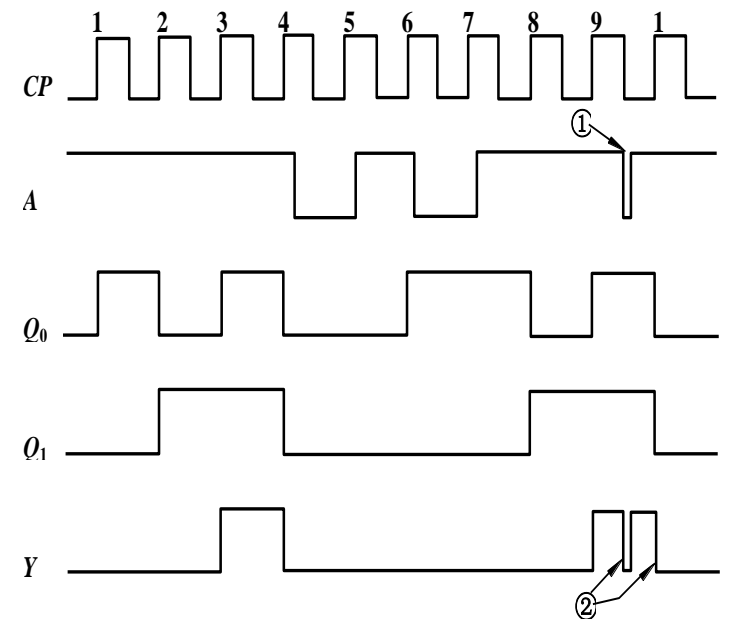
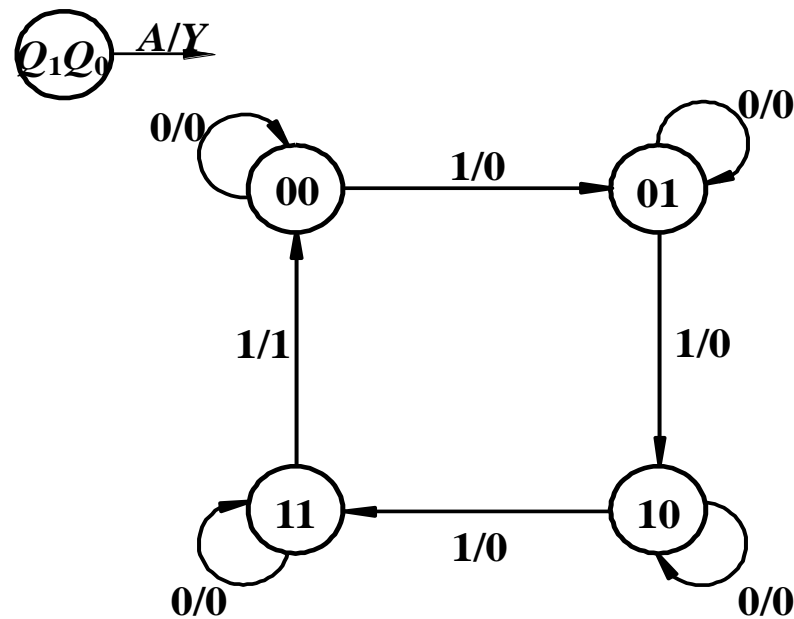
状态方程: $S^{n+1} = f_3(E, S^n)$

表达存储电路从现态到次态的转换关系式

2.时序电路的模型及分析

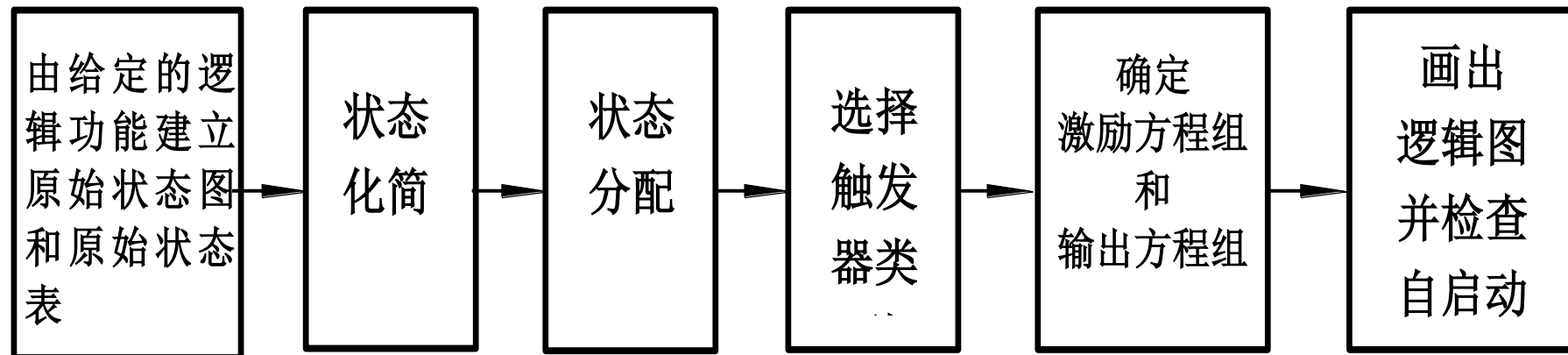
分析时序逻辑电路在输入信号的作用下，其状态和输出信号变化的规律，进而确定电路的逻辑功能。所以，分析过程主要是列出电路状态表或画出状态图、工作波形图。

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$	
	$A=0$	$A=1$
0 0	0 0 / 0	0 1 / 0
0 1	0 1 / 0	1 0 / 0
1 0	1 0 / 0	1 1 / 0
1 1	1 1 / 0	0 0 / 1



3.使用触发器设计时序逻辑电路

时序逻辑电路的设计任务是根据实际逻辑问题的要求，设计出能够实现给定逻辑功能的电路



用触发器、组合函数器件和门电路设计一个广告流水灯

?

还可以使用MSI构建状态机来实现时序逻辑电路的设计

3.使用触发器设计时序逻辑电路

(1) 根据给定的逻辑功能建立原始状态图和原始状态表

- ◆明确电路的输入条件和相应的输出要求，分别确定输入变量和输出变量的数目和符号
- ◆找出所有可能的状态和状态转换之间的关系
- ◆根据原始状态图建立原始状态表

(2) 状态化简—求出最简状态图

合并等价状态，消去多余状态的过程称为状态化简。

等价状态：在相同的输入下有相同的输出，并转换到同一个次态去的两个状态称为等价状态

(3) 状态编码（状态分配）

给每个状态赋以二进制代码的过程。根据状态数确定触发器的个数：

$$2^{n-1} < M \leq 2^n \quad (M: \text{状态数}; n: \text{触发器的个数})$$

(4) 选择触发器的类型

(5) 求出电路的激励方程和输出方程

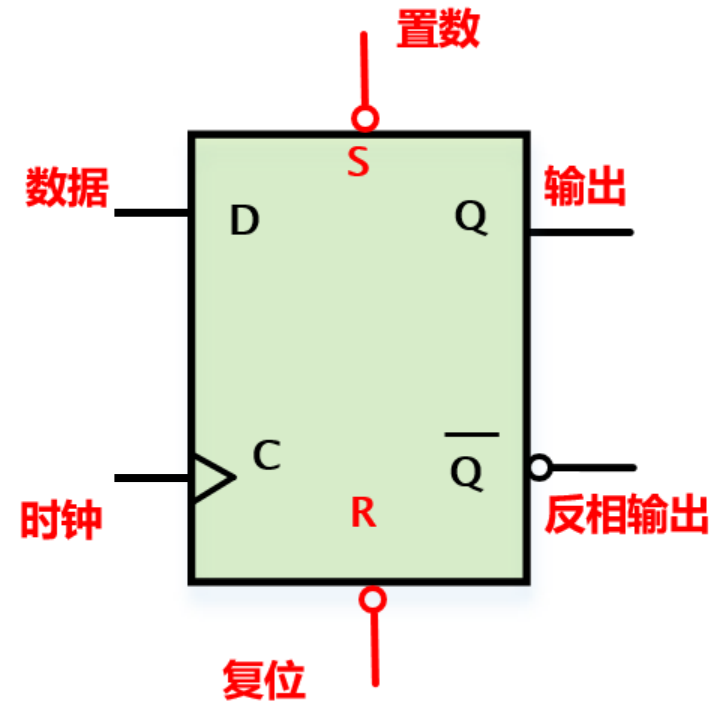
(6) 画出逻辑图并检查自启动能力

3.使用触发器设计时序逻辑电路

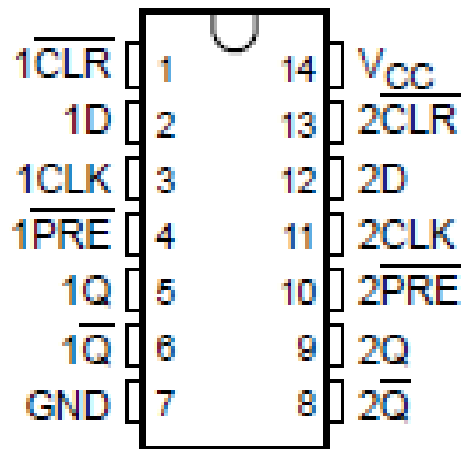
◆D触发器74HC74

- 边沿D触发器对时钟的边沿响应，状态方程为
- 包含时钟、数据和输出管脚
- 有的是上升沿触发，有的是下降沿触发
- 一般有置数和复位端，可对状态置数或复位

$$Q^{n+1} = D^n$$



SN54HC74 . . . J OR W PACKAGE
SN74HC74 . . . D, DB, N, NS, OR PW PACKAGE
(TOP VIEW)



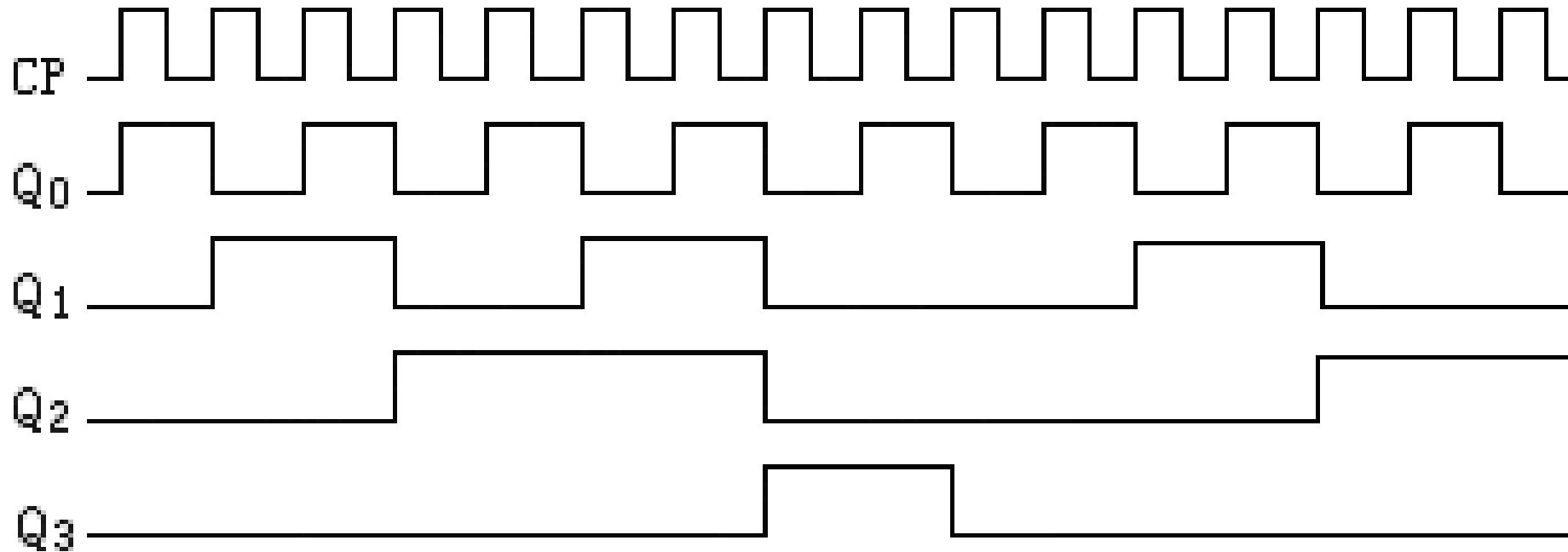
TRUTH TABLE

INPUTS				OUTPUTS		FUNCTION
$\overline{\text{CLR}}$	$\overline{\text{PR}}$	D	CK	Q	$\overline{\text{Q}}$	
L	H	X	X	L	H	CLEAR
H	L	X	X	H	L	PRESET
L	L	X	X	H	H	----
H	H	L	┐	L	H	----
H	H	H	┐	H	L	----
H	H	X	└	Q_n	\overline{Q}_n	NO CHANGE

X : Don't Care

3.使用触发器设计时序逻辑电路

例：用D触发器设计模10计数器的时序逻辑电路



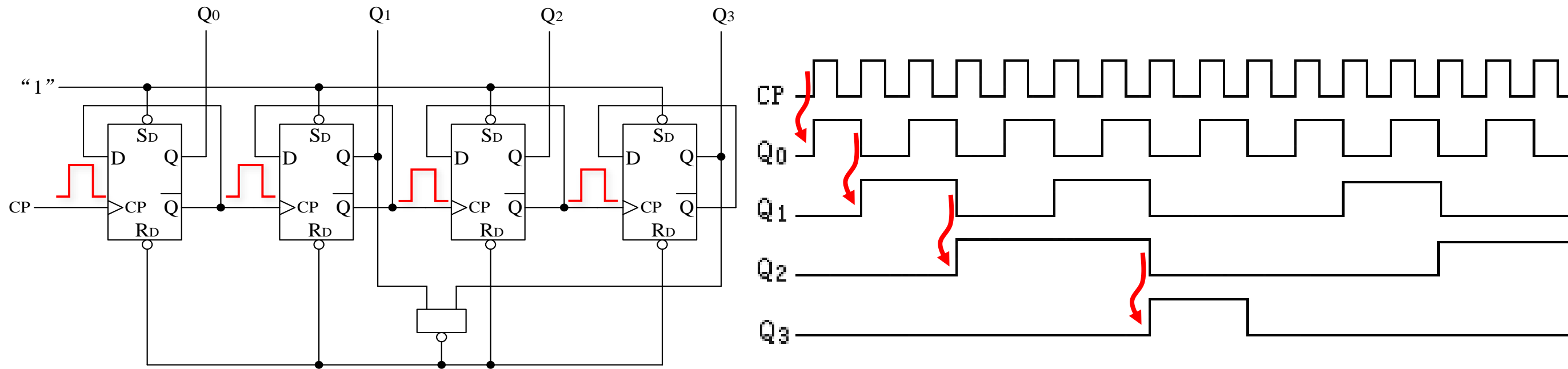
$2^{n-1} < M \leq 2^n$ (M:状态数; n:触发器的个数)

M=10, n=4, 需要四个触发器

3.使用触发器设计时序逻辑电路

(1) 异步

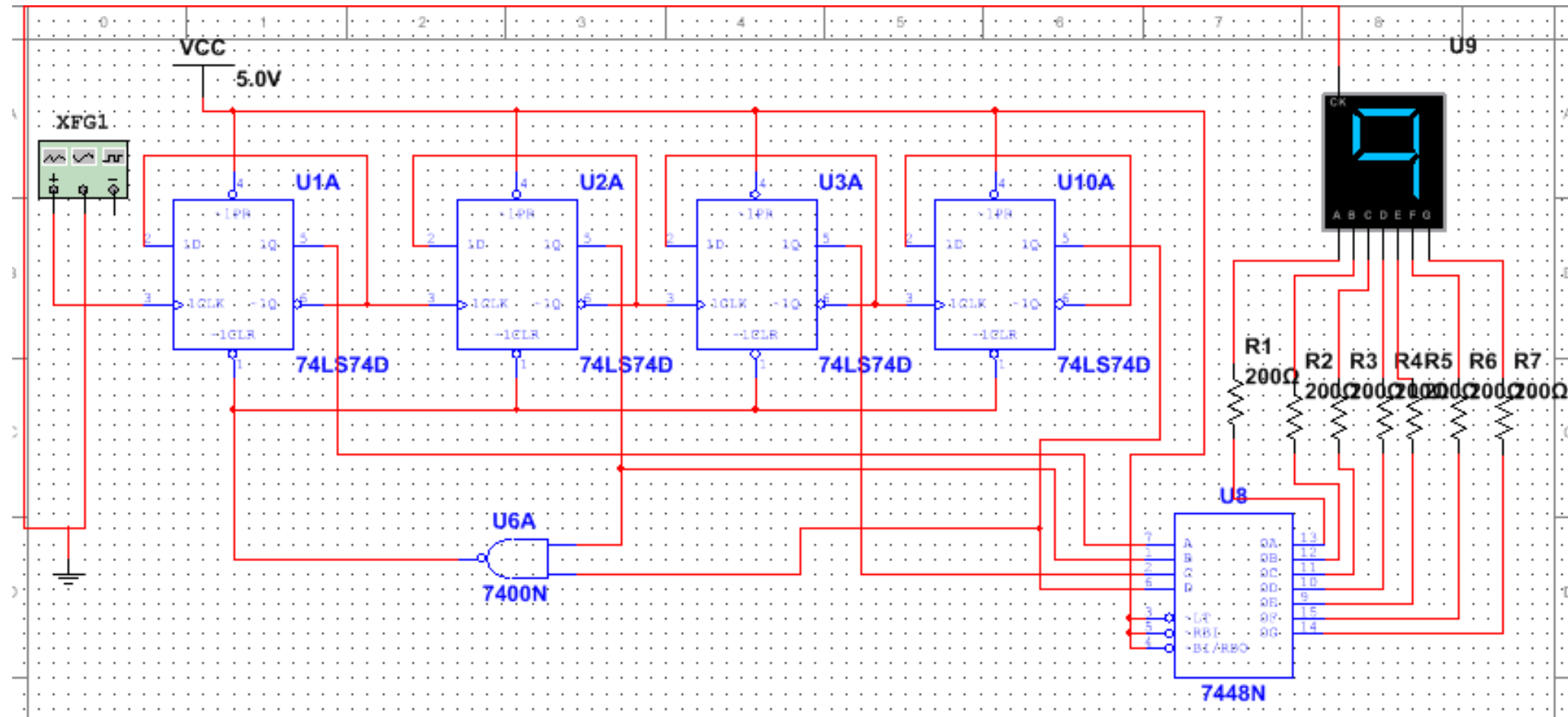
- 将一个触发器的输出作另一个触发器的时钟输入
- 触发器逐级翻转，有先有后
- 电路简单



Q_1 、 Q_2 、 Q_3 都是在 Q_0 、 Q_1 、 Q_2 的下降沿触发，由此确定高位的CP信号

3.使用触发器设计时序逻辑电路

- Multisim仿真结果-异步时钟

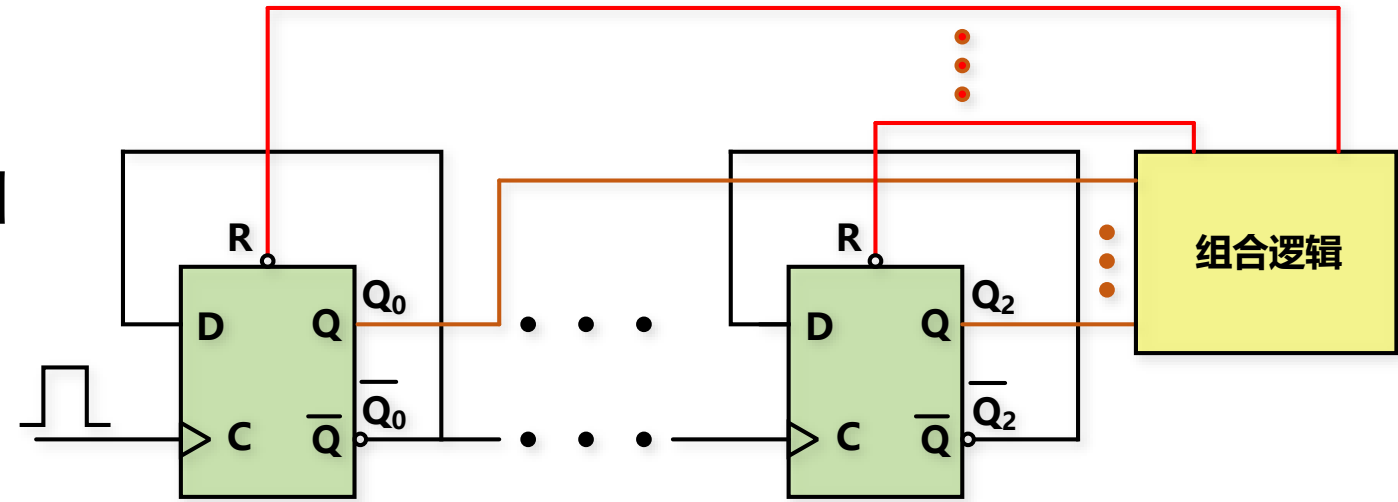


计数到10时清零

3.使用触发器设计时序逻辑电路

- 异步计数器缺点

- 随着级数增加，延迟也增加
- 易引起竞争和冒险



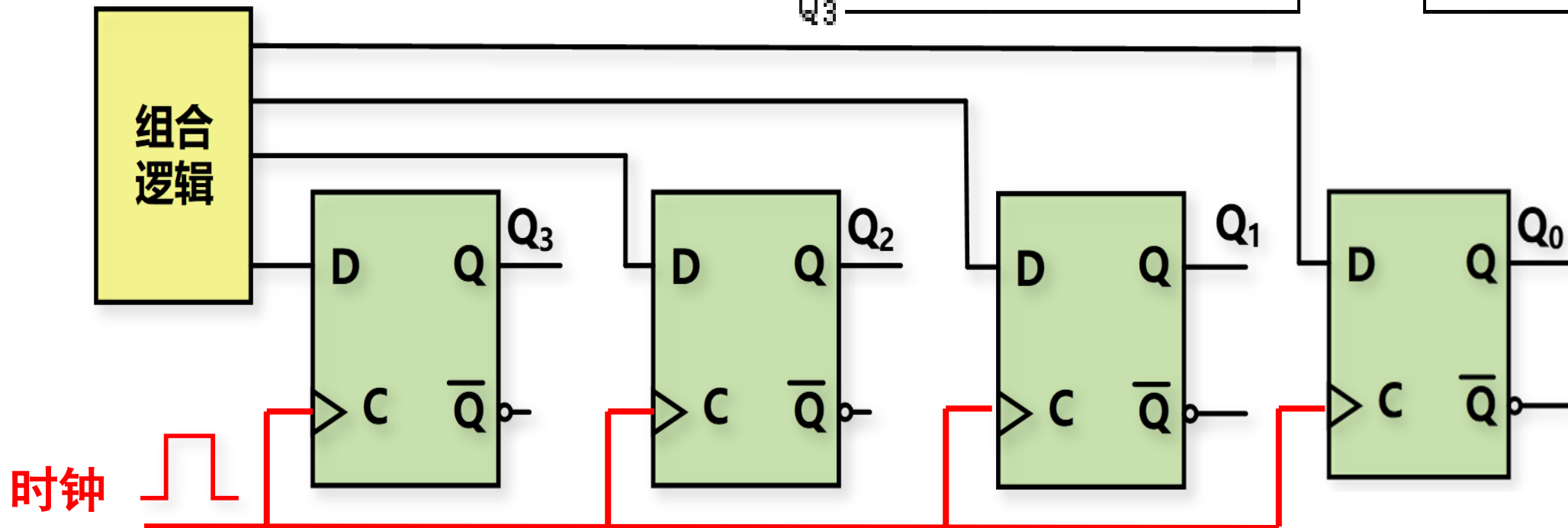
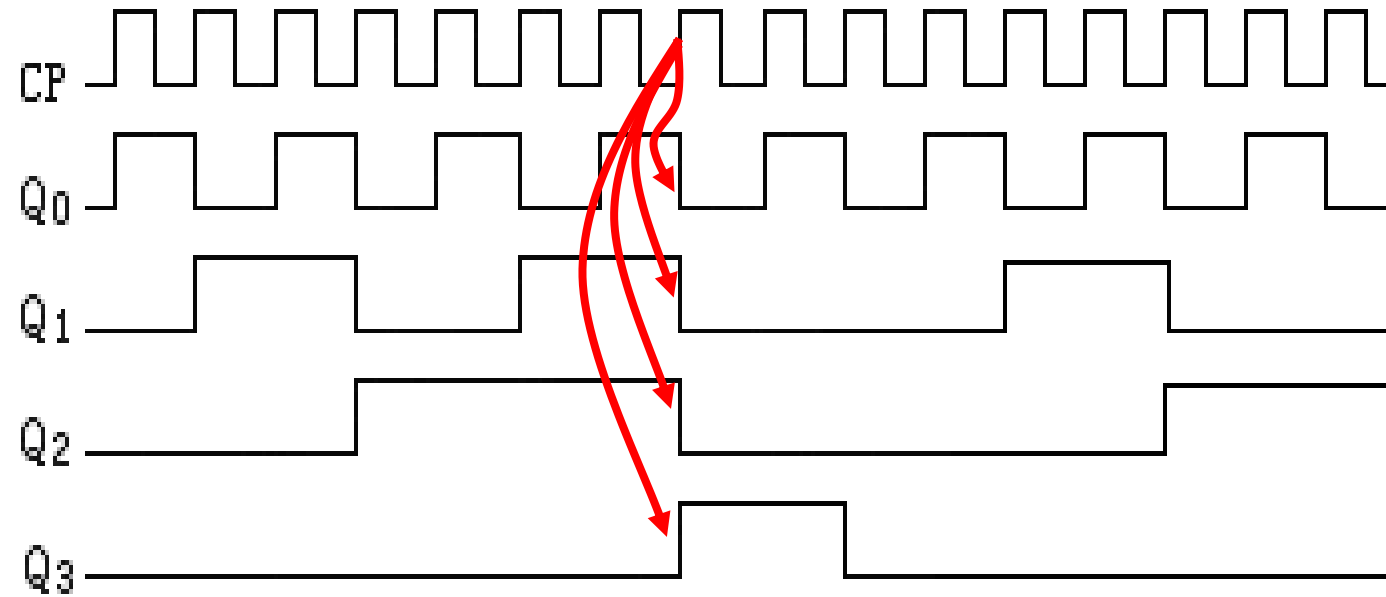
- 竞争和冒险对D触发器的影响

- 时钟、置数、清零端对“毛刺”敏感
- 数据端、使能端对“毛刺”不敏感
- 尽量将组合逻辑输出连到数据端或使能端，以避免误翻转

3.使用触发器设计时序逻辑电路

(2) 同步

- 所有触发器的时钟输入端连接在一起
- 所有触发器的状态同时改变



3.使用触发器设计时序逻辑电路

S1.列出状态真值表

现态				次态				激励信号			
Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	1	0	0	0	1
0	0	0	1	0	0	1	0	0	0	1	0
0	0	1	0	0	0	1	1	0	0	1	1
0	0	1	1	0	1	0	0	0	1	0	0
0	1	0	0	0	1	0	1	0	1	0	1
0	1	0	1	0	1	1	0	0	1	1	0
0	1	1	0	0	1	1	1	0	1	1	1
0	1	1	1	1	0	0	0	1	0	0	0
1	0	0	0	1	0	0	1	1	0	0	1
1	0	0	1	0	0	0	0	0	0	0	0

3.使用触发器设计时序逻辑电路

S2.求激励方程、输出方程

$$Q_0^{n+1} = D_0 = \overline{Q_0^n}$$

Truth Table for Q_1^{n+1} :

		$Q_1^n Q_0^n$			
		00	01	11	10
$Q_3^n Q_2^n$	00	0	1	0	1
	01	0	1	0	1
	11	0	0	0	0
	10	0	0	0	0

$$Q_1^{n+1} = D_1 = \overline{Q_3^n} \cdot Q_1^n \oplus Q_0^n$$

Truth Table for Q_2^{n+1} :

		$Q_1^n Q_0^n$			
		00	01	11	10
$Q_3^n Q_2^n$	00	0	0	1	0
	01	1	1	0	1
	11	0	0	0	0
	10	0	0	0	0

$$Q_2^{n+1} = D_2 = \overline{Q_3^n} \cdot (Q_2^n \oplus Q_1^n Q_0^n)$$

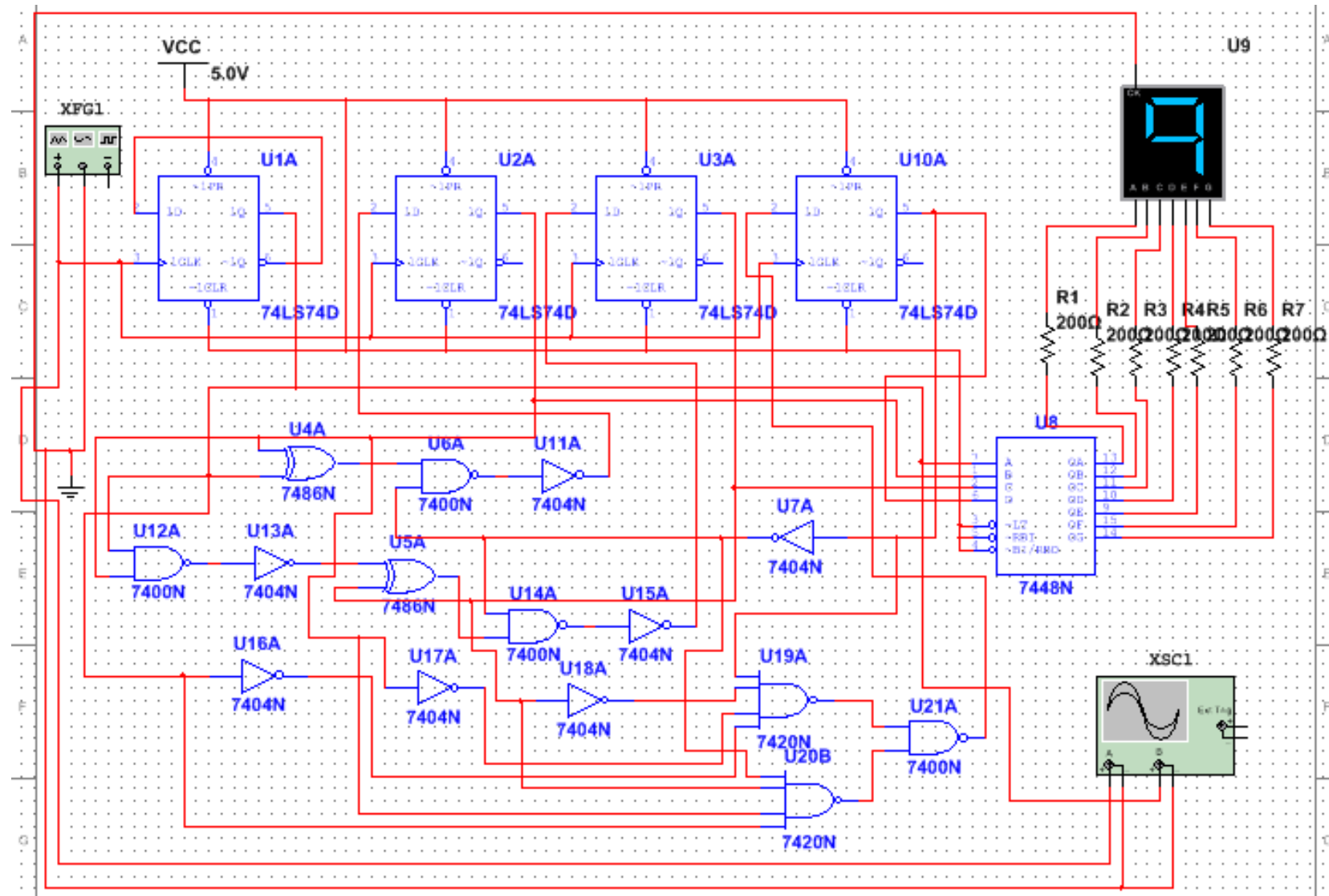
3.使用触发器设计时序逻辑电路

		$Q_1^n Q_0^n$			
		00	01	11	10
$Q_3^n Q_2^n$	00	0	0	0	0
	01	0	0	1	0
	11	0	0	0	0
	10	1	0	0	0

$$Q_3^{n+1} = D_3 = \overline{\overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n} \overline{Q_0^n}} \cdot \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n} \overline{Q_0^n}$$

3.使用触发器设计时序逻辑电路

S3.画出逻辑电路——Multisim仿真结果-同步时钟



(1) 用74LS74设计一个模八计数器（要求用**同步**方式实现）

- 所有触发器的时钟输入端连接在一起
- 所有触发器的状态同时改变
- 2^N 计数器各级触发器的特征方程

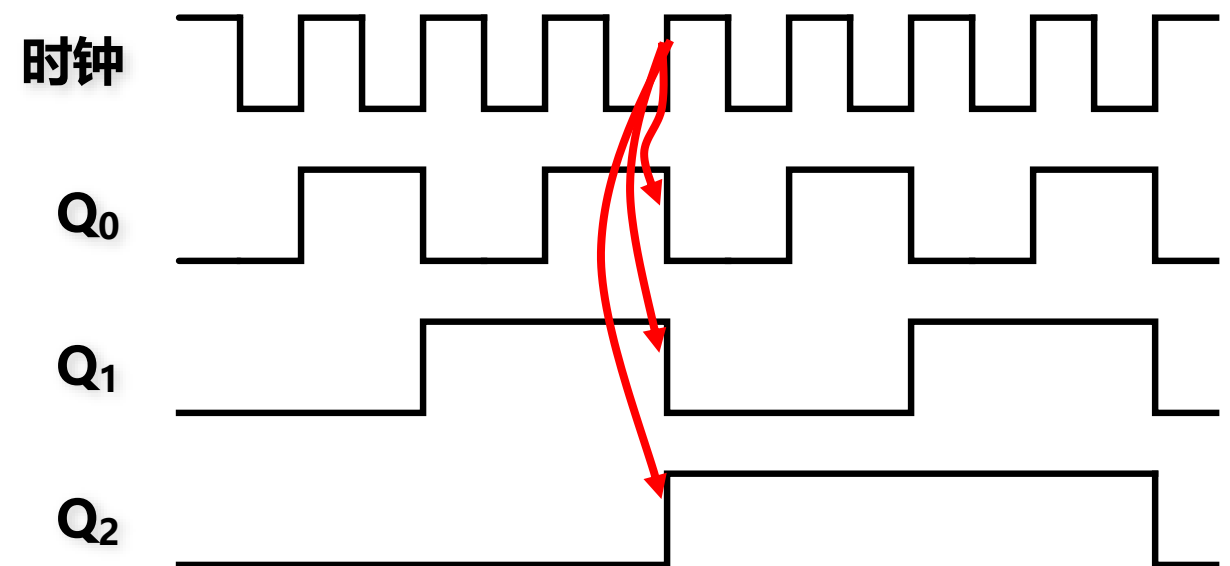
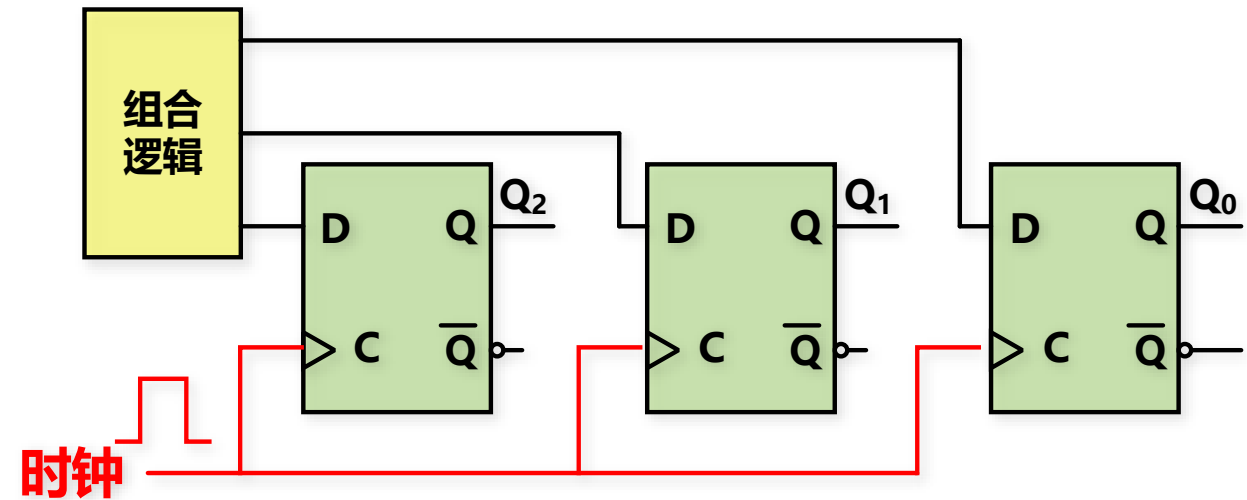
$$Q_i^{n+1} = Q_i^n \oplus (Q_{i-1}^n \cdot Q_{i-2}^n \cdots Q_1^n \cdot Q_0^n \cdot 1)$$

$$Q_0^{n+1} = Q_0^n \oplus 1 = \overline{Q_0^n}$$

$$Q_1^{n+1} = Q_1^n \oplus (Q_0^n \cdot 1) = Q_1^n \oplus Q_0^n$$

$$Q_2^{n+1} = Q_2^n \oplus (Q_1^n \cdot Q_0^n)$$

注意事项：为使工作可靠，不用的输入端应按逻辑功能要求接在高电平或低电平，不要悬空。



(2) 广告流水灯设计

- 共有8个灯，要求用74LS138及74LS74设计电路，始终使灯为1暗7亮，且这一暗灯循环右移。
- 搭试电路，将时钟脉冲接自单脉冲进行静态验证，观察每来一个脉冲暗灯的移动情况；
- 将时钟脉冲接自连续脉冲，调低频率观察暗灯的移动情况。

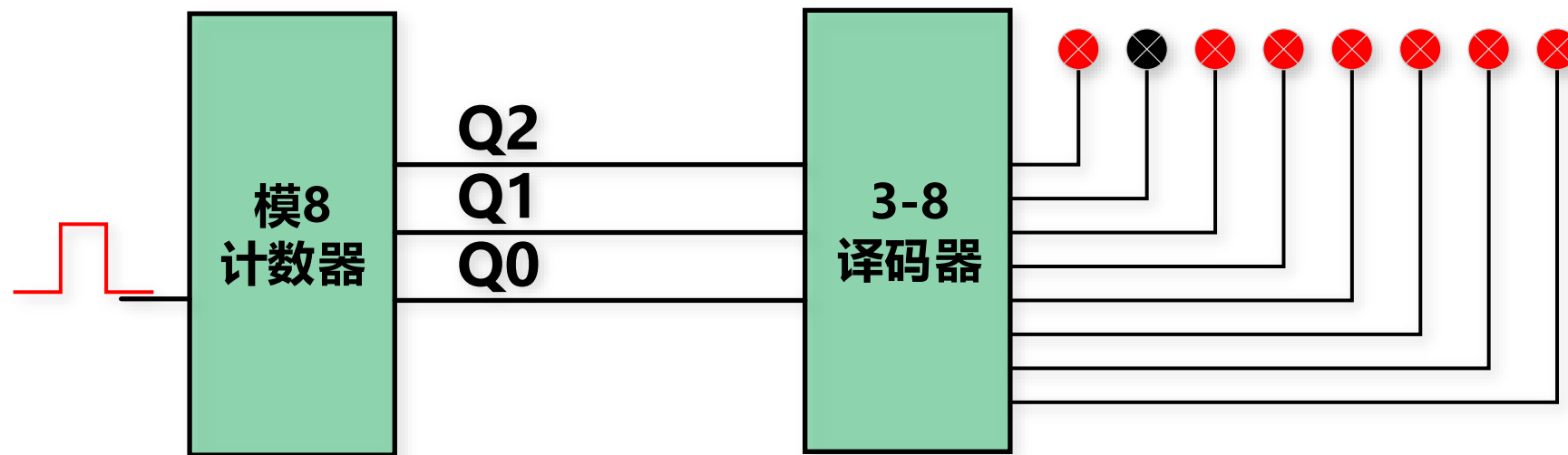
画波形



- 动态观察波形 时钟脉冲接自连续脉冲，用示波器观察且记录CP及各触发器输出端 Q_0 、 Q_1 、 Q_2 的波形

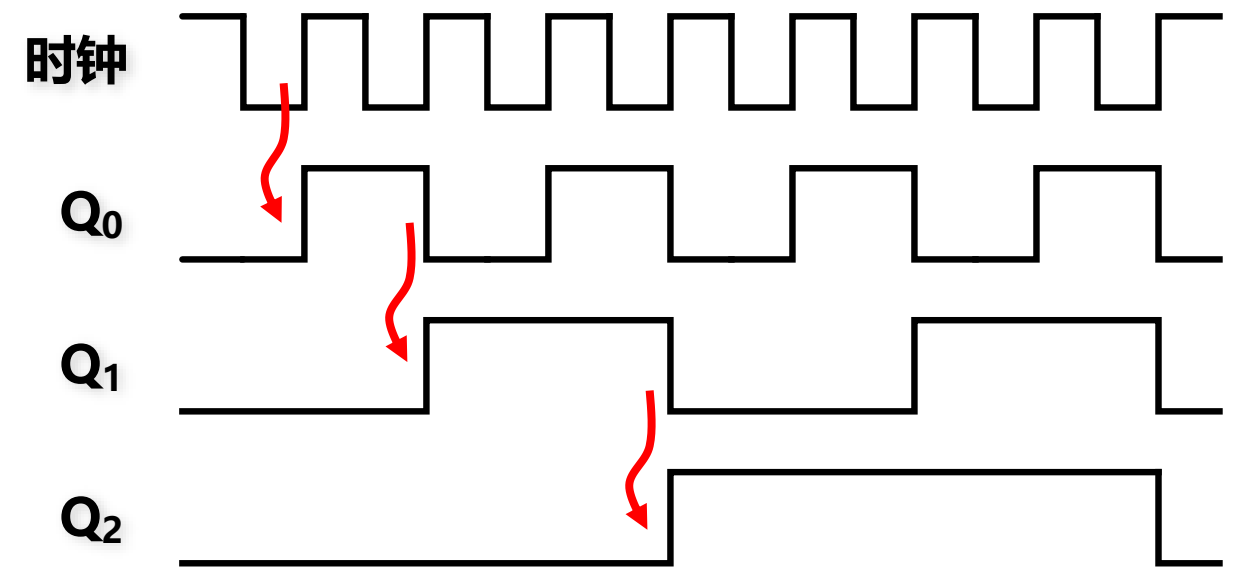
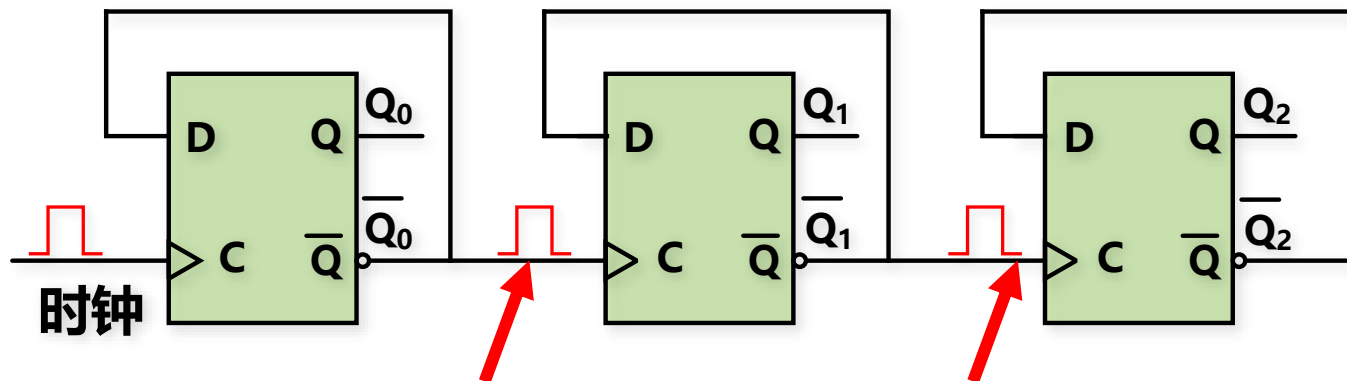
● 设计提示

- 流水灯有8个状态，需要3个触发器构成模8计数器
- 模8计数器可以是同步计数器，也可以是异步串行计数器
- 3位二进制计数值转8位输出，可通过3-8译码器实现



① 用D触发器设计异步计数器

- 将一个触发器的输出作另一个触发器的时钟输入
- 触发器逐级翻转，有先有后
- 电路简单



② 用D触发器设计同步计数器

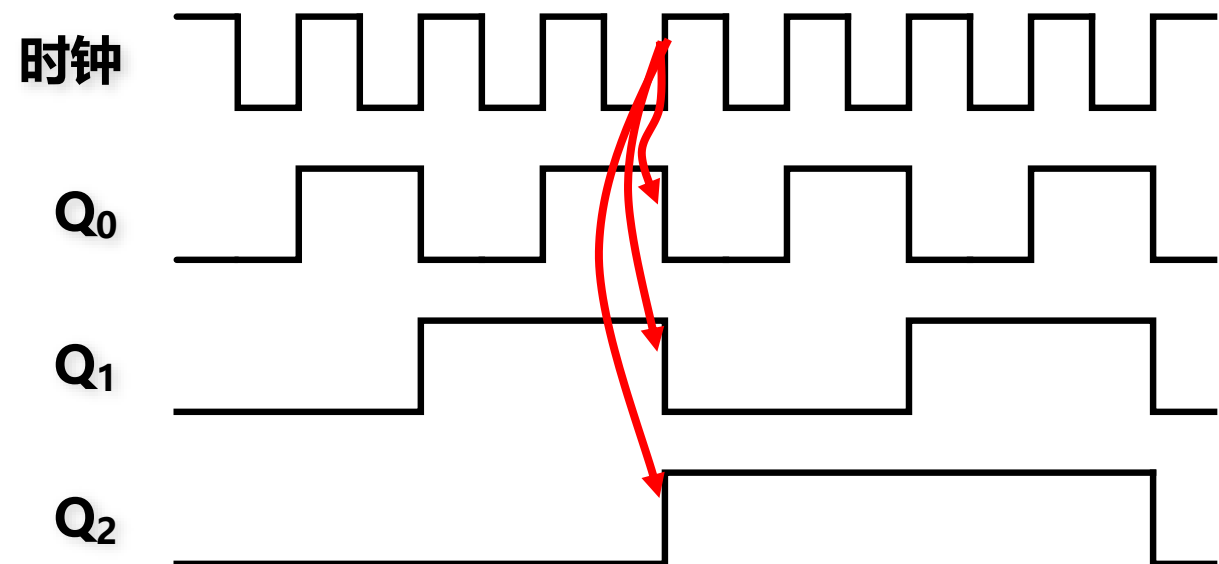
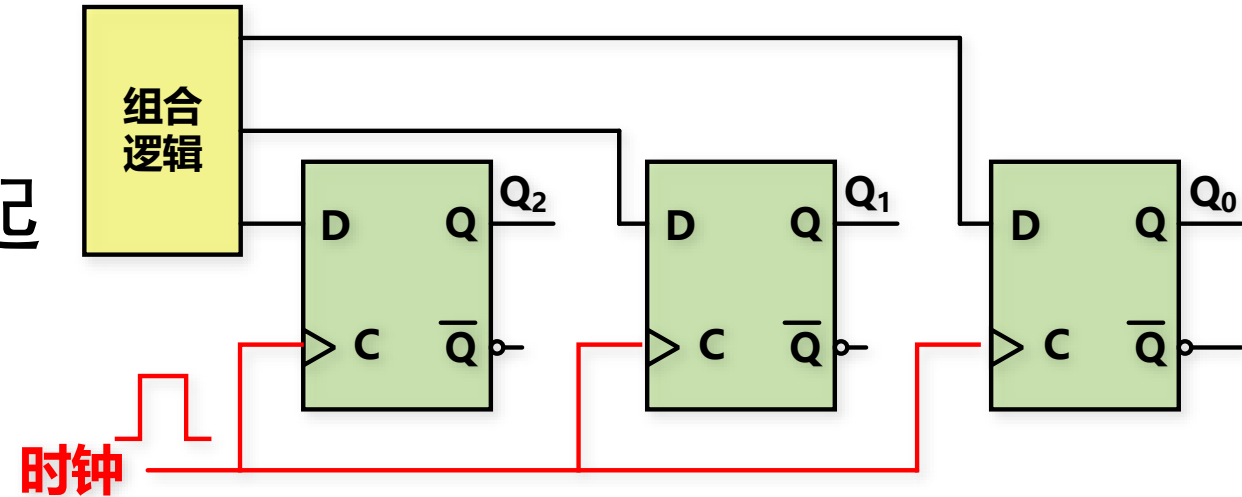
- 所有触发器的时钟输入端连接在一起
- 所有触发器的状态同时改变
- 2^N 计数器各级触发器的特征方程

$$Q_i^{n+1} = Q_i^n \oplus (Q_{i-1}^n \cdot Q_{i-2}^n \cdots Q_1^n \cdot Q_0^n \cdot 1)$$

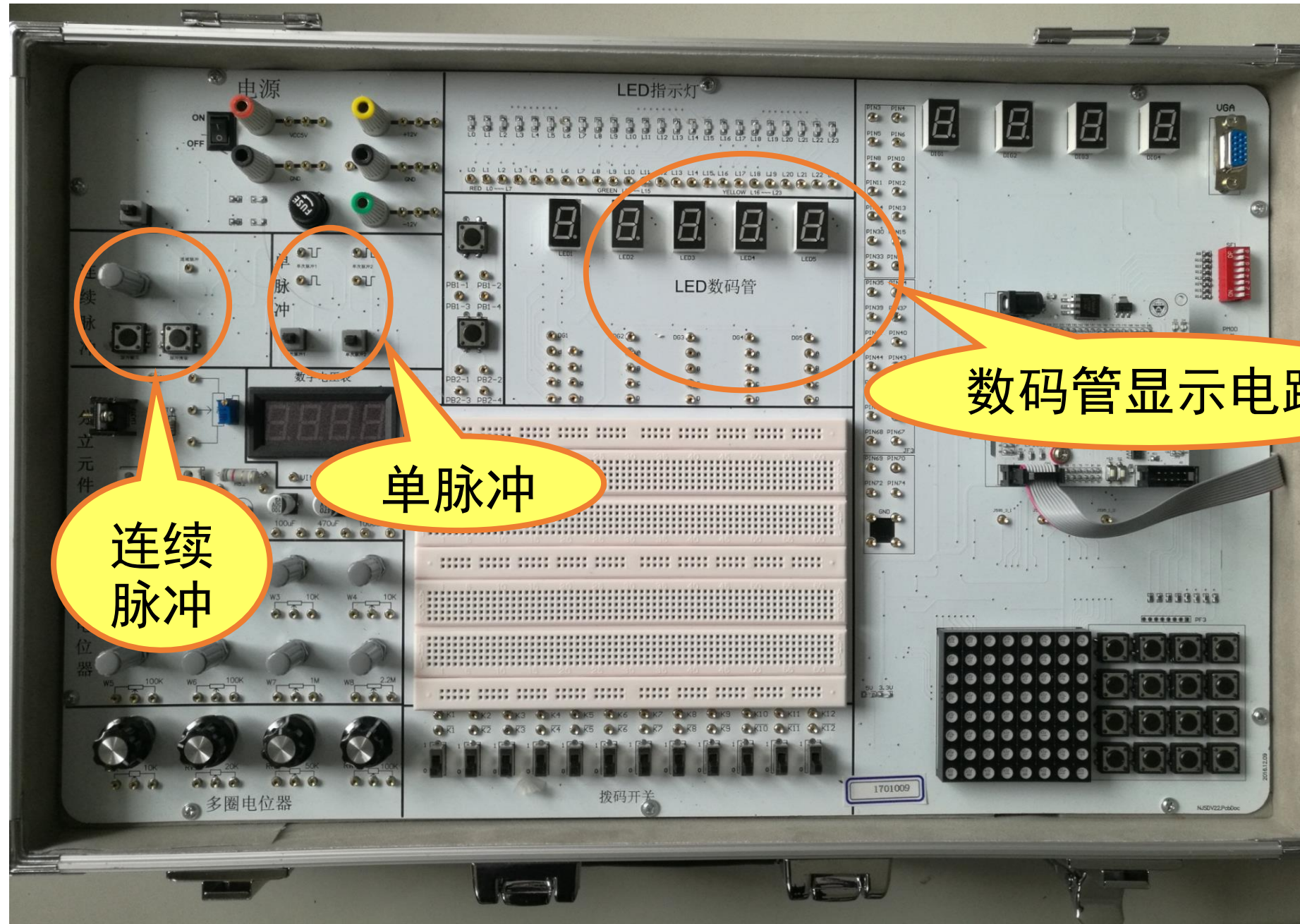
$$Q_0^{n+1} = Q_0^n \oplus 1 = \overline{Q_0^n}$$

$$Q_1^{n+1} = Q_1^n \oplus (Q_0^n \cdot 1) = Q_1^n \oplus Q_0^n$$

$$Q_2^{n+1} = Q_2^n \oplus (Q_1^n \cdot Q_0^n)$$



4.电子技术/ISP综合实验箱平面图



5.时序逻辑电路调试

➤ 调试之前，要了解电路中所有的器件功能

- 使能端、清零端、置位端的使能电平是什么
- 时钟端是上升沿触发还是下降沿触发
- 电路的初始状态是什么
- 自启动特性如何
- 大致画出各部分电路的状态转移图和时序关系图

➤ 常用的时序电路的调试方法主要有两种

- 静态(单步)调试
- 动态调试

5.时序逻辑电路调试

◆静态调试——广告流水灯

▶ 先模块，后整体

▶ 计数器单元

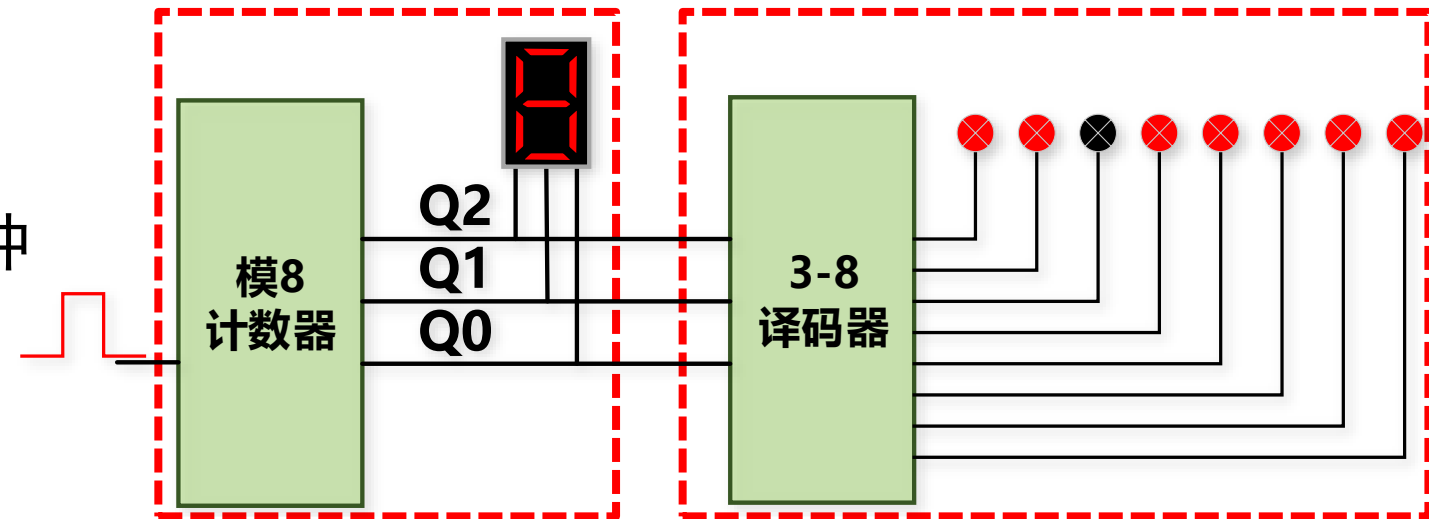
- 触发器输出接至数码管上
- 触发器时钟接消抖处理过的单次脉冲
- 按动单脉冲按钮，验证计数器功能

▶ 译码器单元

- 使能端 $ST_A ST_B ST_C$ 要接“100”
- 地址端接逻辑电平开关
- 拨动逻辑电平开关，验证译码器功能

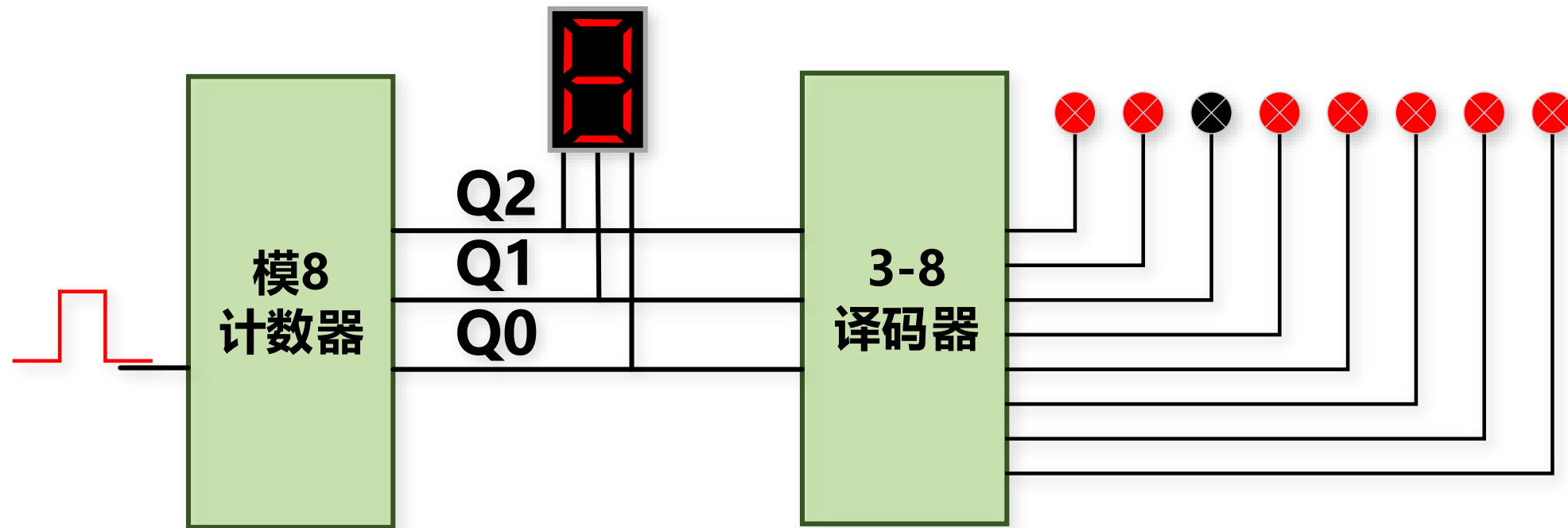
▶ 整体调试

- 将触发器的输出接到译码器的地址端，注意高低位的顺序
- 按动单脉冲按钮，验证流水灯功能



5.时序逻辑电路调试

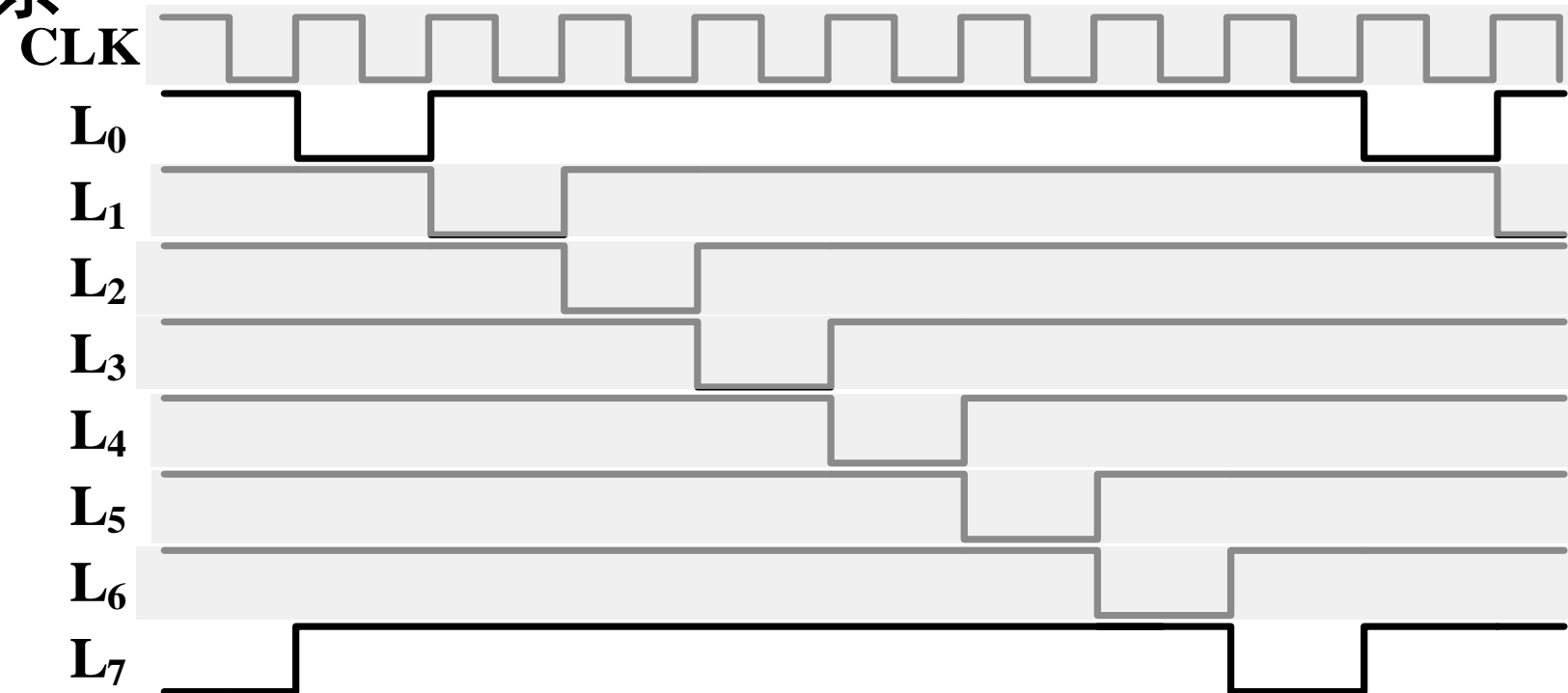
- ▶ 如电路存在故障，则按动单脉冲按钮到故障状态
- ▶ 用组合电路的调试方法，逐级进行检查，找出故障点
- ▶ 注意集成触发器、译码器的使能端、清零端、置位端



5.时序逻辑电路调试

◆动态调试——广告流水灯

- ▶ 触发器时钟接连续脉冲信号
- ▶ 时钟和 L_0 分别CH1和CH2通道，记录波形
- ▶ L_0 作为参考信号接CH1通道， L_1 接CH2通道，记录 L_0 和 L_1 波形
- ▶ L_0 接CH1通道不变，依次将 L_2 到 L_7 接CH2通道，记录波形
- ▶ 汇总波形，记录到同一坐标系



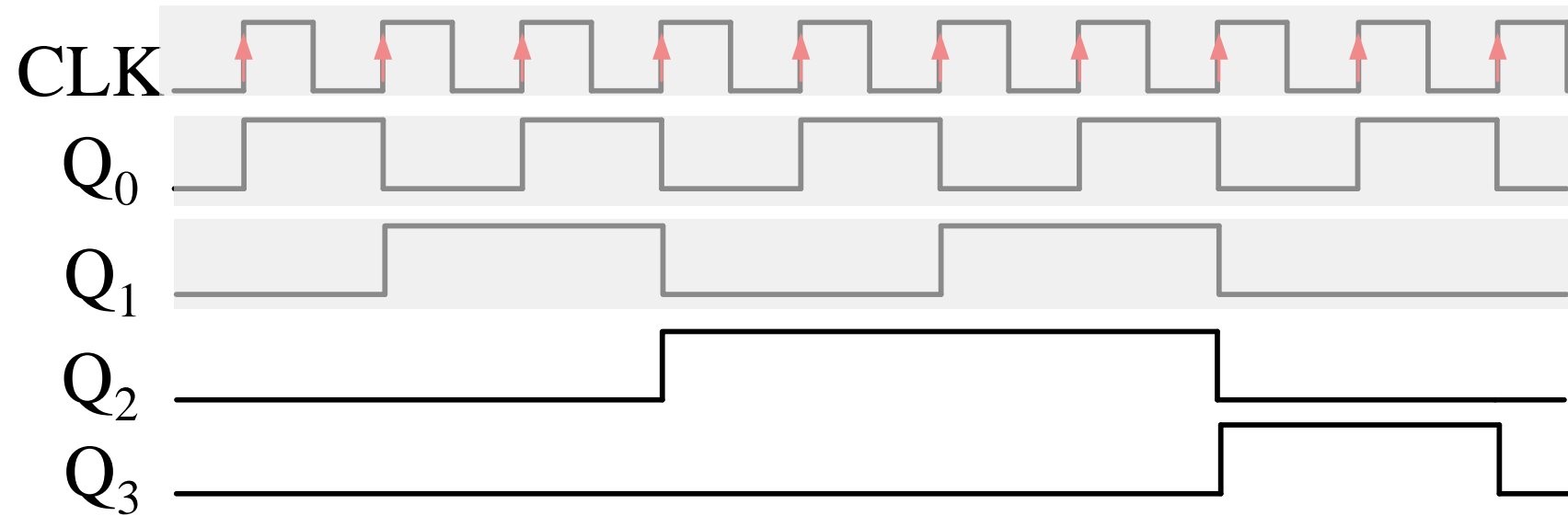
6.时序逻辑电路调试

➤ 动态验证:

- 模10

输入: 连续脉冲或信号源信号

输出: 示波器观察波形



每10个时钟周期变化一个周期

- ◆实验目的与任务
- ◆相关知识点
- ◆**实验内容**
- ◆预习要求

(1) 用74LS74设计一个模八计数器（要求用同步方式实现）

- 所有触发器的时钟输入端连接在一起
- 所有触发器的状态同时改变
- 2^N 计数器各级触发器的特征方程

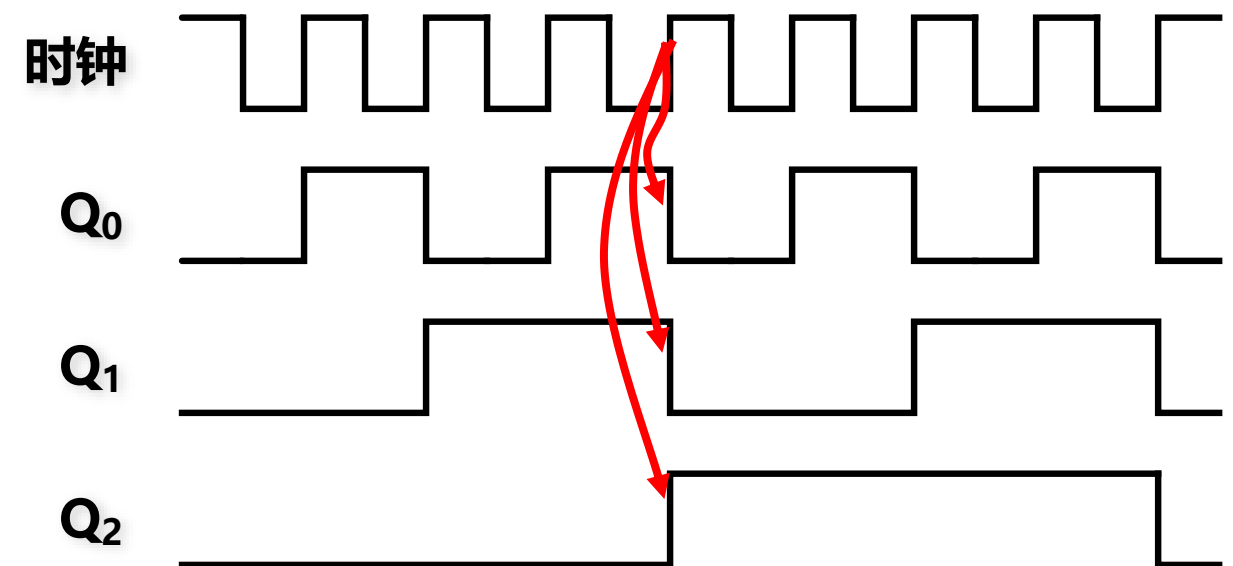
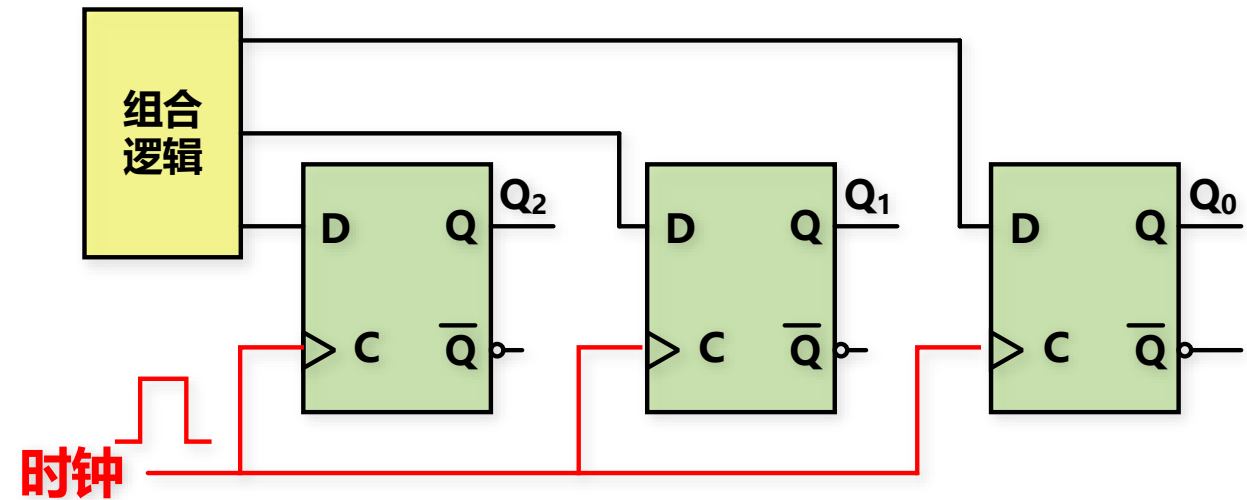
$$Q_i^{n+1} = Q_i^n \oplus (Q_{i-1}^n \cdot Q_{i-2}^n \cdots Q_1^n \cdot Q_0^n \cdot 1)$$

$$Q_0^{n+1} = Q_0^n \oplus 1 = \overline{Q_0^n}$$

$$Q_1^{n+1} = Q_1^n \oplus (Q_0^n \cdot 1) = Q_1^n \oplus Q_0^n$$

$$Q_2^{n+1} = Q_2^n \oplus (Q_1^n \cdot Q_0^n)$$

注意事项：为使工作可靠，不用的输入端应按逻辑功能要求接在高电平或低电平，不要悬空。



(2) 广告流水灯设计

- 共有8个灯，要求用74LS138及74LS74设计电路，始终使灯为1暗7亮，且这一暗灯循环右移。
- 搭试电路，将时钟脉冲接自单脉冲进行静态验证，观察每来一个脉冲暗灯的移动情况；
- 将时钟脉冲接自连续脉冲，调低频率观察暗灯的移动情况。

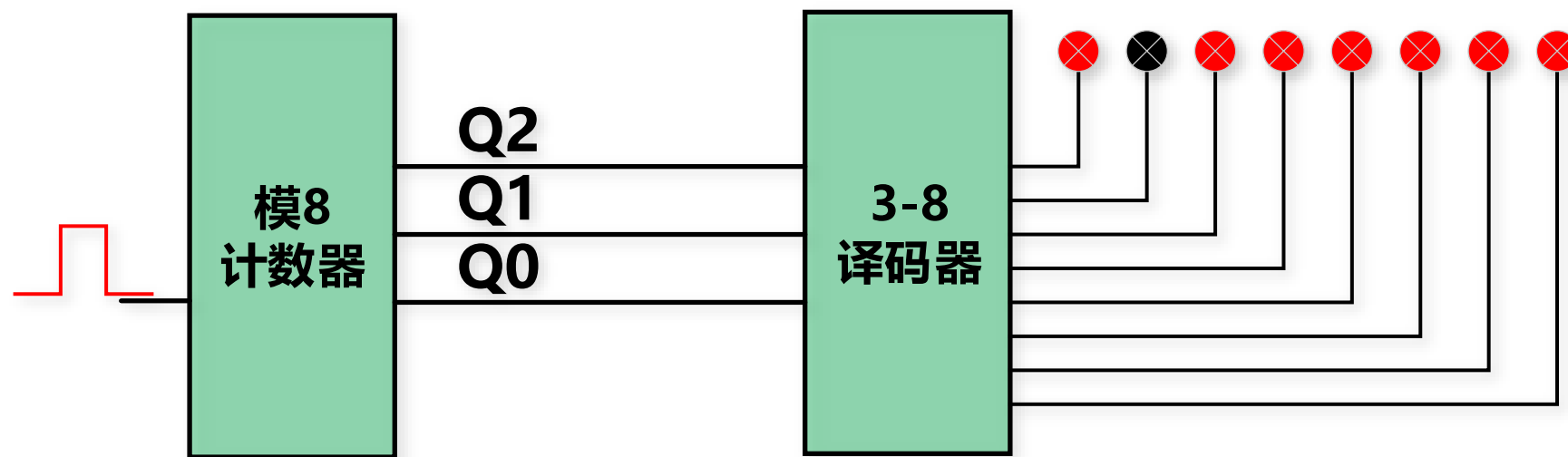
画波形



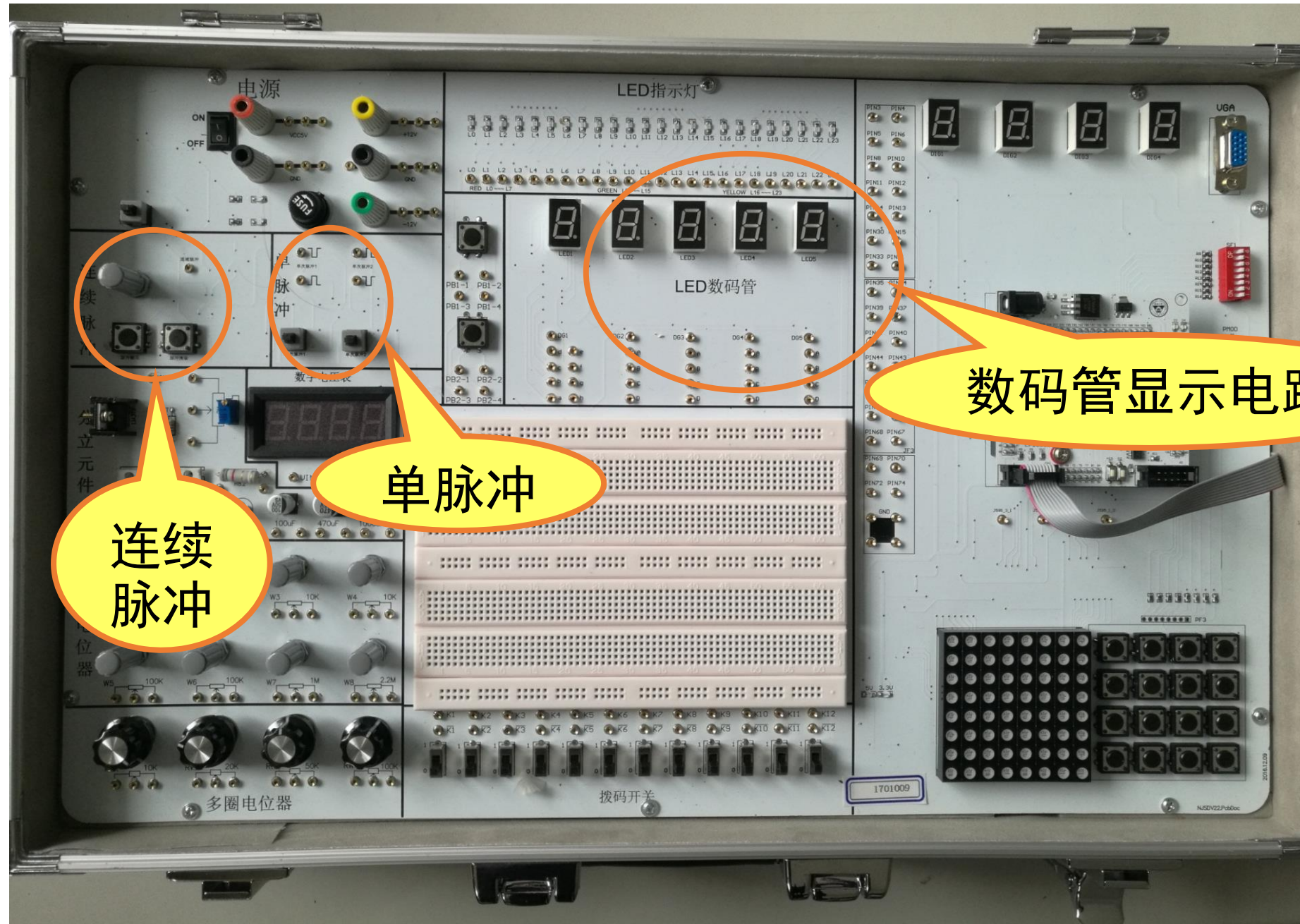
- 动态观察波形 时钟脉冲接自连续脉冲，用示波器观察且记录CP及各触发器输出端 Q_0 、 Q_1 、 Q_2 的波形

● 设计提示

- 流水灯有8个状态，需要3个触发器构成模8计数器
- 模8计数器可以是同步计数器，也可以是异步串行计数器
- 3位二进制计数值转8位输出，可通过3-8译码器实现



4.电子技术/ISP综合实验箱平面图



实验内容



时钟



Q_2



实验目的，实验任务，**实验过程**（设计参数、实验电路图、实验数据及波形、结果分析），实验思考题，实验小结（讨论实验中出现的問題和解决方法、心得體會等）

数电实验过程：逻辑功能——逻辑抽象（输入、输出及其相关含义）——真值表——逻辑化简（根据卡诺图化简或变换为与器件相符的表达式）——逻辑电路图——功能测试结果表或图——结果分析

实验目的，实验任务，**实验过程**（设计参数、实验电路图、实验数据及波形、结果分析），实验思考题，实验小结
（讨论实验中出现的問題和解决方法、心得體會等）

数电实验过程：设计方案——逻辑电路图——功能测试结果表或图——结果分析

实验报告



- ◆报告提交形式： **电子报告**
- ◆报告提交时间： 在每次实验课前完成上一次课的实验报告， 具体时间参照《教学计划》
- ◆报告提交地址： <http://seu.olab.top>
- ◆下载实验报告模板， 在本地编辑后再以**pdf**格式上传

下次实验预习要求



◆参考教学计划

- 用74LS161完成简易数字钟的“分”或“时”即“模60”或“模24”的电路原理图设计
- 用74LS161完成序列发生器“01011”的电路原理图设计
- 完成电路的硬件搭接



THANK YOU!