



简易数字钟、 序列发生器电路设计

汤雪娇 tangxuejiao@seu.edu.cn

◀◆实验目的与任务

◀◆相关知识点

◀◆实验内容

◀◆预习要求

实验目的与任务



- 1. 时序逻辑电路的设计 and 调试方法
- 2. 集成计数器等中规模集成时序逻辑电路的使用方法

(1) 设计简易数字钟

- 基本要求：设已有周期为1min和周期为1h的时钟脉冲，要求用**74LS161**设计数字钟的“分”（0~59）或“时”（0~23）的计时电路，搭接电路静态验证，动态观察，**记录波形**
- 提高要求：将“时”、“分”计时电路级联起来构成一个具有时和分（23小时59分）显示的简易数字钟，搭接电路静态验证

(2) 序列发生器

- 用**74LS161**计数器设计一个01011序列信号发生器，搭接电路静态验证，动态观察，**记录波形**

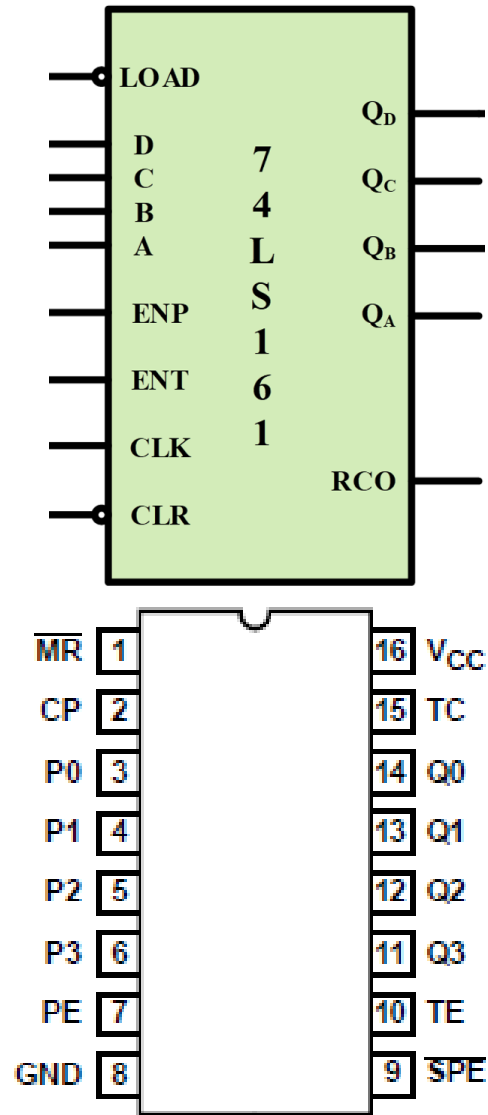
◀◆实验目的与任务

◀◆相关知识**点**

◀◆实验内容

◀◆预习要求

1. 4位二进制计数器 74161



输 入									输 出			
CLR	LOAD	ENT	ENP	CLK	A	B	C	D	Q _A	Q _B	Q _C	Q _D
0	×	×	×	×	×	×	×	×	0	0	0	0
1	0	×	×	↑	a	b	c	d	a	b	c	d
1	1	1	1	↑	×	×	×	×	计 数			
1	1	0	×	×	×	×	×	×	保 持			
1	1	×	0	×	×	×	×	×	保 持			

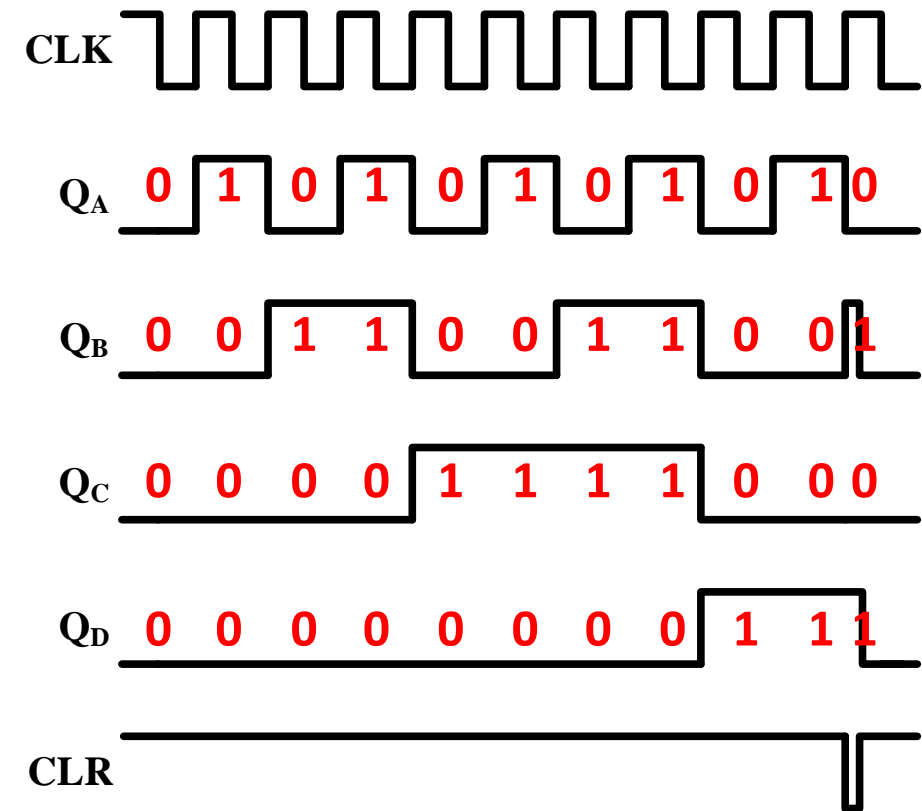
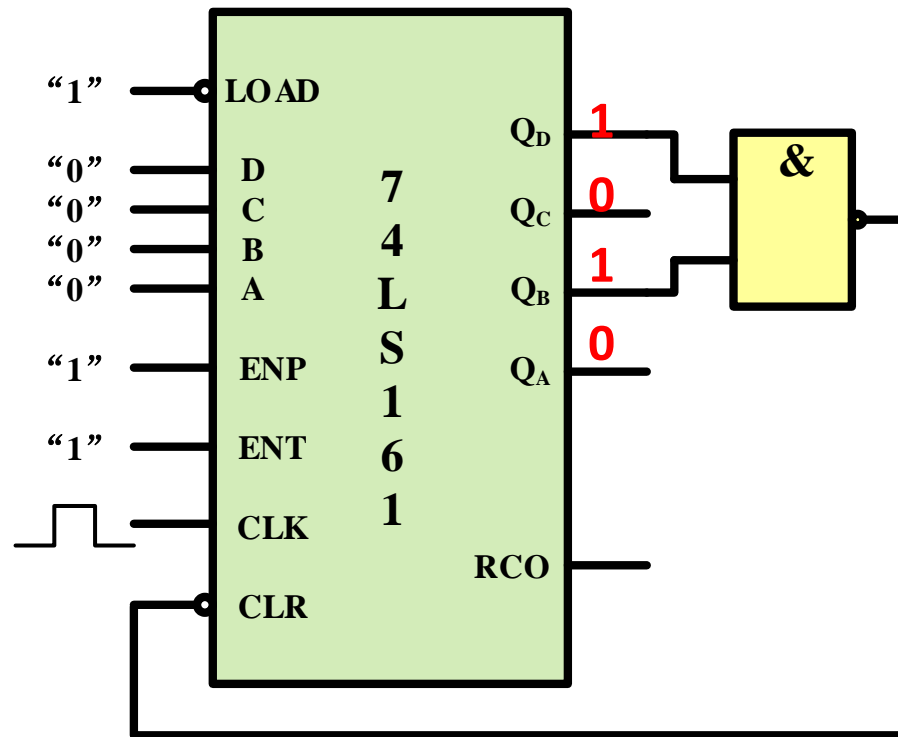
- CLR=0时异步清零；
- CLR=1、LOAD=0时同步置数；
- CLR=LOAD=1且ENT=ENP=1时，按照4位二进制码进行同步计数；
- CLR=LOAD=1且ENT ENP=0时，计数器状态保持不变。

1. 4位二进制计数器 74161

应用

(1) 异步清零计数器

模10

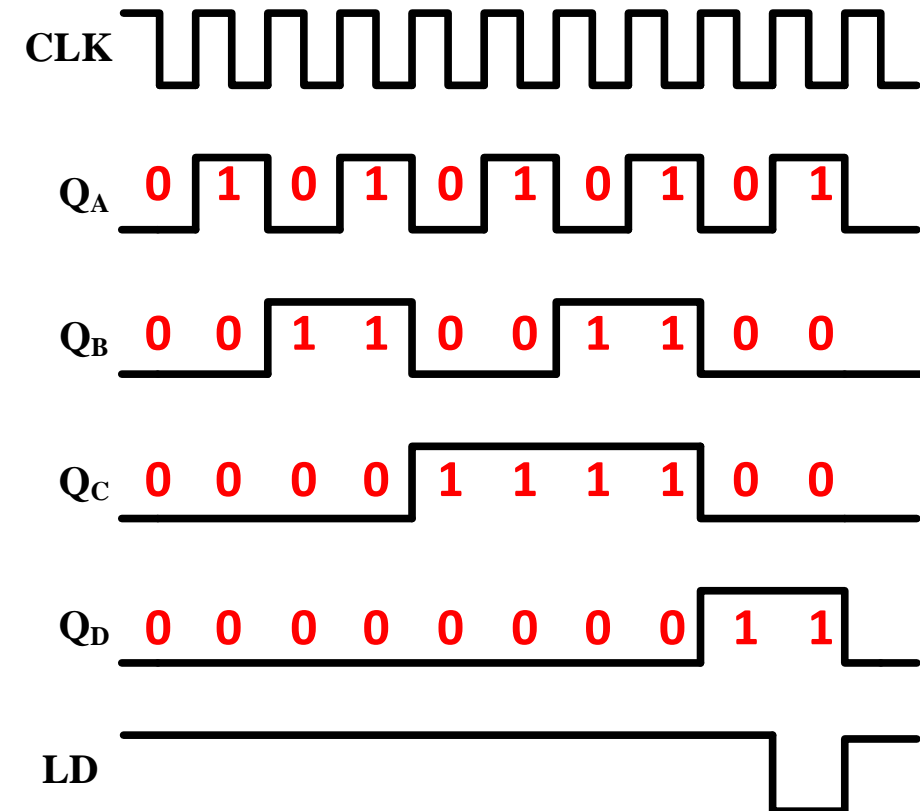
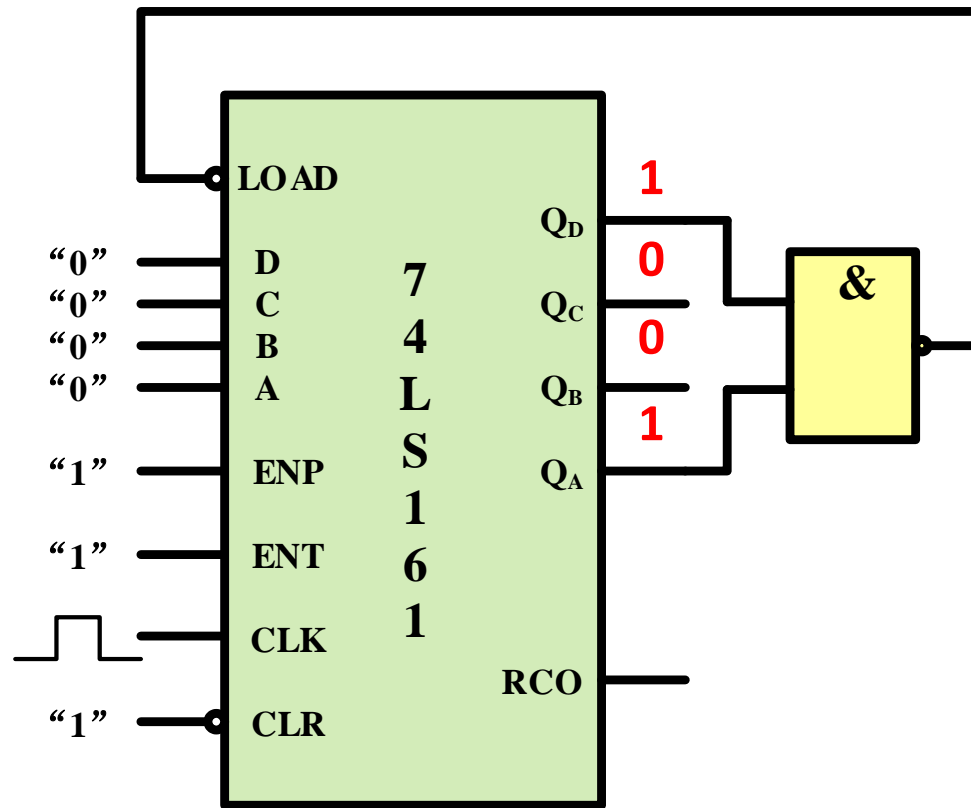


1. 4位二进制计数器 74161

◆应用

(2)同步置数计数器

模10



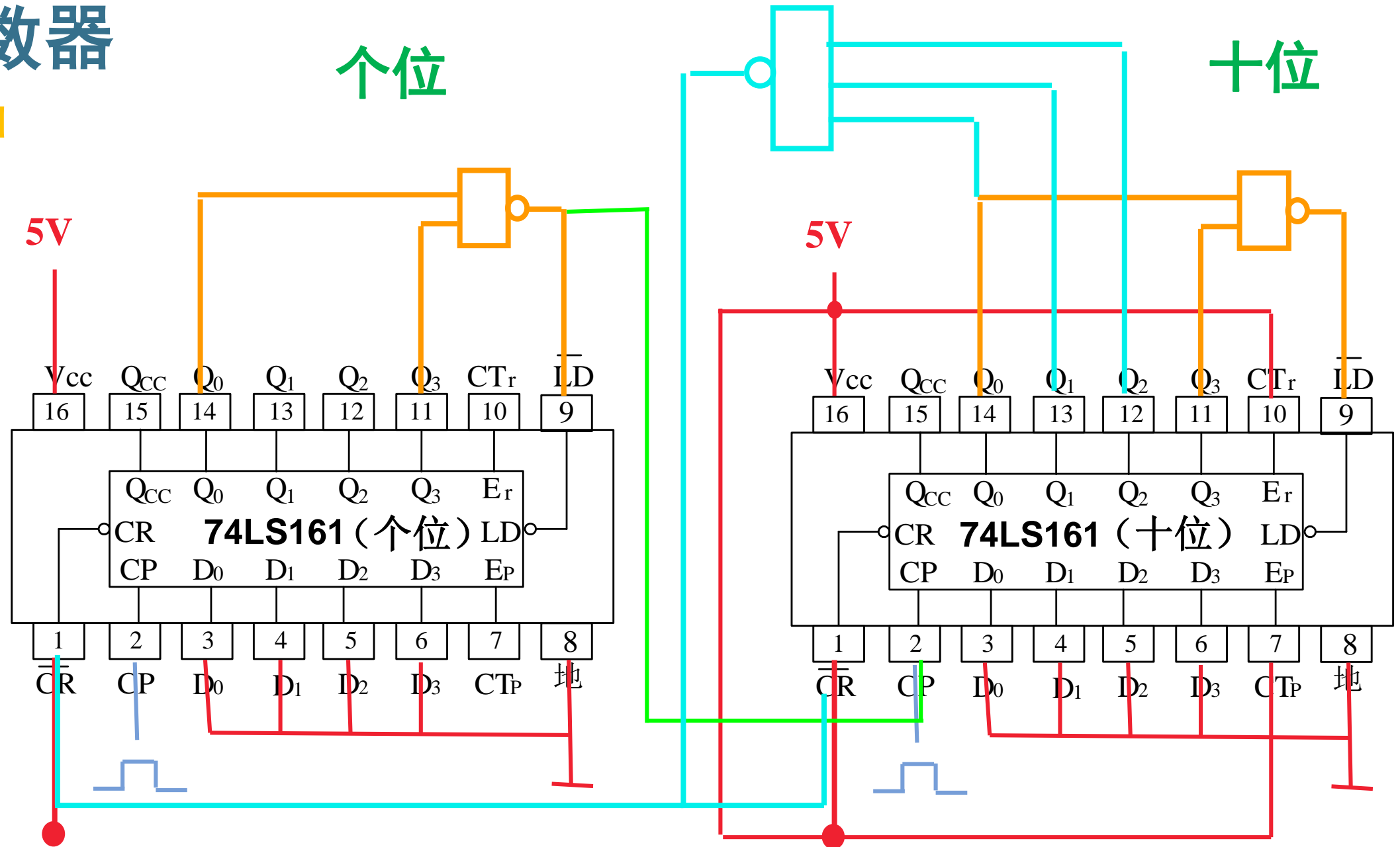
同步置数方式:



1. 4位二进制计数器 74161

◆模70计数器 异步时钟

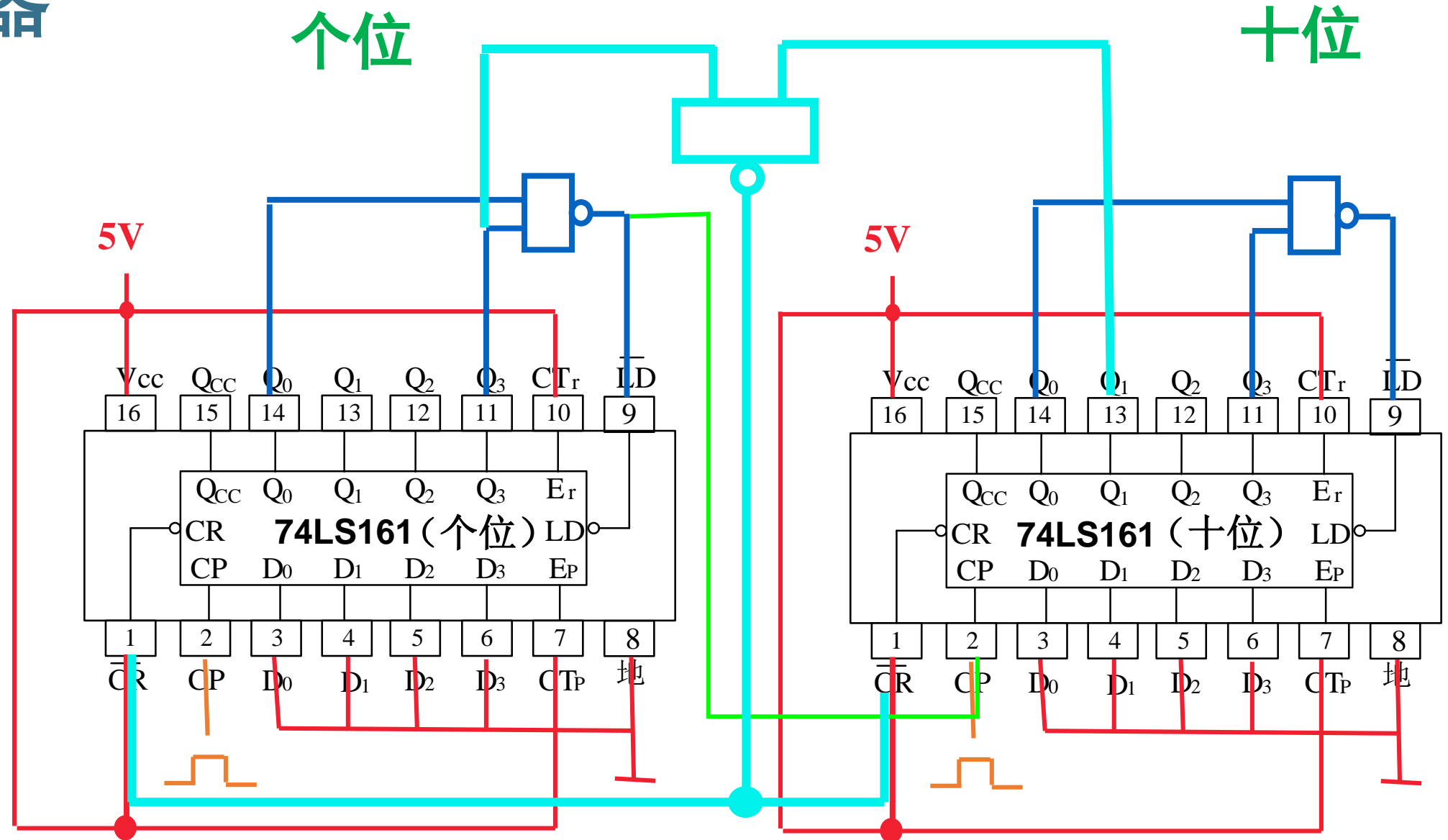
同步置数
异步清零



1. 4位二进制计数器 74161

◆模28计数器 异步时钟

同步置数
异步清零



使用PE/TE控制高位信号的启停，再使用同步置数的方式完成清零。



使用PE/TE控制高位信号的启停，再使用同步置数的方式完成清零。



2.序列发生器

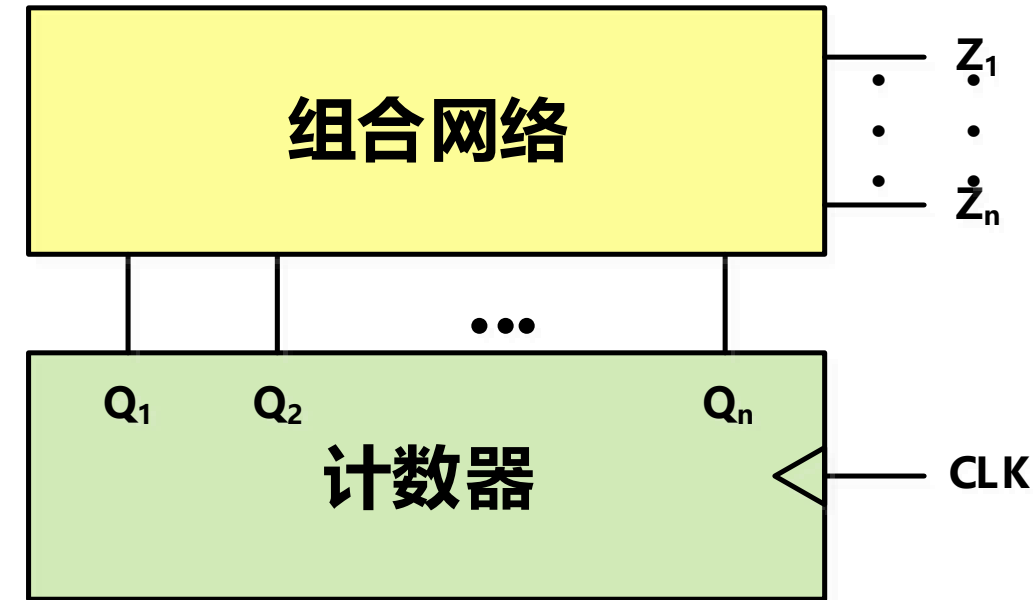


- 在数字信号的传输和数字系统的测试中，有时需要用到一组特定的**串行**数字信号，通常把这种串行数字信号叫做序列信号
- 能够循环地产生序列信号的电路称为**序列信号发生器**

实现 “01011”序列发生器

2. 序列发生器

- 由计数器和组合网络构成
- 某些特定的序列也可以直接由计数器产生
- 可以产生一组或多组二值序列
- 常用的设计方法：
 - 根据序列码的长度 M 设计模 M 计数器（状态可以自定）
 - 根据计数器的状态变化和给定的序列码，设计输出组合网络



2.序列发生器

➤ 设计

● 计数器部分

实现 “01011”序列发生器

- 模5的计数器
- 排除了冗余状态影响，不需要考虑自启动问题

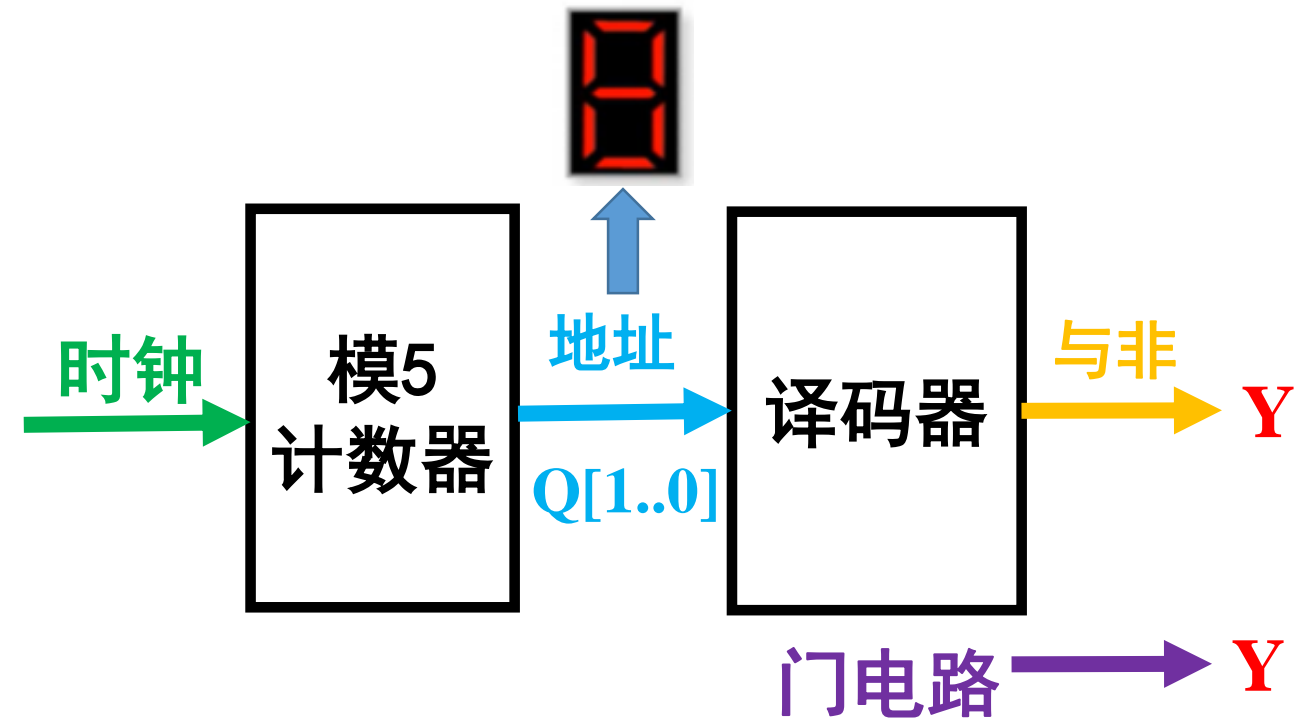
顺序	Q_C	Q_B	Q_A	Y
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	1

2.序列发生器

● 组合网络部分

- 3-8译码器——将状态表中**所有Y=1的项取出来与非**
- 门电路——列卡诺图化简

顺序	Q_C	Q_B	Q_A	Y
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	1

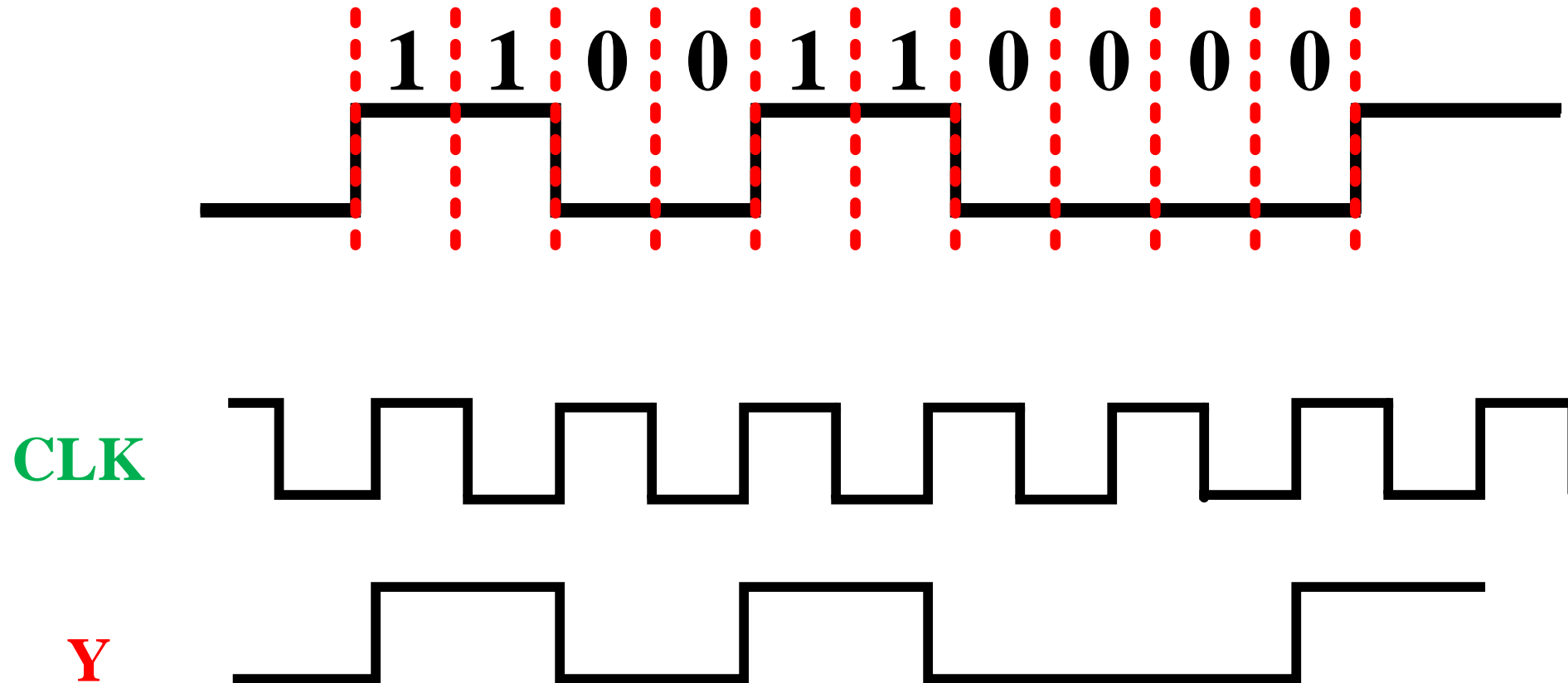


2. 序列发生器



➤ 调试（动态）

- 测量的时候一定要用双踪显示



- ◀ 实验目的与任务
- ◀ 相关知识点
- ◀ 实验内容
- ◀ 预习要求

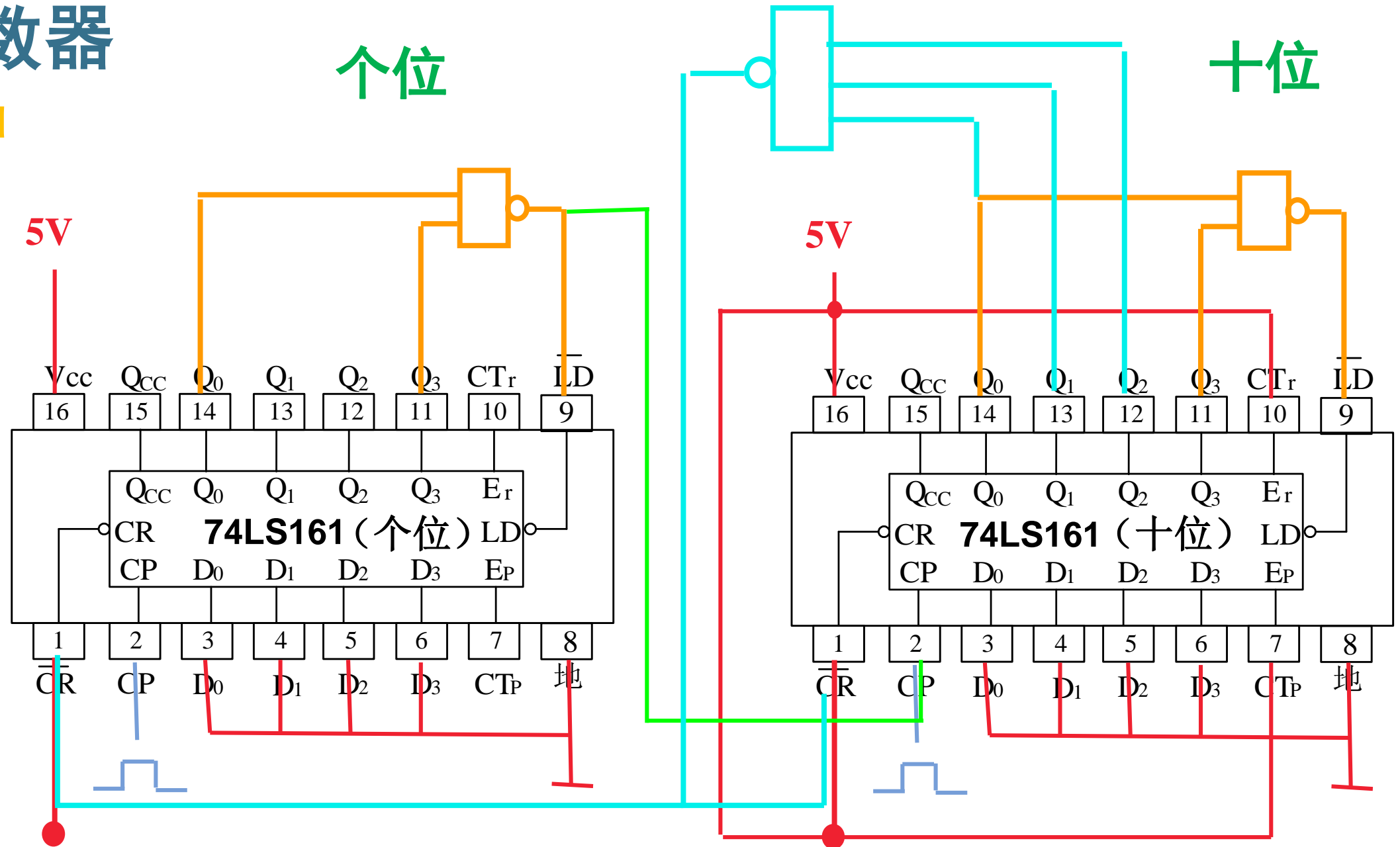
(1) 设计简易数字钟

- **基本要求**：设已有周期为1min和周期为1h的时钟脉冲，要求用74LS161设计数字钟的“分”（0~59）**或**“时”（0~23）的计时电路
 - 1) 搭试电路进行静态验证；
 - 2) 动态观察且**记录**“分”或“时”计时电路中的时钟脉冲及计数器各输出端的波形。
- **提高要求**：将“时”、“分”计时电路**级联**起来构成一个具有时和分（23小时59分）显示的简易数字钟，搭接电路并进行**静态验证**

1. 4位二进制计数器 74161

◆模70计数器 异步时钟

同步置数
异步清零



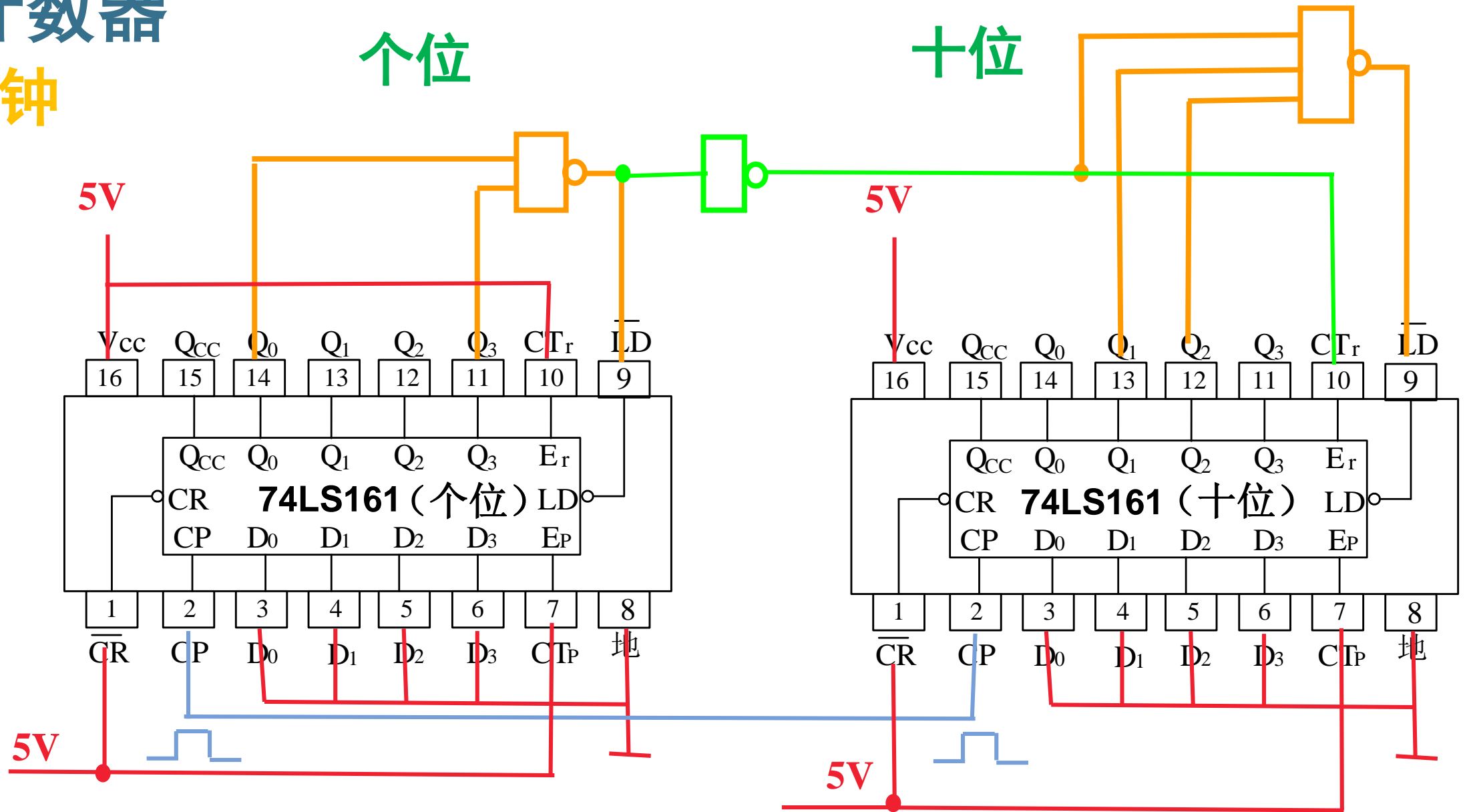
同步置数
异步清零



1. 4位二进制计数器 74161

◆模70计数器 同步时钟

使用PE/TE
控制高位信
号的启停，
再使用同步
置数的方式
完成清零。

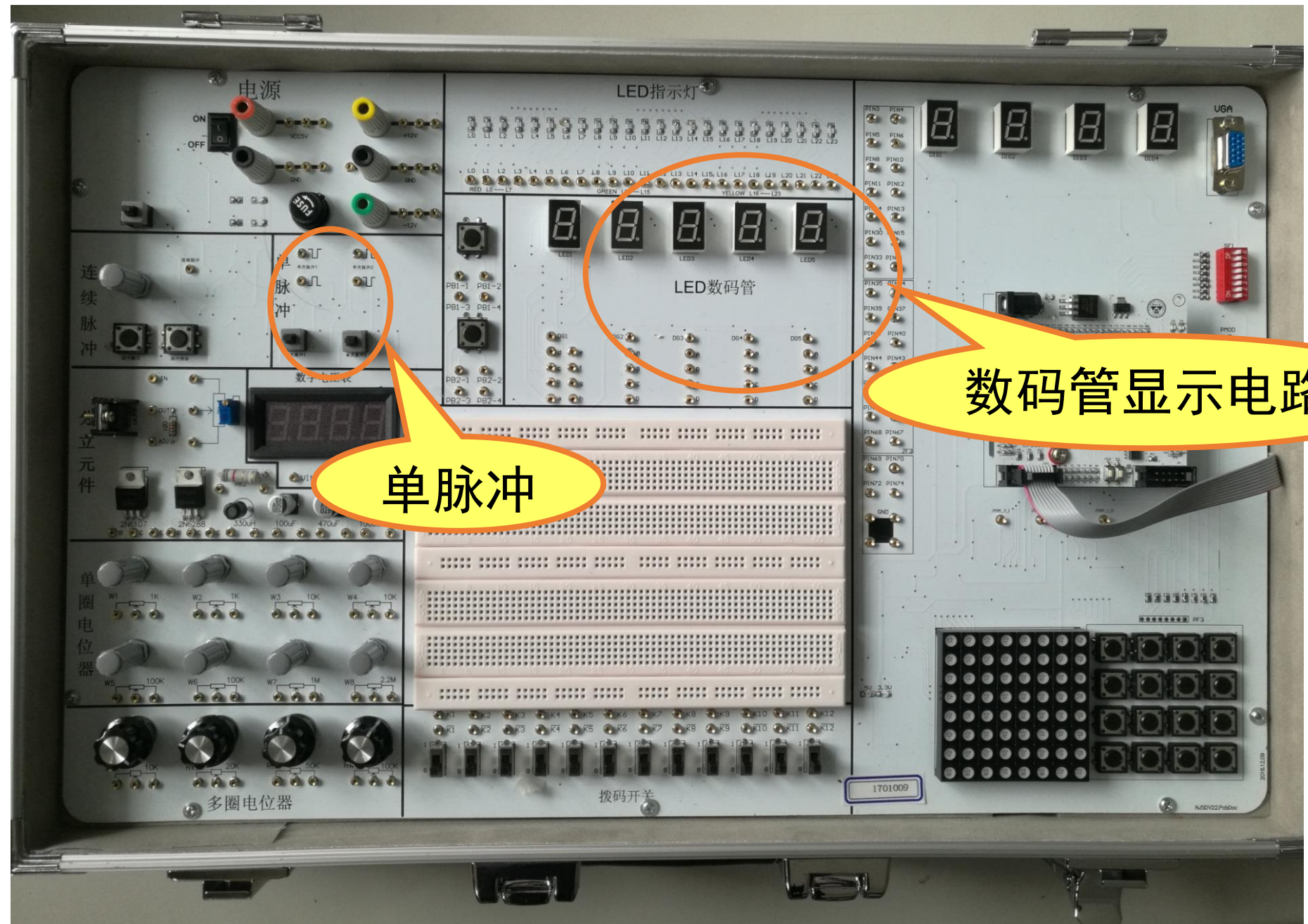


使用PE/TE控制高位信号的启停，再使用同步置数的方式完成清零。



实验内容

➤ 静态验证:



实验内容

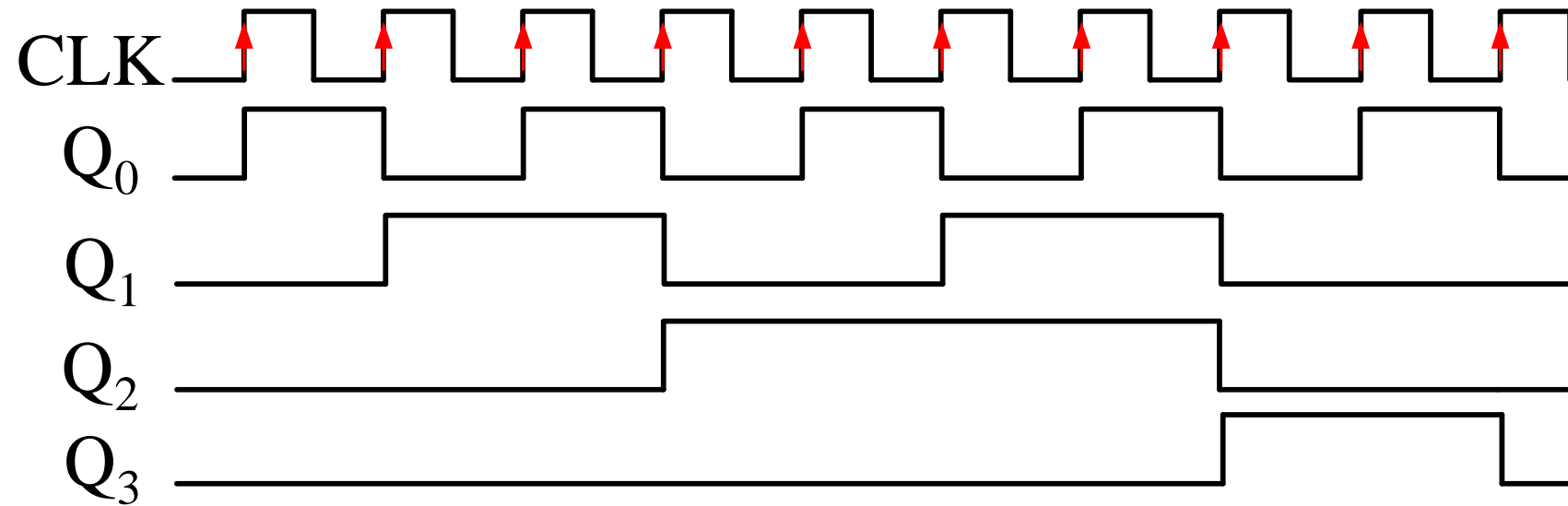


➤ 动态验证:

输入: 连续脉冲或信号源信号

输出: 示波器观察波形

- 分钟个位

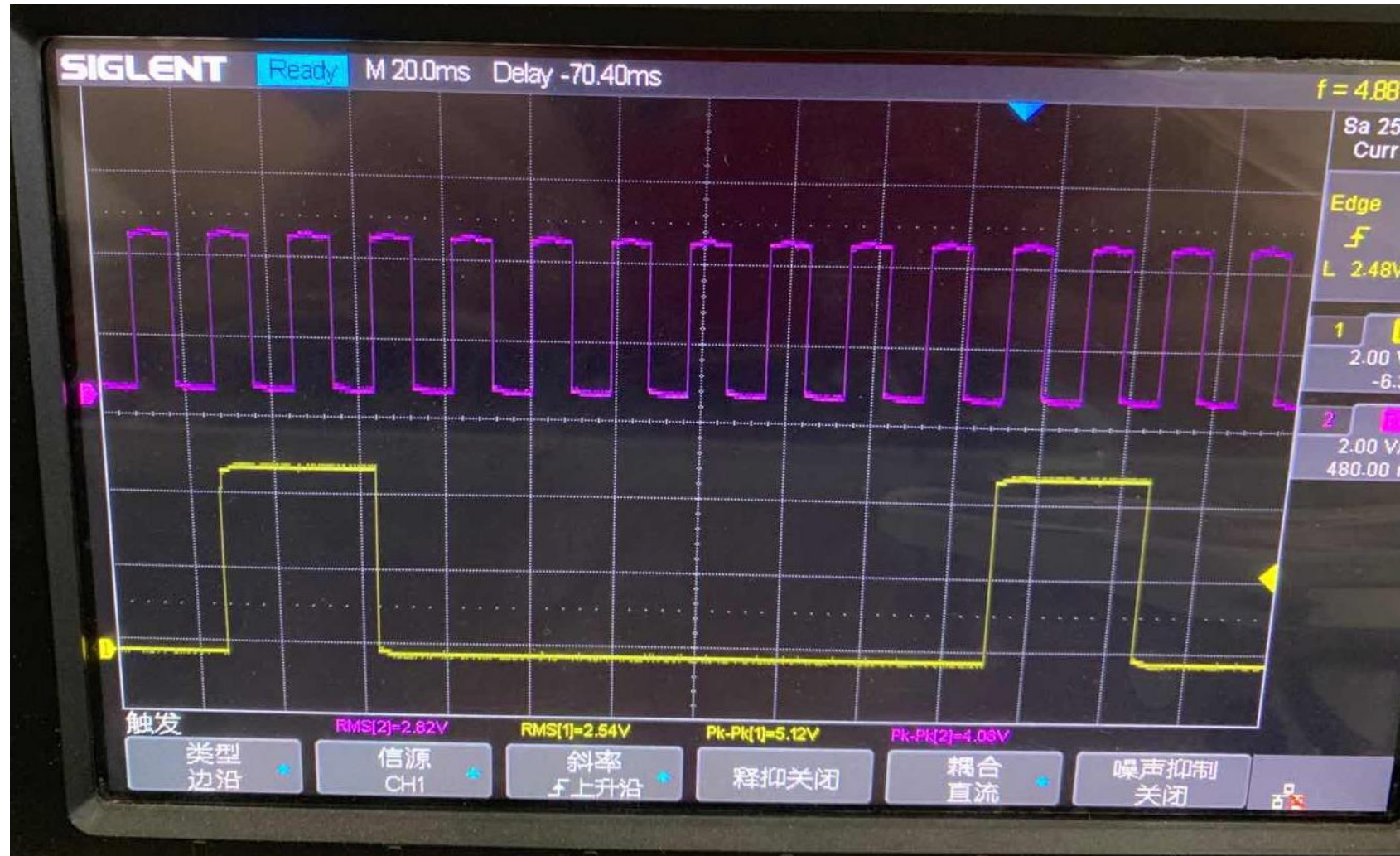


分钟的个位每10个时钟周期变化一个周期

实验内容

➤ 动态验证:

CLK
(Q_0)
(Q_1)
(Q_2)
 Q_3



分钟的个位每10个时钟周期变化一个周期

实验内容

➤ 动态验证:

输入: 连续脉冲或信号源信号

输出: 示波器观察波形

• 分钟十位

分钟个位波形中, 也要将进位信号画出来

低位片的进位

做参照更合适

CLK

Q_0

Q_1

Q_2

太多不便观察

每60个时钟周期分钟十位变化一个周期

(1) 设计简易数字钟

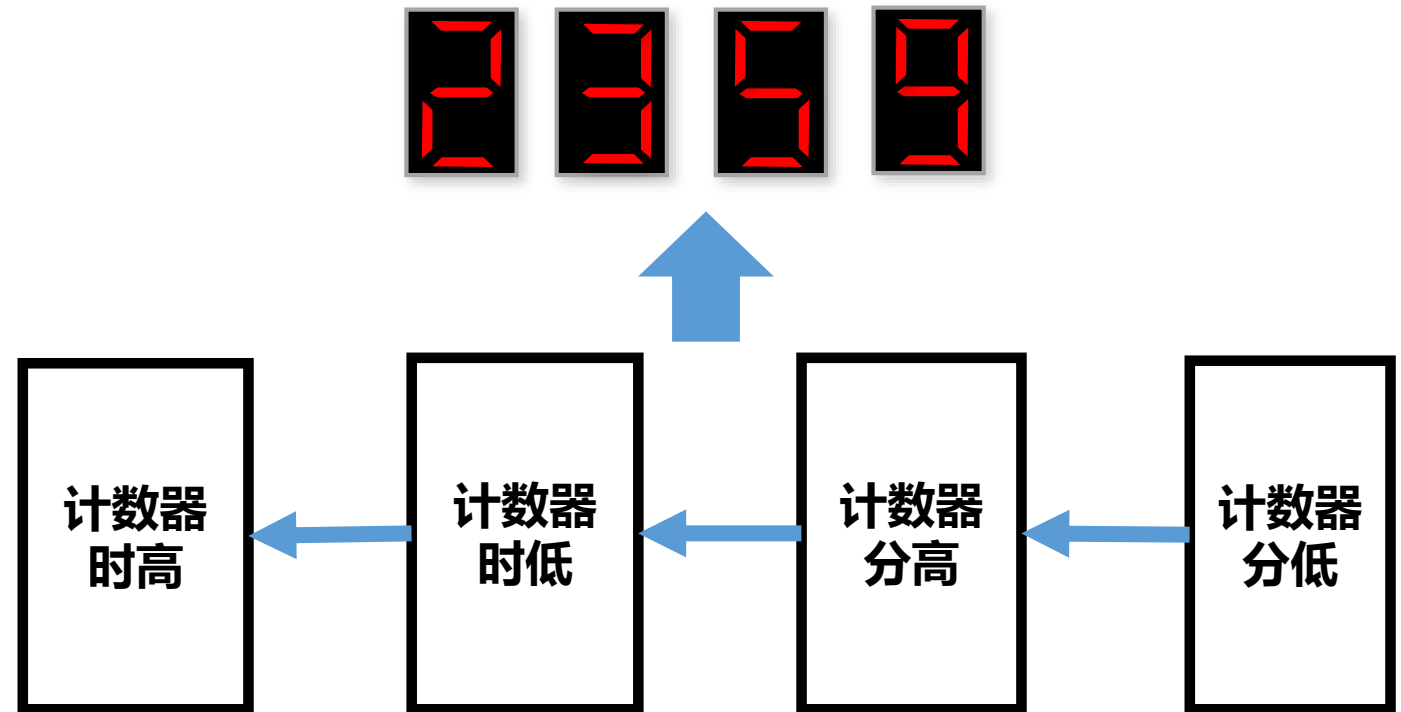
- **基本要求**：设已有周期为1min和周期为1h的时钟脉冲，要求用74LS161设计数字钟的“分”（0~59）**或**“时”（0~23）的计时电路
 - 1) 搭试电路进行静态验证；
 - 2) 动态观察且**记录**“分”或“时”计时电路中的时钟脉冲及计数器各输出端的波形。
- **提高要求**：将“时”、“分”计时电路**级联**起来构成一个具有时和分（23小时59分）显示的简易数字钟，搭接电路并进行**静态验证**

◆设计提示

➤小时：模24计数器，分钟：模60计数器

级联：

异步时钟、同步时钟



(2) 序列发生器

- 用74LS161计数器设计一个01011序列信号发生器， 搭接电路进行静态验证， 并动态观察且记录时钟脉冲CLK、序列输出端的波形

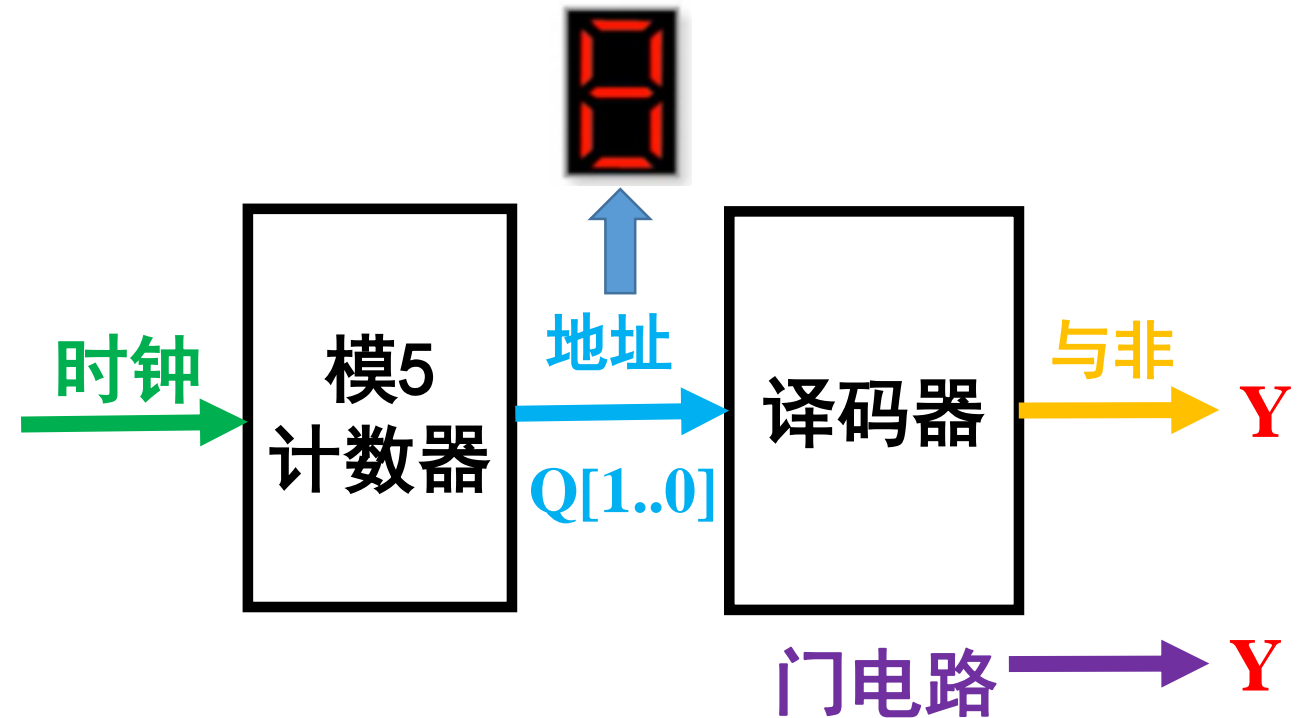
画波形

实验内容

➤ 计数器+门电路/中规模组合电路实现

- 3-8译码器——将状态表中**所有Y=1的项**取出来与**非**
- 门电路——列卡诺图化简

顺序	Q_C	Q_B	Q_A	Y
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	1



- # CLK



Y



实验目的，实验任务，**实验过程**（设计参数、实验电路图、实验数据及波形、结果分析），实验思考题，实验小结
（讨论实验中出现的問題和解决方法、心得体会等）

数电实验过程：设计方案——逻辑电路图——功能测试结果表或图——结果分析

实验报告



- ◆报告提交形式： **电子报告**
- ◆报告提交时间： 在每次实验课前完成上一次课的实验报告， 具体时间参照《教学计划》
- ◆报告提交地址： <http://seu.olab.top>
- ◆下载实验报告模板， 在本地编辑后再以**pdf**格式上传

期末考试



时间：星期六（6月19日）上午9：00——11:15
地点：金智楼401

期末卷面成绩低于45分，总成绩不及格

期末考试



- 1、请提前20分钟到考场，检查仪器设备，探头是否正常，考试过程中如发现设备损坏，可申请更换；
- 2、考试只允许带规定**教材和教学计划**，草稿纸自带，自备铅笔、橡皮、尺子、黑色签字笔，带好**实验器材**（面包板、电源线、芯片等），考试过程中如有需要可申请到**412**购买器材；
- 3、考题为数电+模电，其中1题验收：
在根据试题要求，写出设计过程，画逻辑电路图，标注参数，记录相应波形和数据；
- 4、验收时要求试卷上画好波形图，标注好参数，示波器显示要求的波形，或者实验箱在静态或动验证状态；

若有多项验收内容，在不能完成全部功能的情况下，可选择部分验收。

验收即确认该项成绩，再改正无效。请谨慎对待！

模电：1、会合理选择电路图，根据公式设计参数，并选择合适的器件；
2、示波器双踪显示波形图，绘制波形图注意输入输出对应，标注参数和坐标。

数电：1、会根据要求设计电路，接线；
2、发现故障能运用仪器排除（ V_{CC} 、GND、固定电平端子等）；
3、会画时序逻辑图。

示波器：测量方法、通道选择、耦合方式
电源使用、信号源使用



THANK YOU!