

Ziel: Board-Level-Simulation um

- SNR in analog-Pfaden zu verbessern
- Supply-rails entrauschen
- EMV abschätzen
- Schwingneigung detektieren
- Crosstalk abschätzen

Motivation

ein OPV-Board funktionierte mit einem TL071, zeigte mit OPA657 jedoch massive Schwingneigung → die parasitäre Impedanz des Feedback-Pfads war das Problem und konnte durch Vias innerhalb der Schleife gelöst werden

NonPlusUltra

Co-Simulation der Spice-Modelle mit den Feldgleichungen des PCBs, aus KiCAD heraus exportiert

mögliche Varianten

1. modellierte Komponenten per ngspice cosimuliert mit PCB-Geometrie per EM-FieldSolver (FDTD in openEMS/meep, oder FIT in maffia). stepwise mit Austausch der IO-Daten zw. spice/FieldSolver in jedem Simulationsschritt. Erfordert open-source solver um Datenaustausch per Simulationsschritt zu ermöglichen. ~~Co-Sim so nicht möglich, sondern 'alternierend'~~
2. EM-Solver erzeugt aus der PCB-Geometrie alle Parasiten als R, L und C, diese gehen wieder zurück ins SPICE.
3. IBIS-GUI ↔ KiCAD für EMV

Kandidaten

- Prozessor-IOs nur per IBIS modelliert, deshalb: Kombination aus Spice-Models, IBIS und PCB mit lumped parasitics.
IBIS-Umsetzung in spice,
Schematic (aus KiCAD heraus)
Abschätzungen der pcb-parasitics RLCs
- ngspice:
 - + opensource
 - kann keine encrypted models simulieren
 - LTSpice:
 - + nimmt encrypteds von LT und analogDev
 - nicht stepwise zu betreiben
 - openEMS, FDTD
 - meep, FDTD
- ein standalone Tool, dass das vereinigt
- <https://charleseidsness.github.io/eispice/>
<http://www.gnucap.org/dokuwiki/doku.php?id=gnucap:start>
<https://www.unix.com/man-page/debian/1/gnucap-ibis/>

- MAFIA, FIT