

次世代IoT組込みシステム設計

准教授　原　祐子

研究分野：アーキテクチャ，設計自動化（CAD），IoT

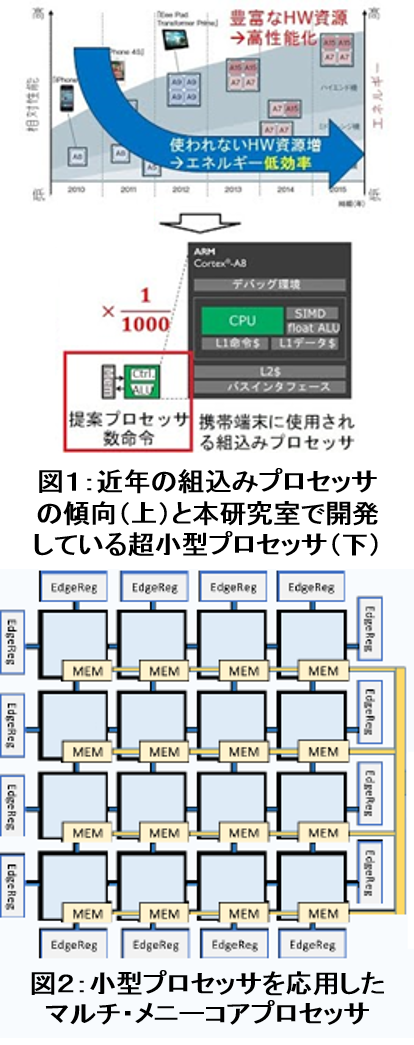
ホームページ: http://www.cad.ict.e.titech.ac.jp/

●研究内容・目的

1. IoTを加速するエッジコンピューティング向けアーキテクチャ
2. 次世代IoTニューラルネットワークアーキテクチャ
3. 新たなコンピューティングパラダイム：積極的な近似計算

●研究テーマ

**１．IoTを加速するエッジコンピューティング向けアーキテクチャ**

****　エッジデバイス（クラウドの外にあり、我々の生活により身近なデバイス）上でデータを効率良く管理・処理することで、モノのインターネット（Internet-of-Things; IoT）技術の高度化・普及を更に加速し、我々の生活をより安全・豊かにすることができます。これまでのコンピュータアーキテクチャは、多様化するアプリケーションを網羅できるように多機能化し、機能や複雑さ（製造コスト）が膨れあがってきています。本研究室では、新たなIoT技術を牽引するエッジコンピューティング向けのアーキテクチャが持つべき機能を再考し複雑さを抑えられる設計手法に取り組み、超小型・省エネで画期的なアーキテクチャの研究・開発を行っています（図１、図２）。コンピュータアーキテクチャ（ハードウェア設計）と、そのメリットを最大化するソフトウェア開発の両面からアプローチしています（論文[3][4]等）。

**２．次世代IoTニューラルネットワークアーキテクチャ**

近年は、様々な方法でソフトウェア（アプリケーション）を処理する方法（アーキテクチャ）があり、それらを活用した多面的なアプローチで、ニューラルネットワーク向けアーキテクチャ・ソフトウェア開発に取り組んでいます。①近年活発に研究・開発されている省エネメモリは、メモリでありながら行列の積和演算を効率的に処理できるという特徴を持っています。本研究室では、その特徴を応用し、超省エネメモリベースのニューラルネットワークアーキテクチャを開発しています（図３、論文[2]）。②複数台の安価なマイコン(Arduino等)を用いた並列分散型ニューラルネットワークアーキテクチャを実現することで、製造コストを劇的に抑えられます。これにより、より多様なシステムを人工知能（AI）化し、様々な社会問題を解決することを目指しています（図４）。その他、FPGA（再構成可能デバイス）やスマートフォン等も用い、ハードウェアだけでなく、ソフトウェア（アプリケーション）の研究・開発も行っています。

**３．新たなコンピューティングパラダイム：積極的な近似計算**

積極的な近似計算とは、人が知覚できないぐらいの計算誤差を積極的に取り入れる代わりに高速にアプリケーション実行する新たなコンピューティングパラダイムとして、学術研究だけでなく、産業界においても注目されている技術です（図５）。また、近年は、日本が強化すべき技術として、国の技術ロードマップにも組み込まれています。本研究室では、この技術を組込みシステムに応用することで、これまでのアーキテクチャ設計の問題を解決してきました（論文[1][5]等）。新たなアーキテクチャ設計手法・ソフトウェア開発手法の確立を目指します。

　●教員からのメッセージ

　IoTの発展により、新たなアプリケーション（新たな問題）が日々創出されていますが、それらの多くは我々の身の回りに既にある解法を違った視点で応用することで、解決することができます。また、私たちは国内外の産学官との共同研究や意見交換を重視し、積極的に活動しています。柔軟な視点と斬新な発想で、一緒に新たな道を切り開いていきましょう。

●関連する業績、プロジェクトなど

[1] H. Hsiao, J. H. Anderson, and Y. Hara-Azumi, "Generating Stochastic Bitstreams," Stochastic Computing: Techniques and Applications, *Springer*, 2019.

[2] P. Achararit et al., "Structural Exploration of Stochastic Neural Networks for Severely-  
Constrained 3D Memristive Devices," *IEICE Trans. on Nonlinear Theory and Its Applications,* vol.E9-N, No.4, pp.466-478, Oct. 2018.

[3] K. Saso and Y. Hara-Azumi, "Simple Instruction-Set Computer for Area and Energy-Sensitive IoT Edge Devices," *Int'l Conf. on Application-specific Systems, Architectures and Processors,* pp.93-96, 2018.

[4] N. Sakamoto et al., "SubleqΘ: An Area-Efficient Two-Instruction-Set Computer," *IEEE Embedded Systems Letters*, vol.9, Issue 2, pp.33-36, Jun. 2017.

[5] H. Osawa and Y. Hara-Azumi, "Approximate Data Reuse-based Processor: A Case Study on Image Compression," *Symp. on Embedded Systems for Real-Time Multimedia*, pp.32-40, 2017.

受賞： 情報処理学会山下記念研究賞 (2011)，情報処理学会優秀学生賞 (2008, 2012, 2013)