

次世代IoT組込みシステム設計

准教授　原　祐子

研究分野：IoT、組込みシステム、HW/SW協調設計

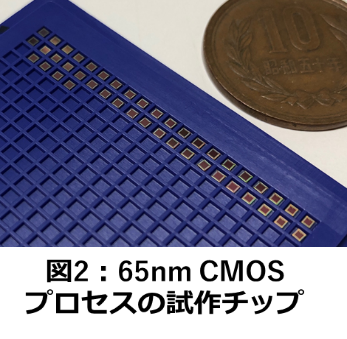
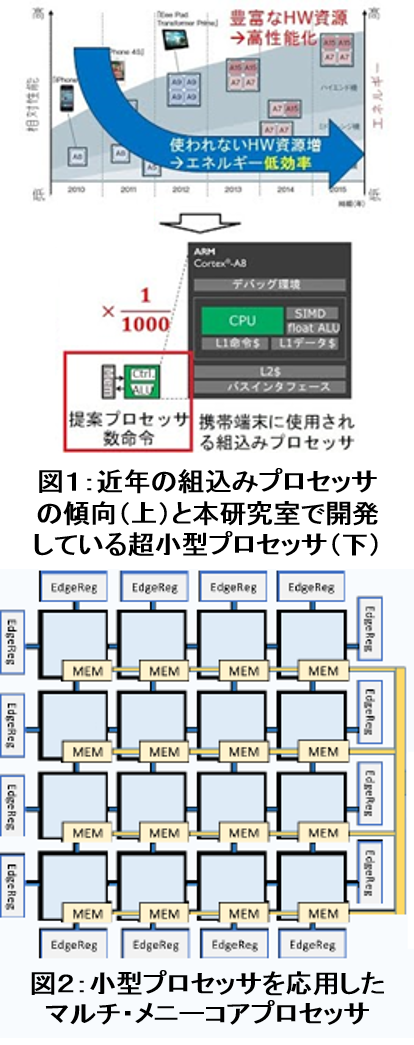
ホームページ: http://www.cad.ict.e.titech.ac.jp/

●研究内容・目的

1. IoTを加速するエッジコンピューティング向けアーキテクチャ
2. 次世代IoTニューラルネットワークアーキテクチャ
3. 新たなコンピューティングパラダイム：生物から学んだアルゴリズム

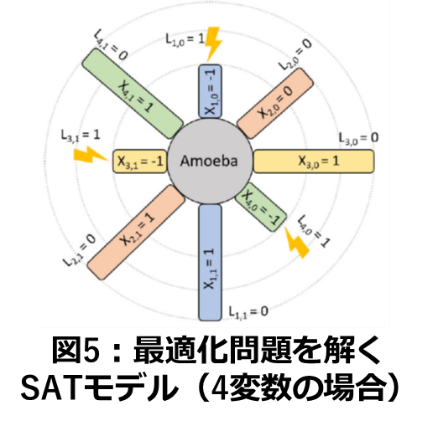
●研究テーマ

**１．IoTを加速するエッジコンピューティング向けアーキテクチャ**

****　エッジデバイス（クラウドの外にあり、我々の生活により身近なデバイス）上でデータを効率良く管理・処理することで、モノのインターネット（Internet-of-Things; IoT）技術の高度化・普及を更に加速し、我々の生活をより安全・豊かにすることができます。これまでのコンピュータアーキテクチャは、多様化するアプリケーションを網羅できるように多機能化し、機能や複雑さ（製造コスト）が膨れあがってきています。本研究室では、新たなIoT技術を牽引するエッジコンピューティング向けのアーキテクチャが持つべき機能を再考し複雑さを抑えられる設計手法に取り組み、超小型・省エネで画期的なアーキテクチャの研究・開発を行っています（図１、図２）。コンピュータアーキテクチャ（ハードウェア設計）と、そのメリットを最大化するソフトウェア開発の両面からアプローチしています（論文[2][3]等）。ヘルスケアや個人情報の暗号化などの応用を目指しています。

**２．次世代IoTニューラルネットワークアーキテクチャ**

近年は、様々な方法でソフトウェア（アプリケーション）を処理する方法（アーキテクチャ）があり、それらを活用した多面的なアプローチで、ニューラルネットワーク向けアーキテクチャ・ソフトウェア開発に取り組んでいます。近年活発に研究・開発されている省エネメモリは、メモリでありながら行列の積和演算を効率的に処理できるという特徴を持っています。本研究室では、その特徴を応用し、超省エネメモリベースのニューラルネットワークアーキテクチャを開発しています（図３）。複数台の安価なマイコン(Arduino等)を用いた並列分散型ニューラルネットワークアーキテクチャを実現することで、製造コストを劇的に抑えられます。これにより、より多様なシステムを人工知能（AI）化し、様々な社会問題を解決することを目指しています（図４）。その他、FPGA（再構成可能デバイス）、ドローン、スマートフォン等も用い、ハードウェアだけでなく、ソフトウェア（アプリケーション）の研究・開発も行っています（論文[1]等）。

**３．新たなコンピューティングパラダイム：生物から学んだアルゴリズム**

IoTには、時々刻々と変わる状況の中で最適な解を得ようとする問題が多種存在します。例えば、5Gネットワークのパケットルーティング、オンラインショッピングの配達ルート探索等です。本研究室では、計算資源やメモリが限られるIoTエッジデバイス上でこれらの問題を効率的に解くために、単細胞生物アメーバの生存アルゴリズムを応用した充足可能性問題（SAT問題）のソルバをFPGAで実現し、IoTエッジ機器へ組み込む研究を行っています。これまでリアルタイムなロボット制御等を実現しており、さらにより多くのアプリケーションへの応用展開を目指した研究・開発を行っています（論文[4][5]等）。

　●教員からのメッセージ

　IoTの発展により、新たなアプリケーション（新たな問題）が日々創出されていますが、それらの多くは我々の身の回りに既にある解法を違った視点で応用することで、解決することができます。本研究室は、国内外の産学官研究機関との共同研究や意見交換を重視し、積極的に活動しています。柔軟な視点と斬新な発想で、一緒に新たな道を切り開いていきましょう。

●関連する業績、プロジェクトなど

[1] P. Achararit et al., "APNAS: Accuracy-and-Performance-Aware Neural Architecture Search Considering Neural Hardware Accelerators," *IEEE Access*, vol.8, pp.165319-165334, Sept. 2020.

[2] M. Yang and Y. Hara-Azumi, "Implementation of Lightweight eHealth Applications on a Low-Power Embedded Processor," *IEEE Access*, vol.8, pp.121724-121732, Jul. 2020.

[3] K. Saso and Y. Hara-Azumi, "Revisiting Simple and Energy-Efficient Embedded Processor Designs Towards the Edge Computing," *IEEE Embedded Systems Letters*, vol.12, Issue 2, pp.45-49, Jun. 2020.

[4] Y. Nakayama et al., "Real-Time Routing for Wireless Relay Fronthaul with Vehicle-Mounted Radio Units," *IEEE Vehicular Technology Conference Spring*, May 2020.

[5] A. H. N. Nguyen, M. Aono, and Y. Hara-Azumi, "FPGA-based Hardware/Software Co-design of a Bio-inspired SAT Solver," *IEEE Access*, vol.8, pp.49053-49065, Mar. 2020.

受賞： 情報処理学会山下記念研究賞 (2011)，情報処理学会優秀学生賞 (2008, 2012, 2013)