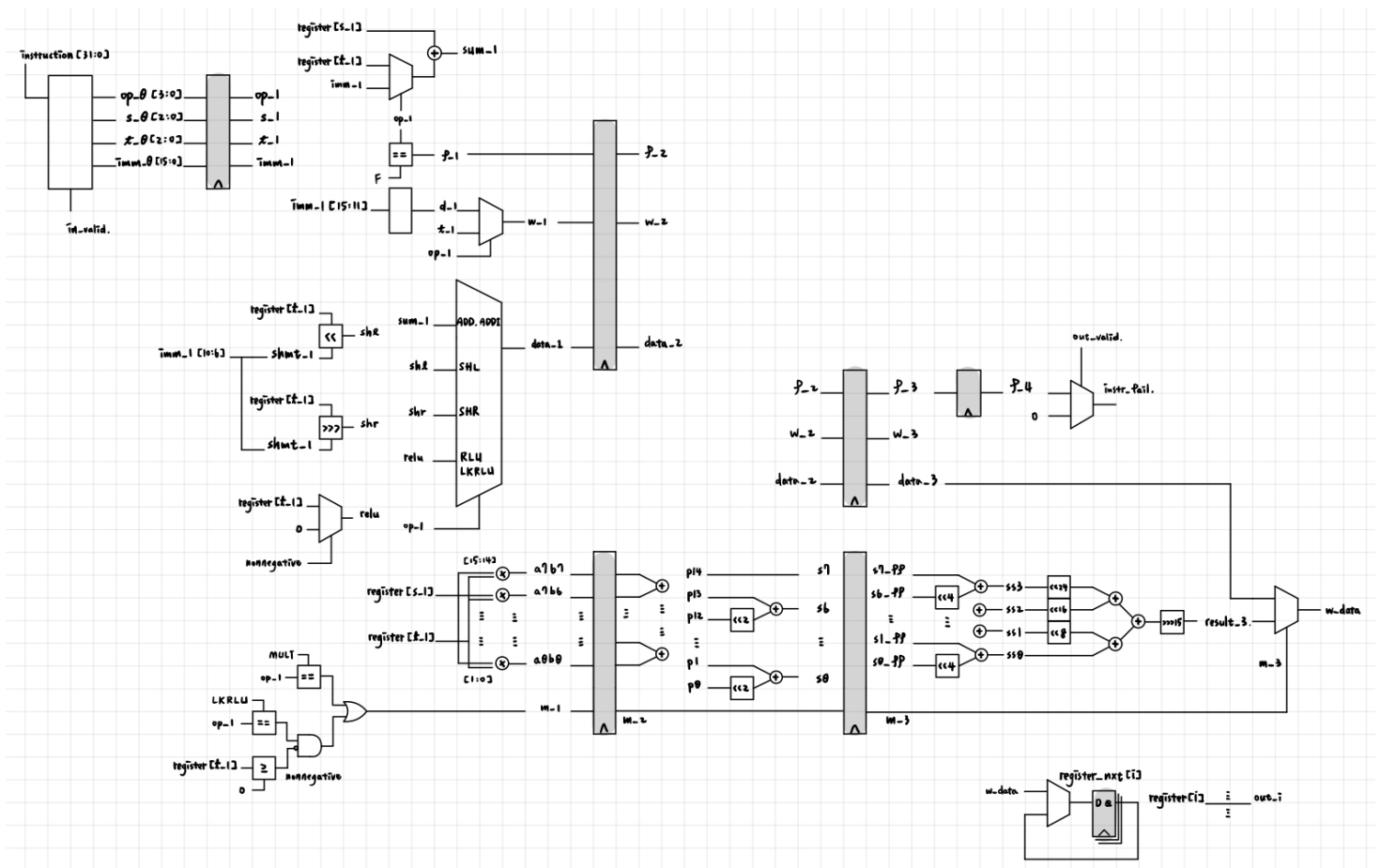


Report_dcs015 110652041 黃鵬宇

設計方法 & Block diagram

這次 HW 做簡單的 CPU，根據 performance 的算法以及助教提示，這次 design 著重在讓我們降低 cycle time 提高速度，所以我使用四級的 pipeline 架構，縮短 critical path，來壓低 clock cycle time。首先我先直接照著題目將不同的 op 都在同個 cycle 做完來看 critical path 是哪一條，後來發現這次基本上解決乘法電路 delay 過長的問題就能縮短 cycle time。後續我將原本的 16 bits 乘法器拆解步驟成 2 bits 為一組做乘法，後續將 partial product 用加法樹相加起來，中間並用 pipeline register 擋起來將 critical path 切開。在第三級將 ALU 產生的結果寫到 register 裡面準備好，在下個週期輸出。



優化方法

基本上就是看到 02 timing report 的 critical path 就切，如果已經不能再切，就移動 pipeline register 看看，如果 critical path 成功變小那就代表 pipeline 切得比較均勻，這樣的 cycle time 會是比較好的版本。除此之外，在切 pipeline 的同時，也要注意不能開太多浪費的 DFF 佔用太多面積。

心得

經過這兩次 HW 可以自己調整 cycle time 之後，在優化的過程瞭解到在切 pipeline 的時候，要顧及到電路的哪些方面，考量是否切均勻，以及省 DFF 數量等等，透過反覆測試，才能夠得到最好的電路架構。