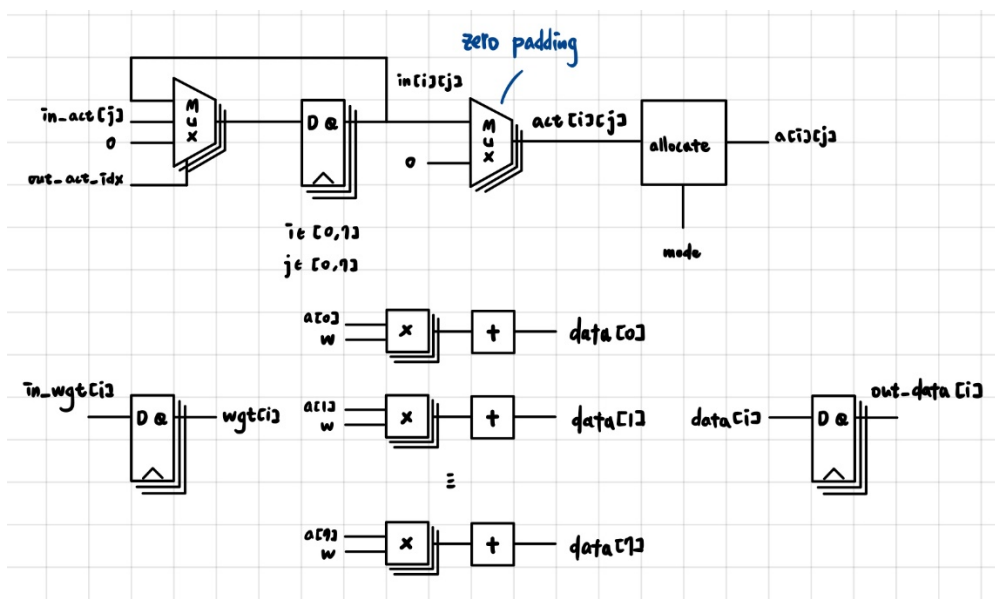
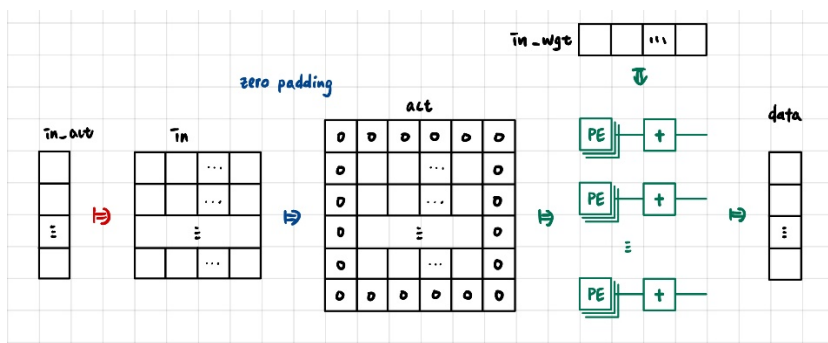


Report_dcs015 110652041 黃鵬宇

設計方法 & Block diagram

這次 HW 做矩陣運算的加速器，同時具備計算矩陣乘法與卷積運算的功能，這次架構上很特別的是不論輸入或輸出都是以 row 或 col 為單位跟 pattern 溝通。這次的設計目標相較於上次更複雜且面向更廣，運算邏輯要達到讓矩陣乘法與卷積運算共用越多越好，跟 pattern 要 data 的部分也是，共用越多就越能將邏輯簡化；而且這次自行決定平行運算量，考量到 latency 的 trade off 與節省 noncombinational logic，我設計的平行運算是開九個平行的乘法器在每個 cycle 可以直接算出一整 row 或 col。並且用 pipeline 架構，除了縮短 critical path，也能有效壓 clock cycle time。



優化方法

運算硬體共用，做一組九個 processing elements 的平行乘加器，使其能夠在矩陣乘法或是卷積運算時都能用到，只要分配好在甚麼 mode 下怎麼 allocate 數據進去，都能夠用同一套運算電路做計算。再來是與 pattern 溝通的組合邏輯也是，可以針對兩種 mode 的情況去設計出簡化硬體的計算方式。像是因為矩陣乘法是 act matrix 的 row 去乘 wgt matrix 的 col，所以我在卷積運算部分也是用相同的方式逐 row 跟 pattern 要 act，kernel 掃描的方式就是先往右後在往下，如此一來，許多控制電路就不必做兩套的情況，僅有輸出的 out_idx 的 MSB 在矩陣乘法時是 0；卷積運算時是 1。noncombinational logic 的部分也是我設計電路架構的考量之一，由於要盡量配合兩中運算模式的硬體共用，所以省 act, wgt 的暫存器面積就變成與省 out 的暫存器面積有 trade off 的情況，但考量到輸入與輸出矩陣的 bits 數差異，所以我就以省輸出佔存器的目標去設計，輸出暫存器只存一個 row 或 col 的容量。

心得

經過這幾次 HW 與 Lab 後，我深刻體會實作的重要性，在課堂上聽老師講“用 FSM 做 controller”，“切 pipeline 可以...” ，許多概念其實聽得懂，但沒有自己實作，不會真正學會那些技巧，也沒辦法知道為什麼會想到要那樣做。課堂上教的是有哪些新的工具和新的技能，而我們要透過實作培養善用那些工具的能力。當自己用上課所學的知識成功優化電路後，不僅是對於 performance 進步產生的成就感，以及對於數位電路實作的學習上感覺到更踏實。