**2주차 예비보고서**

**전공: 중국문화/컴퓨터공학 학년: 4학년 학번: 20180305 이름: 고혜정**

**1. HDL이 무엇인지 조사하고 Verilog 이외의 HDL에 대하여 조사하시오.**

HDL은 Hardware Description Language의 약자다. (부교재에서는 Description이 아니라 Design으로 되어있으나 강의 자료에 명시된 표현을 따른다.) 의미를 해석하면 하드웨어를 기술하는 언어인 것이다. 디지털 하드웨어를 구현하기 위해 설계 시 필요한 하드웨어의 기능을 컴퓨터가 이해 가능한 언어로 표현하고 회로 설계를 통해 효율적인 검증을 가능하게 한다.

Verilog HDL 이외에 대표적인 예시로 VHDL이 있다. VHDL은 VHSIC Hardware Description Language의 약자다. VHSIC는 Very High Speed Integrated Circuit의 약자로 집적 회로 설계 개발에 몰두했던 1980년대 미국 정부가 주도한 프로그램의 이름이기도 하다. 그 후로 VHDL의 규격은 IEEE(Institute of Electrical and Electronic Engineers)에 의해 표준화 되었다.

**2. Verilog의 역사와 발전 과정을 조사하시오.**

Verilog HDL은 1984년 경 처음 발명되어 Gateway Design Automation Inc.의 소유 하에 독점적으로 하드웨어 모델링 언어로 발전했다. 1990년, 당시 EDA 산업에서 가장 큰 공급자였던 Cadence Design System에 인수되었다. 1991년, OVI(Open Verilog International)이 조직되면서 후에 IEEE에서 흔히 Verilog-95하는 IEEE 표준 1364-1995가 되었다. 2001년, Verilog-95가 한 번 더 확장을 거쳐 Verilog-2001로 알려진 IEEE 표준 1364-2001이 되었다. 2005년에는 Verilog-2005의 상위 집합인 System Verilog가 발표되었다. 2009년, System Verilog 2009으로 모두 통합되면서 오늘날까지 IC 설계와 검증에서 가장 인기있는 언어로 자리매김하였다.

**3. Verilog의 기본적인 구조와 문법에 관하여 조사하시오.**

각각의 Verilog 파일은 I/O 정의, 하드웨어 설명 및 시뮬레이션 제어 정보 등을 포함하는 1개 이상의 모듈로 구성된다. 기본적인 구조는 다음과 같다.

module <name> ([port\_list]);

// contents of the module

endmodule

// A module can have an empty port\_list

module name;

// contents of the module

endmodule

Verilog의 주석 방법은 single-line과 block으로 나뉜다. “//”은 한 문장을 주석 처리하고 “/\* ~ \*/”은 해당 블록을 전체 주석 처리한다. Verilog는 텍스트 매크로 대체 기능을 제공한다. 이 기능은 코드에 사용할 opcode 및 기타 연상키를 정의하는데 유용하다. 텍스트 매크로는 backward apostrophe 키와 함께 키워드를 정의하여 사용된다.

**[참고문헌]**

Alan Marcovitz, McGrawHill (2008), Introduction to Logic and Computer Design(3rd ed.)

AMES M. LEE. Verilog Quickstart : A Practical Guide to Simulation and Synthesis in Verilog. Boston: Springer, 2002. v. 3rd

ASHENDEN, P. J. Digital Design (VHDL) : An Embedded Systems Approach Using VHDL. Amsterdam: Morgan Kaufmann, 2008.

컴퓨터공학실험II, ‘verilog 소개’ 강의자료