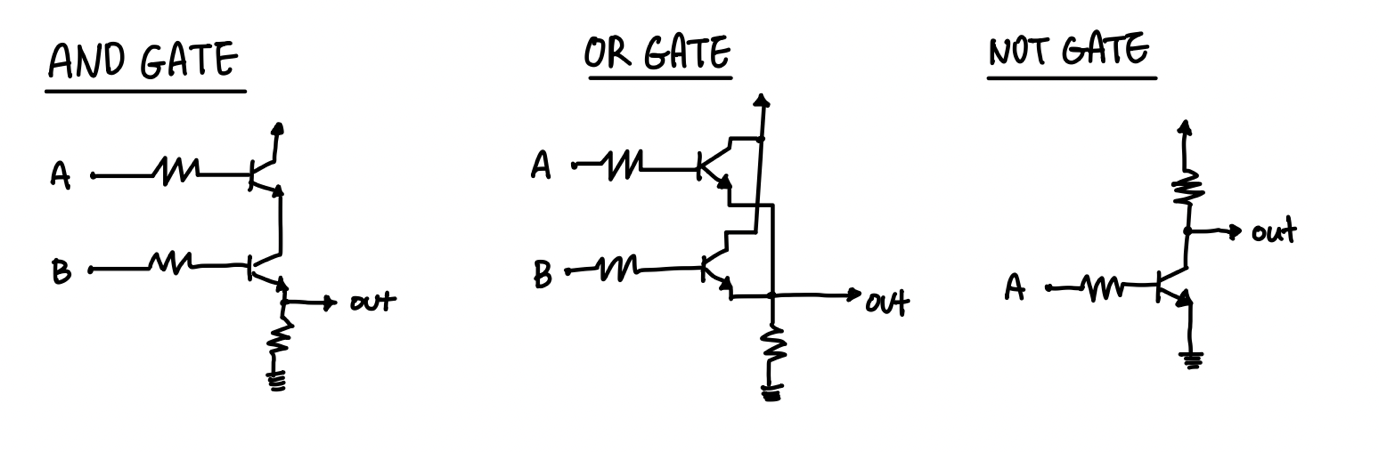
**3주차 예비보고서**

**전공: 중국문화/컴퓨터공학 학년: 4학년 학번: 20180305 이름: 고혜정**

**1. 논리게이트 AND/OR/NOT의 구조를 Transistor-Level로 그리시오.**

(아이패드로 그려서 첨부합니다.)



**2. AND/OR/NOT Logic의 특성에 조사하시오.**

(아이패드로 그려서 첨부합니다.)

**텍스트, 시계이(가) 표시된 사진

자동 생성된 설명**

AND/OR/NOT Logic의 특성은 Truth Table을 보면 알 수 있다. 먼저, AND Logic은 입력값이 모두 1일 때만 출력값이 1이다. 입력 단자로 설명하자면, 모두 High일 때만 출력 단자가 High가 되는 것이다. 그 외에는 모두 Low이다. OR Logic은 입력값이 하나라도 1이면 출력값이 1이 된다. 즉, 입력 단자가 하나라도 High이면 출력 단자도 High가 되는 것이다. Low인 경우는 입력 단자가 둘 다 Low일 때 그렇다. 마지막 NOT Logic은 간단히 입력 단자와 출력 단자의 상태가 반대가 되는 특성을 갖는다.

**3. Fan-out에 대하여 조사하시오.**

먼저, fan-out에 대해 살펴보기 전에 부교재를 보면 ‘fan-in’이라는 개념을 볼 수 있다. ‘fan-in’은 부교재에 따르면 ‘there is a limitation on the number of inputs (called *fan-in*) for a gate.’라고 정의된다. 즉, 게이트가 받을 수 있는 입력값의 제한이라는 뜻이므로 최대 입력 수로 이해할 수 있다. ‘fan-out’을 영어 사전에 검색해보면 ‘the number of inputs that can be connected to a specified output.’ 즉, 지정된 출력에 연결 가능한 입력의 수라고 정의된다. 이 개념을 논리 게이트 차원에서 생각해보면 바로 출력 단자에 접속했을 때, 신호 추출이 가능한 최대 출력 수인 것이다.

**4. 전파지연에 대하여 조사하시오**

전파 지연은 영어로 Propagatoin Delay Time이라고 한다. 전자 공학 전공 도서에서 소개하는 전파 지연의 정의는 다음과 같다. ‘There are several exact definitions of delay but it usually refers to the time required for the output to reach from 10% to 90% of its final output level when the input changes.’ [[1]](#footnote-1)즉, 전파 지연은 한 마디로 일반적으로 정의할 때 입력값이 변경될 때 출력값이 최종 출력 레발의 10~90%에 도달하기까지 필요한 시간을 의미하는 것이다.

전파 지연은 몇 가지 요인에 의해 영향을 받는다. ‘Debugging FPGA-based Video Systems(2013)’ 책에 서술된 내용에 따르면, 칩 내부의 실리콘 온도나 공급 전압의 아주 미세한 변화로도 전파 지연이 달라진다. 따라서 제조업체는 부분적으로 칩을 생산하고 속도를 측정한 후 전파 지연이 낮은 칩에는 더 높은 속도 등급을 할당하는 방식으로 문제를 해결한다고 한다.

**5. Verilog 의 task 및 function 에 대해 조사하시오.**

Verilog는 복잡한 설계를 더욱 빠르고 효율적인 코딩 작업이 가능하도록 하는 task 및 function을 제공한다. task 및 function은 간단히 말해서 verilog와 systemverilog에서 사용되며 간결한 코드를 위해 중요한 keyword라고 할 수 있다. 먼저, task는 정의된 모듈 안에서는 언제든지 호출이 가능하며 module을 선언하는 것처럼 task와 endtask 블록으로 사용 가능하다. Function은 task와 비슷하게 function과 endfunction 블록으로 사용이 가능하다. 차이점이 있다면, 시간 delay와 관련된 keyword는 포함하지 않는다는 점이 있다. ‘Digital Integrated Circuit Design Using Verilog and Systemverilog(2015)’ 내용에 따르면 task와 function의 가장 기본적인 차이는 tasks는 제한을 공유하지 않는 반면에 functions는 어떠한 delay도 포함하지 않는다는 점이다.

**[참고문헌]**

Alan Marcovitz, McGrawHill (2008), Introduction to Logic and Computer Design(3rd ed.)

컴퓨터공학실험II, ‘AND-OR-NOT’ 강의자료

1. An Overview of Architecture-Level Power and Energy Efficient Design Techniques(2015), Ivan Ratković, ... Veljko Milutinović, in Advanced Computers [↑](#footnote-ref-1)