

# 华中科技大学

## 2020

### 计算机组成原理 · 实验报告 ·

专 业： 计算机科学与技术

班 级： CS1804

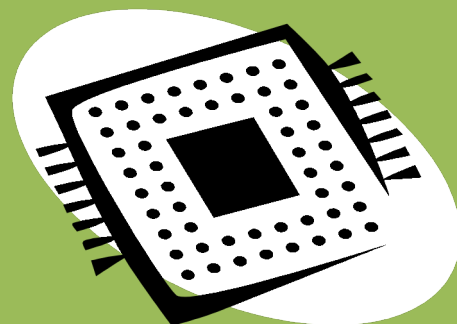
学 号： U201814604

姓 名： 黄俊淇

电 话： 13977133562

邮 件： 2474268727@qq.com

完成日期： 2020. 12. 8



计算机科学与技术学院

## 目 录

1	CPU 设计实验 .....	2
1.1	设计要求 .....	2
1.2	方案设计 .....	2
1.3	实验步骤 .....	8
1.4	故障与调试 .....	15
1.5	测试与分析 .....	15
2	总结与心得 .....	16
2.1	实验总结 .....	16
2.2	实验心得 .....	16
	参考文献 .....	17

## 1 CPU 设计实验

### 1.1 设计要求

(1) 理解定长指令周期三级时序系统的设计，能利用该时序构造硬布线控制器，支持 5 条典型 MIPS 指令在单总线 CPU 上运行，CPU 能运行内存冒泡排序。最终调试运行标准测试程序 sort-5.hex。

(2) 理解变长指令周期三级时序系统的设计，能利用该时序构造硬布线控制器，支持 5 条典型 MIPS 指令在单总线 CPU 上运行，CPU 能运行内存冒泡排序。最终调试运行标准测试程序 sort-5.hex。

5 条典型指令如图 1.1 所示。

slt \$rd,\$rs,\$rt	$R[\$rd] \leftarrow R[\$rs] < R[\$rt]$ 小于置1，有符号比较
addi \$rt,\$rs,imm	$R[\$rt] \leftarrow R[\$rs] + \text{SignExt}_{16b}(\text{imm})$ 溢出产生异常
lw \$rt,imm(\$rs)	$R[\$rt] \leftarrow \text{Mem}_{4B}(R[\$rs] + \text{SignExt}_{16b}(\text{imm}))$
sw \$rt,imm(\$rs)	$\text{Mem}_{4B}(R[\$rs] + \text{SignExt}_{16b}(\text{imm})) \leftarrow R[\$rt]$
beq \$rs,\$rt,imm	if( $R[\$rs] = R[\$rt]$ ) $PC \leftarrow PC + \text{SignExt}_{18b}(\{\text{imm}, 00\})$

图 1.1 5 条典型指令

(3) 理解现代时序控制器中断机制的实现原理，能为采用现代时序单总线结构的 MIPS CPU 增加中断处理机制，可实现多个外部按键中断事件的随机处理，本实验需要完成现代时序微程序控制器的基础上完成，需要增加硬件数据通路，增加中断返回指令 eret 的支持，需要中断服务程序配合。最终调试运行标准测试程序 sort-5.hex。

### 1.2 方案设计

#### 1.2.1 单总线 CPU 设计（定长指令周期）

##### (1) 指令译码逻辑

指令译码逻辑将指令的操作码字段转换为对应的运算信号，如 addi 信号，lw 信号，sw 信号等。

查询实验包内的《MIPS32 指令手册》得到 LW、SW、BEQ、ADDI 指令的 OP 字

# 华中科技大学课程实验报告

段如表 1.1 所示。

表 1.1 部分指令 OP 字段值

指令	OP 字段
LW	0x23
SW	0x2b
BEQ	0x04
ADDI	0x08
SLT	0x2a

只需使用比较器将 OP 与各指令的 OP 字段值进行比较便可得到以上指令对应的控制信号。

而 SLT 为 R 型指令，其 Func 字段为 0，所以 SLT 指令译码时还需加上 Func 字段的比较。

## (2) 时序发生器 FSM

由于是定长指令周期，故 FSM 就是  $s_0 \rightarrow s_1 \rightarrow s_2 \rightarrow \dots \rightarrow s_{10}$ 。

## (3) 时序发生器输出函数

可以由图 1.5 填入相应的真值表生成相应电路。

1. Cnt	S	Mif	Mcal	Mex	T1	T2	T3	T4
2. 00	0	1	0	0	1	0	0	0
3. 01	1	1	0	0	0	1	0	0
4. 02	2	1	0	0	0	0	1	0
5. 03	3	1	0	0	0	0	0	1
6. 04	4	0	1	0	1	0	0	0
7. 05	5	0	1	0	0	1	0	0
8. 06	6	0	1	0	0	0	1	0
9. 07	7	0	1	0	0	0	0	1
10. 08	8	0	0	1	1	0	0	0
11. 09	9	0	0	1	0	1	0	0
12. 0a	a	0	0	1	0	0	1	0
13. 0b	b	0	0	1	0	0	0	1

图 1.2 输出函数真值表

## (4) 硬布线控制器组合逻辑单元

可以通过下式列出所有微操作信号的产生条件，并填入相应的 excel 表格生成逻辑表达式。

$$C_n = \sum_{m,i,k,j} (I_m \cdot M_i \cdot T_k \cdot B_j)$$

## (5) 硬布线控制器

通过状态机即可实现。

下降沿选择原因呢：为了让其他计算在时钟调变之前完成，如果选择上升沿会导

# 华中科技大学课程实验报告

致计数重复等问题。

## (6) 单总线 CPU 设计

在单总线 CPU 中，将 sort-5 中的指令复制到 RAM 中，进行仿真。最终实现降序排列。内存数据如图 1.9 所示。

内存数据如下：

```

000 2010mm 20110000 ae300200 22100001 22310004 ae300200 22100001 22310004
008 ae300200 22100001 22310004 ae300200 22100001 22310004 ae300200 22100001
010 22310004 ae300200 22100001 22310004 ae300200 22100001 22310004 ae300200
018 20100000 2011001c 8e130200 8e340200 0274402a 11000002 ae330200 ae140200
020 2231mm 12110001 1000mm7 22100004 2011001c 12110001 1000mm3 1000mm
028 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
030 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
038 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
040 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
048 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
050 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
058 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
060 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
068 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
070 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
078 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
080 00000005 00000005 00000004 00000003 00000002 00000001 00000000 00000000

```

注意蓝色区域的数值为有符号降序排序。

图 1.3 内存数据

## 1.2.2 单总线 CPU 设计（变长指令周期）

- (1) 指令译码器与定长指令周期相同。
- (2) 单总线 CPU 微程序入口查找逻辑

得到如表 1.2 所示入口地址

表 1.2 指令对应入口地址

指令	入口地址（十进制）
LW	4
SW	9
BEQ	14
ADDI	22
SLT	19

- (3) 单总线 CPU 微程序条件判别测试逻辑

得到如图 1.4 所示的条件判别逻辑测试真值表。

1. Cnt	P0	P1	equal	MuxSel
2. 00	0	0	0	0
3. 01	0	0	1	0
4. 02	1	0	0	1
5. 03	1	0	1	1
6. 04	0	1	0	0
7. 05	0	1	1	2

图 1.4 条件判别真值表

# 华中科技大学课程实验报告

## (4) 单总线 CPU 微程序控制器设计

如图 1.5 所示，可以得到微指令信号，从而得到微程序

状态	微地址	操作控制字段	微序控制字段	
0	00000			取微程序*
1	00001			
2	00002			
3	00003			
4	00004			
5	00005			
6	00006			
7	00007			
8	00008			
9	00009			
10	00010			
11	00011			
12	00012			
13	00013			
14	00014			
15	00015			
16	00016			
17	00017			
18	00018			
19	00019			
20	00020			
21	00021			
22	00022			
23	00023			
24	00024			

图 1.5 微程序

## (5) 采用微程序的单总线 CPU 设计

在 RAM 中加载 sort-5.hex 程序，ctrl+k 自动运行，程序应该运行至 0x7c1 节拍停下，指令计数为 251，注意最后一条指令是一条 beq 分支指令，会跳回当前指令继续执行，是死循环。



内存数据如下：

```

000 2010fff 20110000 ae300200 22100001 22310004 ae300200 22100001 22310004
008 ae300200 22100001 22310004 ae300200 22100001 22310004 ae300200 22100001
010 22310004 ae300200 22100001 22310004 ae300200 22100001 22310004 ae300200
018 20100000 2011001c 8e130200 8e340200 0274402a 11000002 ae330200 ae140200
020 2231ffc 12110001 1000fff7 22100004 2011001c 12110001 1000fff3 1000fff
028 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
030 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
038 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
040 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
048 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
050 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
058 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
060 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
068 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
070 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
078 00000000 00000000 00000000 00000000 00000000 00000000 00000000 00000000
080 00000006 00000005 00000004 00000003 00000002 00000001 00000000 00000000

```

## (6) 现代时序硬布线控制器状态机设计

利用数字逻辑电路相关知识设计现代时序硬布线核心部件状态机模块，实际状态机如图 1.6 所示：



# 华中科技大学课程实验报告

1. Cnt	P1	P2	P3	equal	IntR	MuxSel
2. 00	0	0	0	0	0	0
3. 01	1	0	0	0	0	1
4. 02	1	0	0	0	1	1
5. 03	1	0	0	1	0	1
6. 04	1	0	0	1	1	1
7. 05	0	1	0	1	0	2
8. 06	0	1	1	1	0	2
9. 07	0	1	1	1	1	2
10. 08	0	1	1	0	1	3
11. 09	0	1	1	0	0	4
12. 0a	0	0	1	0	1	3
13. 0b	0	0	1	1	1	3
14. 0c	0	0	1	0	0	4
15. 0d	0	0	1	1	0	4
16. 0e	0	1	0	0	0	4
17. 0f	0	1	0	0	1	4

图 1.8 支持中断的条件判别

#### (4) 支持中断的微程序控制器设计

支持中断的微指令表如图 1.9 所示

[illegible]

图 1.9 支持中断的微指令表

### (5) 支持中断的微程序单总线 CPU 设计

在单总线数据通路中增加与中断相关的硬件模块，主要包括异常程序地址计数器 EPC，中断使能寄存器 IE，中断控制器等模块，需要在主电路中将

这些模块进行有效连接。

### (6) 支持中断的现代时序硬布线控制器状态机设计

由 1.2.3 (2) 中的图可以得到状态机真值表。

(7) 支持中断的现代时序硬布线控制器设计

将 1.2.3 (4) 中得到的微程序填入控制存储器，并连接状态寄存器。



## 1.3 实验步骤

### 1.3.1 单总线 CPU 构建（定长指令周期）

#### (1) 指令译码器

整体译码电路如图 1.10 所示。

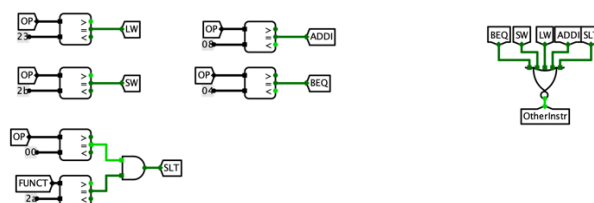


图 1.10 指令译码器电路

#### (2) 时序发生器 FSM

通过 logisim 的分析组合逻辑电路中的真值表功能生成电路。真值表如图 1.11 所示。

S3	S2	S1	S0	N3	N2	N1	N0
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	0
0	1	0	0	0	1	0	1
0	1	0	1	0	1	1	0
0	1	1	0	0	1	1	1
0	1	1	1	1	0	0	0
1	0	0	0	1	0	0	1
1	0	0	1	1	0	1	0
1	0	1	0	1	0	1	1
1	0	1	1	0	0	0	0

图 1.11FSM 真值表

FSM 状态机电路如图 1.12 所示。

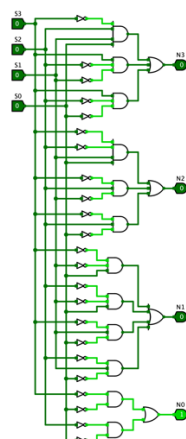


图 1.12FSM 电路

## (3) 时序发生器输出函数

输出函数电路如图 1.13 所示。

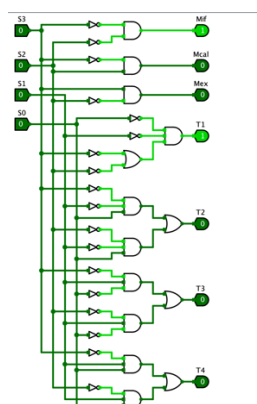


图 1.13 输出函数电路

## (4) 硬布线控制器组合逻辑单元

以 Pcout 为例，填入图 1.14 所示组合逻辑电路分析的表达式，生成所需电路。



图 1.14 硬布线控制器组合逻辑单元生成

## (5) 硬布线控制器

电路如图 1.15 所示。

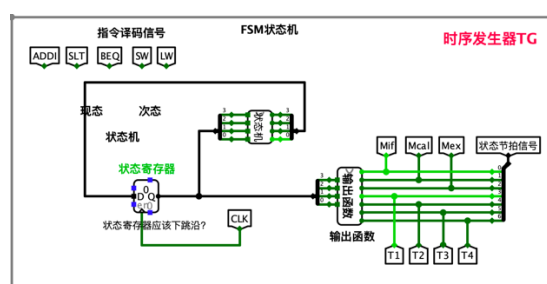


图 1.15 硬布线控制器电路

## (6) 单总线 CPU 设计

加载镜像。如图 1.16 所示。

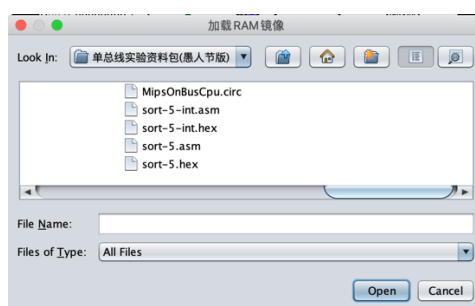


图 1.16 加载镜像

### 1.3.2 单总线 CPU 构建（变长指令周期）

- (1) 指令译码器与定长指令周期相同。
- (2) 单总线 CPU 微程序入口查找逻辑

将对应的入口地址填入 Excel 表格，如图 1.17 所示，从而得到逻辑表达式，如图 1.18 所示

[illegible]

图 1.17 入口地址表

[illegible]

图 1.18 入口地址逻辑表达式

最后通过 logisim 自动生成电路，如图 1.19 所示

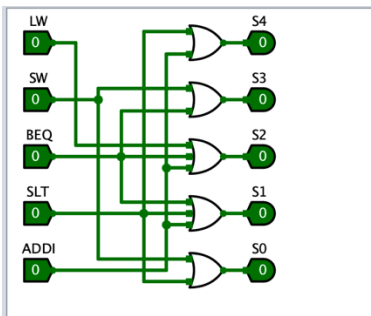


图 1.19 入口地址电路

(3) 单总线 CPU 微程序条件判别测试逻辑

通过真值表，在 logisim 中自动生成电路，如图 1.20 所示

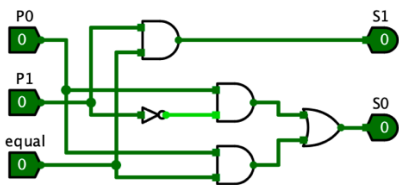


图 1.20 条件判别电路

(4) 单总线 CPU 微程序控制器设计

将对应的微指令信号填入 Excel 中，可以得到微程序。

部分微程序如图 1.21 所示

微指令功能	微指令	PCout	DRout	Zout	Rout	Overflow	Underflow	PCin	ARin	DRin	Xin	Rin	IRin	PSWin	RegOp	RegOut	Add	Add4	Slr	READ	WRITE	P0	P1	P2	下址DEC	微指令	微指令十六进制
取指令	0	1							1		1							1							1	10000000100100000000000000000001	20240001
取指令	1																								2	000000000000000000000000000000010	802
取指令	2			1				1	1											1					3	001000010100000000000000000000011	8500203

图 1.21 部分微程序

电路如图 1.22 所示

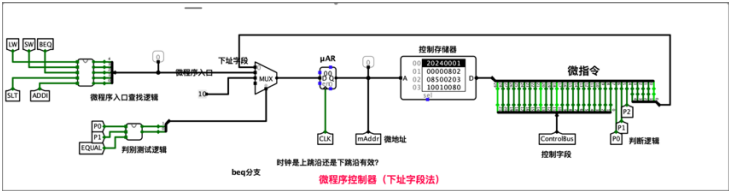


图 1.22 微程序控制器电路

(5) 采用微程序的单总线 CPU 设计

与定长指令周期相同。

(6) 现代时序硬布线控制器状态机设计



## 1.3.3 现代时序中断机制

### (1) 指令译码逻辑

同现代时序。

### (2) 支持中断的微程序入口查找逻辑

电路如图 1.26 所示

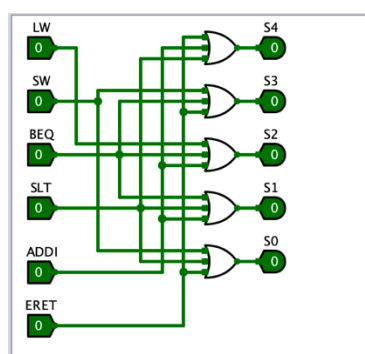


图 1.26 中断的微程序入口查找

### (3) 支持中断的微程序条件判别测试逻辑

电路如图 1.27 所示

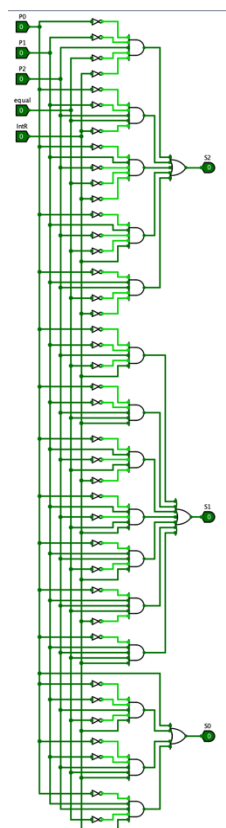


图 1.27 支持中断的条件判别电路



(7) 支持中断的现代时序硬布线控制器设计

电路如图 1.31 所示

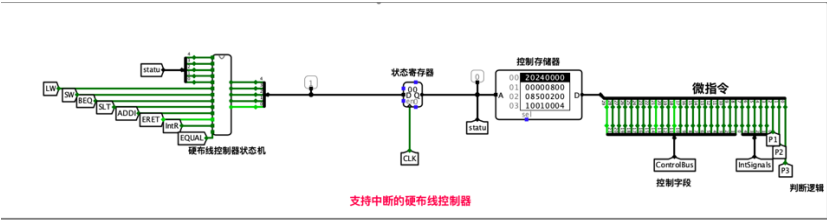


图 1.31 支持中断的现代时序硬布线控制器

1.4 故障与调试

1.4.1 支持中断与不支持中断的微程序不相同

图 1.32 所示为不支持中断，1.33 所示为支持中断，可以发现判断逻辑 P0，P1，P2 的位段并不相同，故使得微程序也不相同，写支持中断的一开始没有看清直接使用了不支持中断的微程序导致测试不通过。

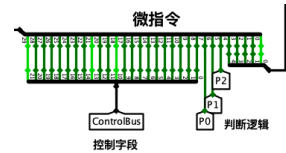


图 1.32

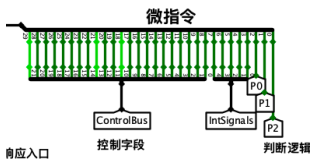


图 1.33

1.5 测试与分析

通过 educoder 平台进行测试，完成所有预期测试。

我	黄俊淇	U201814604	CS1804	按时通关	1小时 23分钟 24秒	6/6	100.0	100.0	已评阅	<a href="#">查看</a>
我	黄俊淇	U201814604	CS1804	按时通关	1小时 43分钟 26秒	7/7	100.0	100.0	已评阅	<a href="#">查看</a>
我	黄俊淇	U201814604	CS1804	按时通关	3小时 32分钟 5秒	7/7	100.0	100.0	已评阅	<a href="#">查看</a>



## 2 总结与心得

### 2.1 实验总结

本次实验主要完成了如下几点工作：

- 1) 设计、实现了单周期 MIPS CPU 硬布线控制器指令译码逻辑；
- 2) 设计、实现了单周期 MIPS CPU 硬布线控制器控制逻辑；
- 3) 设计、实现了单周期 MIPS CPU 微程序控制器指令译码逻辑；
- 4) 设计、实现了单周期 MIPS CPU 微程序控制器逻辑；
- 5) 完成了单周期 MIPS CPU 三级时序/现代时序相应功能，并最终能实现冒泡排序。
- 6) 设计、实现了单周期 MIPS CPU 支持中断的微程序控制器指令译码逻辑；
- 7) 设计、实现了单周期 MIPS CPU 支持中断的微程序控制器逻辑；
- 8) 完成了单周期 MIPS CPU 支持中断的现代时序相应功能，并最终能实现冒泡排序。

### 2.2 实验心得

- 1) 加深了对 MIPS 相关指令的理解，初步掌握了从硬件角度实现指令的步骤。
- 2) 加深了对课程所学的理解，从硬件角度观察 CPU 是怎么执行上层给的一条条指令。
- 3) CPU 实验被老师拆分成许多简单的子问题，相比来说，存储实验比 CPU 还要难，希望存储实验可以跟 CPU 一样变成不同的子问题，减小实现的难度。
- 4) 更加熟练 logisim 的使用，掌握了使用 logisim 中的分析组合逻辑电路功能自动生成电路，并熟悉多路选择器等硬件。

## 参考文献

- [1] DAVID A. PATTERSON(美). 计算机组成与设计硬件/软件接口(原书第 5 版). 北京:机械工业出版社.
- [2] David Money Harris(美). 数字设计和计算机体系结构(第二版). 机械工业出版社
- [3] 谭志虎, 秦磊华, 胡迪青. 计算机组成原理实践教程. 北京:清华大学出版社, 2018 年.
- [4] 秦磊华, 吴非, 莫正坤. 计算机组成原理. 北京:清华大学出版社, 2011 年.
- [5] 袁春风编著. 计算机组成与系统结构. 北京:清华大学出版社, 2011 年.
- [6] 张晨曦, 王志英. 计算机系统结构. 高等教育出版社, 2008 年.

• 指导教师评定意见 •

### 一、原创性声明

本人郑重声明本报告内容，是由作者本人独立完成的。有关观点、方法、数据和文献等的引用已在文中指出。除文中已注明引用的内容外，本报告不包含任何其他个人或集体已经公开发表的作品成果，不存在剽窃、抄袭行为。

特此声明！

作者签字：

黄俊淇

### 二、对课程实验的学术评语（教师填写）

### 三、对课程实验的评分（教师填写）

评分项目 (分值)	报告撰写 (30 分)	课设过程 (70 分)	最终评定 (100 分)
得分			

指导教师签字：\_\_\_\_\_

• 指导教师评定意见 •

---