

# **数字逻辑实验报告（1**）

|  |  |  |
| --- | --- | --- |
| **数字逻辑实验1** | | |
| **一、系列二进制加法器设计50%** | **二、小型实验室门禁系统设计50%** | **总成绩** |
|  |  |  |

评语：（包含：预习报告内容、实验过程、实验结果及分析）

教师签名

**姓 名： 葛松\_\_\_\_\_\_\_\_\_\_**

**学 号： U201714668\_\_\_\_**

**班 级： CS1703\_\_\_\_\_\_\_**

**指 导 教 师： 石宣化\_\_\_\_\_\_\_\_**

**计算机科学与技术学院**

**2019 年 6 月 1 日**



**数字逻辑实验报告**

系列二进制加法器设计预习报告

一、系列二进制加法器设计

1、实验名称

系列二进制加法器设计。

2、实验目的

采用传统电路的设计方法，设计5种二进制加法器，并利用工具软件 logisim的虚拟仿真功能来检查电路设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握传统逻辑电路的设计、仿真和调试的方法。

3、实验所用设备

Logisim2.7.1软件一套。

4、实验内容

设计如下电路，并使用logisim软件进行虚拟仿真。除逻辑门、触发器外，不能直接使用logisim软件提供的逻辑库元件。

具体内容如下。

**（1）一位二进制半加器**

设计一个一位二进制半加器，电路有两个输入A、B，两个输出S和C。输入A、B分别为被加数、加数，输出S、C为本位和、向高位进位。

**（2）一位二进制全加器**

设计一个一位二进制全加器，电路有三个输入A、B和Ci，两个输出S和Co。输入A、B和Ci分别为被加数、加数和来自低位的进位，输出S和C，为本位和和向高位的进位。

**（3）****串行进位的四位二进制并行加法器**

用四个一位二进制全加器设计一个串行进位的四位二进制并行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0和Co为本位和和向高位的进位。

**（4）****先行进位的四位二进制并行加法器**

利用先行进位的思想设计一个先行进位的四位二进制并行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。

输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0和Co分别为本位和和向高位的进位。

**（5）将先行进位的四位二进制并行加法器封装成一个组件，并验证它的正确性**

将设计好的先行进位的四位二进制并行加法器进行封装，生成一个“私有”元件，并验证它的正确性，以便后续实验使用。封装后的逻辑符号参见图1-1所示。

**S3 S2 S1 S0**

**C4 四位二进制并行加法器 C0**

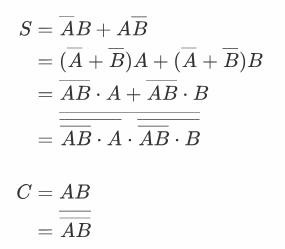
**A3 A2 A1 A0 B3 B2 B1 B0**

图1-1先行进位的四位二进制并行加法器

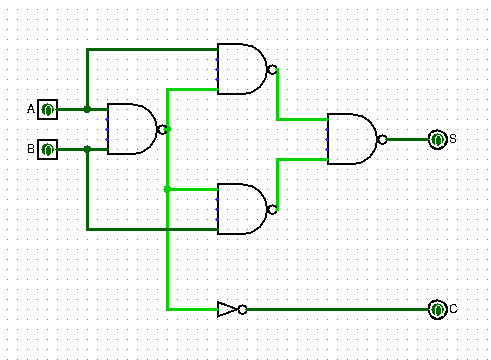
5、实验方案设计

**（1）一位二进制半加器**

函数表达式(Latex)如图1-1所示：

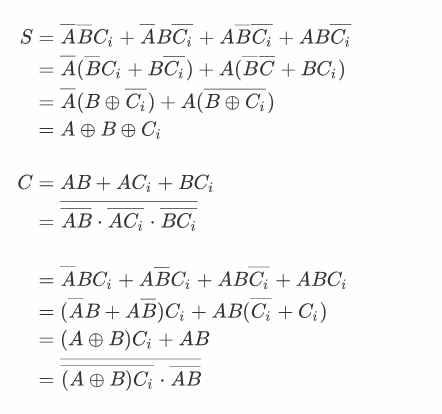
图1-1半加器的逻辑表达式

电路图如图1-2所示:

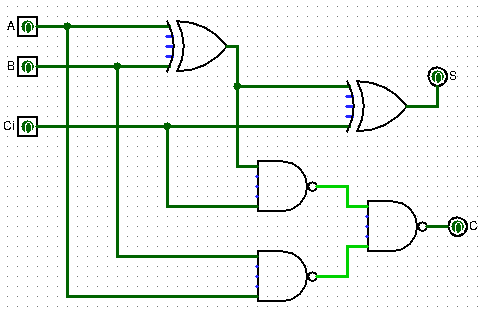
图1-2 半加器的电路图

**（2）一位二进制全加器**

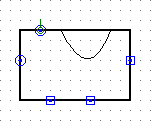
函数表达式(Latex)如图1-3所示：

图1-3全加器的逻辑公式

电路图如图1-4所示:

图1-4 全加器的电路图

封装后:

图1-5 封装后的全加器

**（3）串行进位的四位二进制并行加法器**

串行进位的四位二进制并行加法器的逻辑表达式如图1-6所示

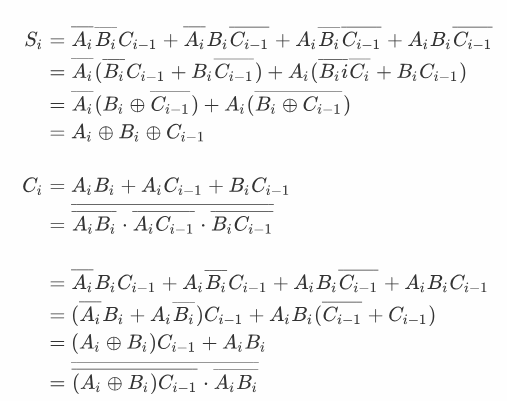
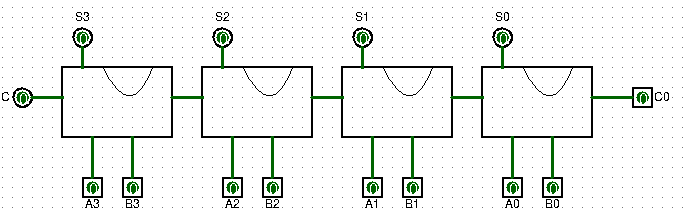
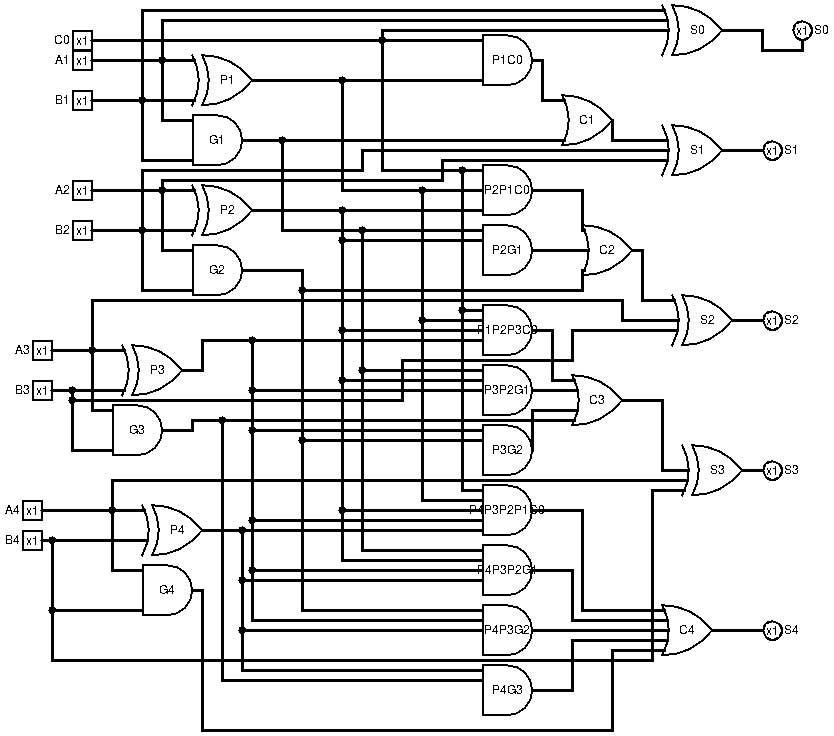


图1-6 串行进位的四位二进制并行加法器逻辑表达式

图1-6 串行进位的四位二进制并行加法器电路图

**（4）先行进位的四位二进制并行加法器**

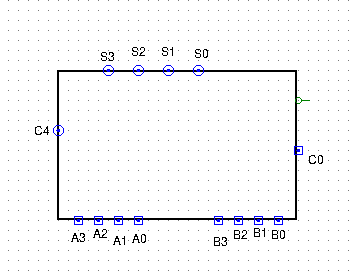
先行进位的四位二进制并行加法器电路图如图1-7所示

图1-7 先行进位的四位二进制并行加法器

**（5）封装“先行进位的四位二进制并行加法器电路”**

按图1-1所示要求，封装“先行进位的四位二进制并行加法器电路”，并验证设计的正确性。

封装后的器件如下

图1-8 封装后的先行进位的四位二进制并行加法器电路

测试电路如图1-9 所示:

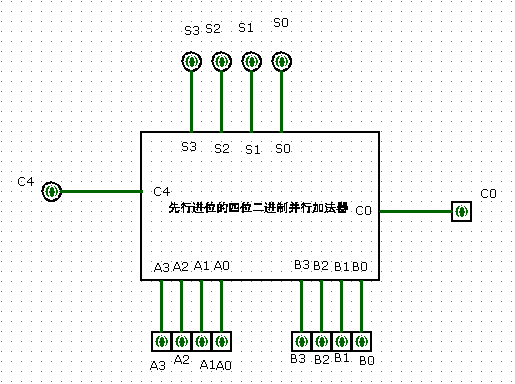


图1-9封装后的四位二进制并行加法器测试电路

经过测试，加法器满足预期，功能正常。

**数字逻辑实验报告**

小型实验室门禁系统设计实验报告

二、小型实验室门禁系统设计

1、实验名称

小型实验室门禁系统设计。

2、实验目的

采用传统电路的设计方法，对一个“设计场景”进行逻辑电路的设计，并利用工具软件logisim的虚拟仿真来验证该设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3、实验所用设备

Logisim2.7.1软件一套。

4、实验内容

**设计场景：**某小型保密实验室需要安装一个门禁系统，用于监测、控制和显示（七段显示数码管）该实验室内人数。该实验室只有一个门，最多只能容纳15人。假设员工进出实验室都要刷门禁卡，并且保证一次刷卡后有且只有一人能进出。实验室空置时人数显示为0，刷卡进入时实验室人数加1，刷卡离开时实验室人数减1。当实验室满员时，还有员工在门外刷卡进入时，系统报警提示满员，不允许进入，实验室内人数不变。

使用logisim软件对小型电路进行虚拟实验仿真，除逻辑门、触发器、7段数码显示管外，不能直接使用logisim提供的逻辑元件库。

具体要求如下。

**（1）四位二进制可逆计数器**

用D触发器设计一个四位二进制可逆计数器并**进行封装**，逻辑符号参见图2-1所示。

该计数器有一个清零端**CLR**、一个累加计数脉冲输入端**CPU** （输入刷卡进入请求）、一个累减计数脉冲输入端**CPD**（输入刷卡离开请求）、四个计数器状态输出值**QD QC QB QA**。

**（友情提示：**四个计数状态输出端**QDQCQBQA**可以用来记录当前实验室人数。）

**QD QC QB QA**

**CPU**

**CLR 四位二进制可逆计数器**

**CPD**

**QD QC QB QA**

**CPU**

**CLR 四位二进制可逆计数器**

**CPD**

图2-1 四位二进制可逆计数器

**（2）二进制转8421BCD码电路**

用第一次实验所设计的“私有”元件“先行进位的四位二进制并行加法器”和适当元器件，将二进制数表示的实验室人数转换成**8421BCD码**的电路，并封装。

**（3）显示电路**

设计一个7段译码器（参考书的7448芯片），将两位十进制数的8421BCD码表示的实验室人数用“7段数码显示管”显示出来，并封装该译码器电路。

该7段译码器有四个输入**A3A2A1A0**和七个输出**abcdefg**, **A3A2A1A0**为8421BCD码，abcdefg为7段数码显示管对应的段。

**（4）报警电路**

设计报警电路并封装，使得满足如下要求。

当实验室满员时，在累加计数脉冲输入端**CPU**刷卡进入请求时，计数器输出端状态值保持不变，系统报警提示满员。当实验室空时，逻辑上不会有实验室内累减计数脉冲输入端**CPD**刷卡离开请求，为防止信号干扰，在计数输出为0时，若**CPD**有脉冲，计数器状态值保持不变，且不用报警。

**（5）小型实验室门禁系统电路的封装**

利用已设计的“私有”元器件和相应元器件设计一个“实验室门禁系统”电路，并进行封装，封装后的小型实验室门禁系统逻辑符号参见图2-2所示。

**a b c d e f g a b c d e f g**

**CPU**

**CLR 封装后的门禁系统逻辑符号 报警**

**CPD**

十位：7段数码显示管

个位：7段数码显示管

**a b c d e f g a b c d e f g**

**CPU**

**CLR 封装后的门禁系统逻辑符号 报警**

**CPD**

图2-2 封装后的小型实验室门禁系统

5、实验方案设计

**（1）四位二进制可逆计数器**

先考虑四位二进制加1计数器，输入为x，表示加1脉冲

依题意将有4个触发器，分别对应QD-QA，

可以发现，只要输入端x有脉冲出现，最地位触发器的状态QA就会发生变化，也即每来一次输入脉冲，触发器产成一次反转，因此可以令该触发器的时钟端信号C1 = x，输入端信号 D1 = - QA

在QA 由1变为0的时候，QB发生变化，也即QA原来为1,在做加1计数由1变为0的时候，相邻的高位的触发器会发生翻转，不妨假设D触发器是下降沿触发方式， 则有 C2 = - QA(因为当QA 1 => 0时， - QA 0 => 1)， DB = -QB，

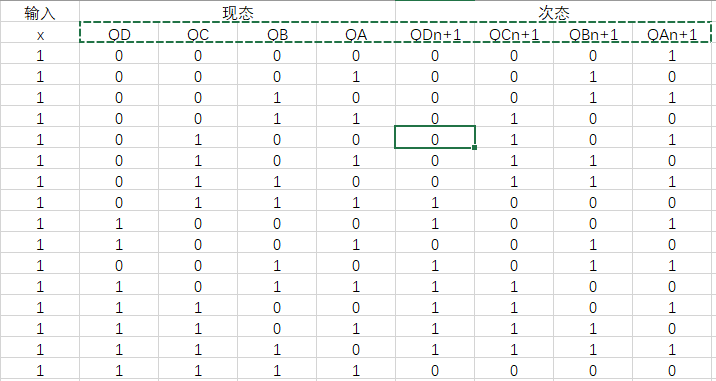
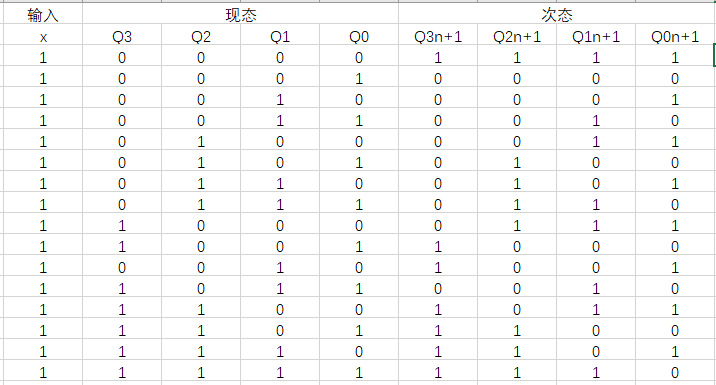
同理可以得到 D3 = - QC,D4 = - QD，有状态转移表如图 5-1 所示

图5-1 4位二进制加一计数器状态转移表

现考虑4位二进制减1计数器

状态转移表如图5-2 所示

图5-2 4位减一计数器状态转移表

同样可以发现，只要输入端x有脉冲出现，最低位的Q0就会发生变化，所以有

C1 = x, D1 = - QA, 同理可以发现，当QA 由 0 变为1 的时候，QB, 发生变化，也即QA 0 => 1， 触发器发生一次翻转，D2 = - QB， 同理 D3 = - QC, C4 = QC, D4 = - QD

由题意可知，4位二进制可逆计数器在CPU 脉冲输入时加一，在CPD 脉冲输入时，减一

综上所述，通过分析卡诺图可以得到

C1 = CPU + CPD

C2 = (-QA) CPD + QA CPU

C3 = (-QB )(-QA)CPU + QB QACPD

C4 = (-QC )(-QB )(-QA)CPU + QCQB QA CPD

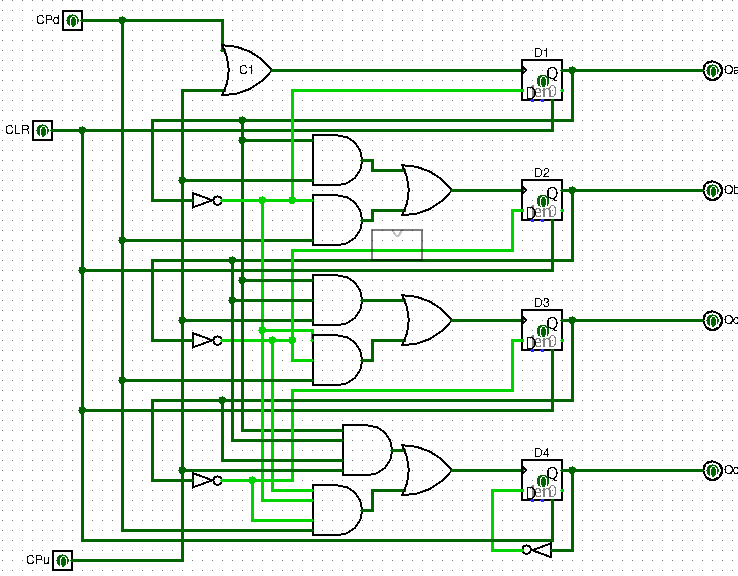
D1 = -QA

D2 = -QB

D3 = -QC

D4 = -QD

据此可以得到电路图如图5-3 所示

图5-3 四位可逆二进制计数器电路图

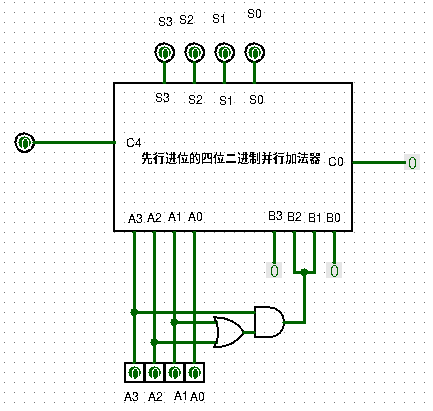
**（2）二进制转8421BCD码电路**

根据 8421码的定义，可以得到，当二进制数大于10时，则将个位数作为结果进行输出，以及一个进位信号，10的二进制表示为 1010, 因此可以得到当A3 = 1 并且 A2 A1 中至少有一个为1时可以判定二进制大于10，同时，如果二进制数大于10时，可以通过减去十，也即加上10的补码，0110来得到8421码以及进位信号，综上所述可以得到

B3 = B0 = 0

B2 = B1 = A3 (A2 + A1)

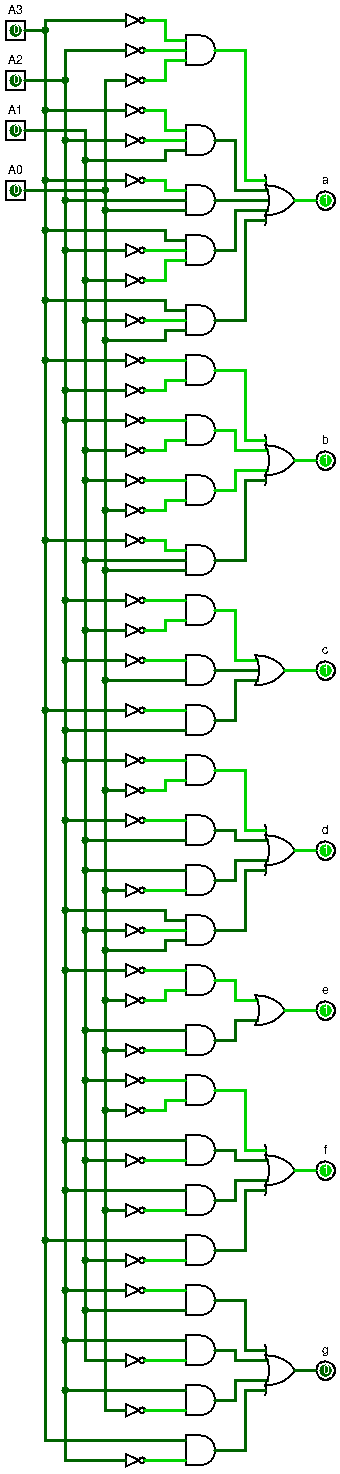
据此可以得到电路图如图5-4所示

图5-4 二进制转8421码电路

**（3）显示电路**

（A）7段译码器译码电路

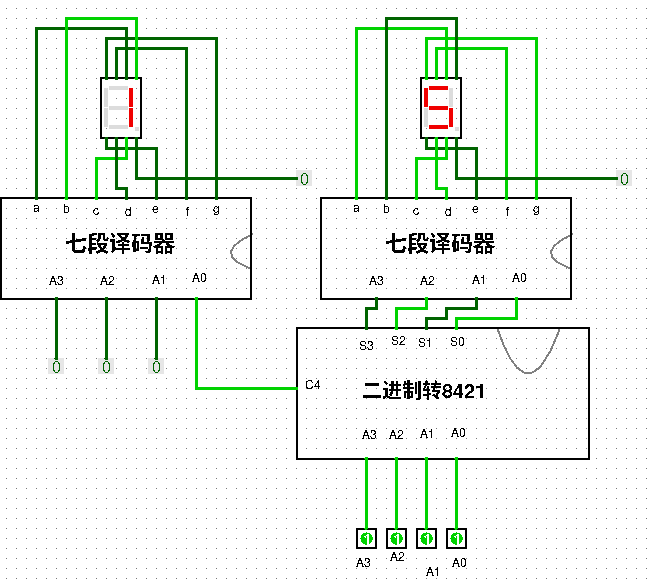
电路图如图 5-5 所示

图5-5 7段译码器译码电路

（B）7段数码显示管显示电路

输入先通过8421码转换器，转为8421码,保证输入在0到9之间，将进位信号单独连接另一个7段译码器译码电路，作为进位的输出，即可实现显示电路

电路图如图5-6所示

图5-6 显示电路

**（4）报警电路**

电路设计要求要采用本次实验1中由4位二进制可逆计数器所封装的“私有”元件和相应元器件。

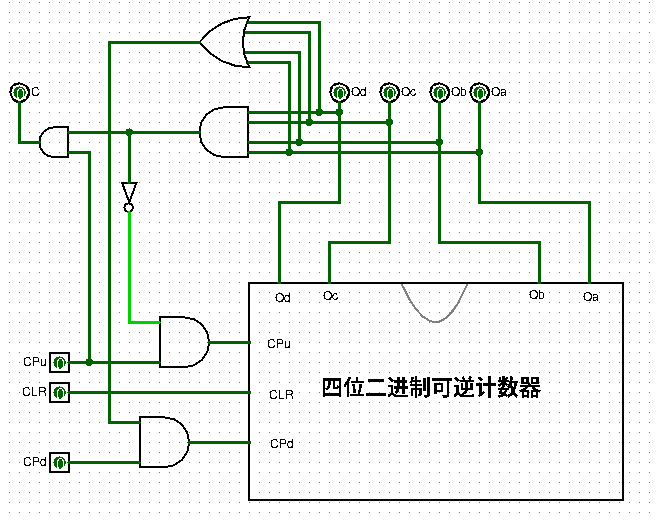
根据题意，当输出到达15时，如果再加入CPU信号就不会再增加显示的数字，也即当QA = QB = QC = QD = 1 时，CPU信号将会被置为0

故有，输入 X = (- QAQBQCQD)CPU

同理可以得到 CPD 的输入 Y = (QA + QB+QC+QD)CPD

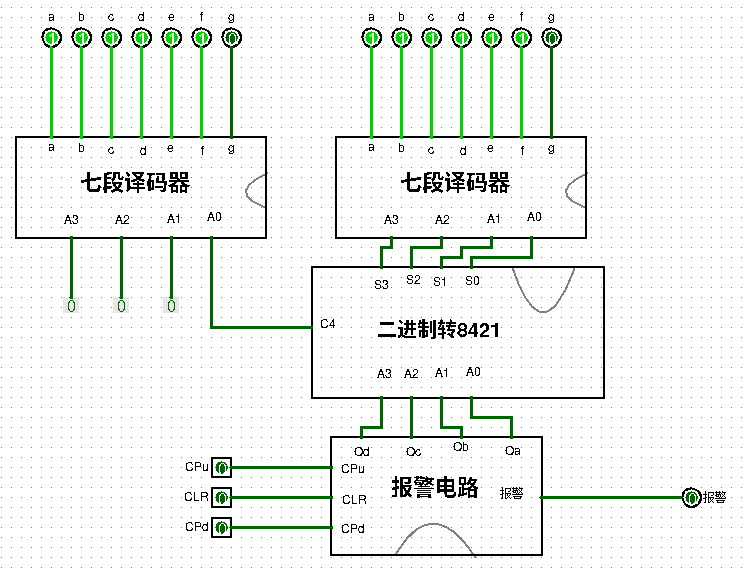
报警信号 Z = QAQBQCQDCPU

有电路图如图5-7所示

 图5-7 报警电路

**（5）小型实验室门禁系统电路的封装**

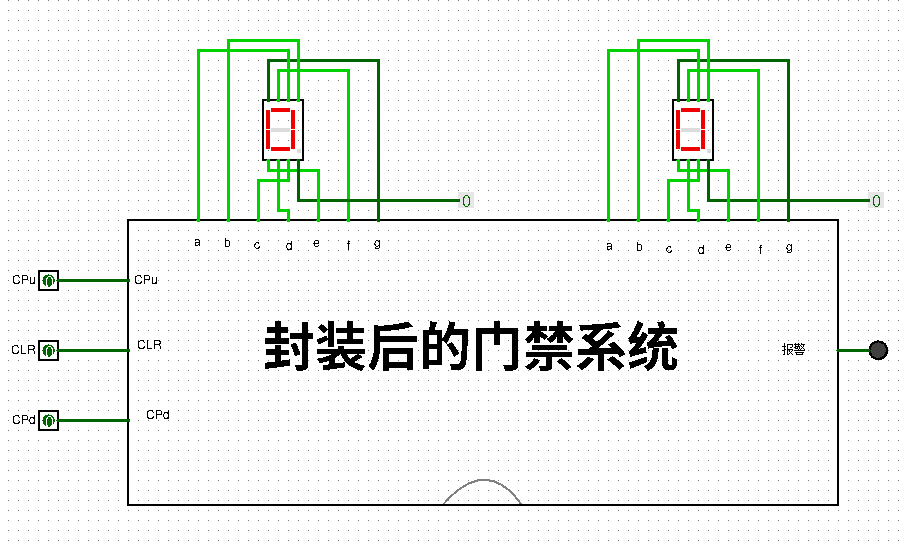
利用已设计的“私有”元器件和相应元器件设计一个“实验室门禁系统”电路，并封装。



电路图如图5-8所示

图5-8 门禁系统电

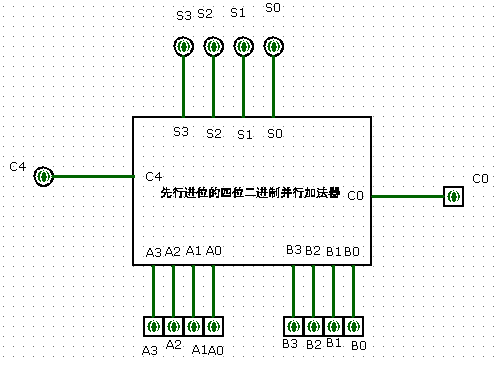
封装后的电路如图5-9所示

图5-9 封装后的门禁系统

6、实验结果记录

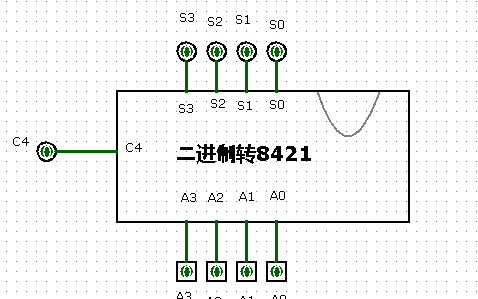
**（1）“四位二进制可逆计数器”“私有”元件的测试电路**

图2-1 为可逆计数器的测试电路

图2-1 可逆计数器测试电路

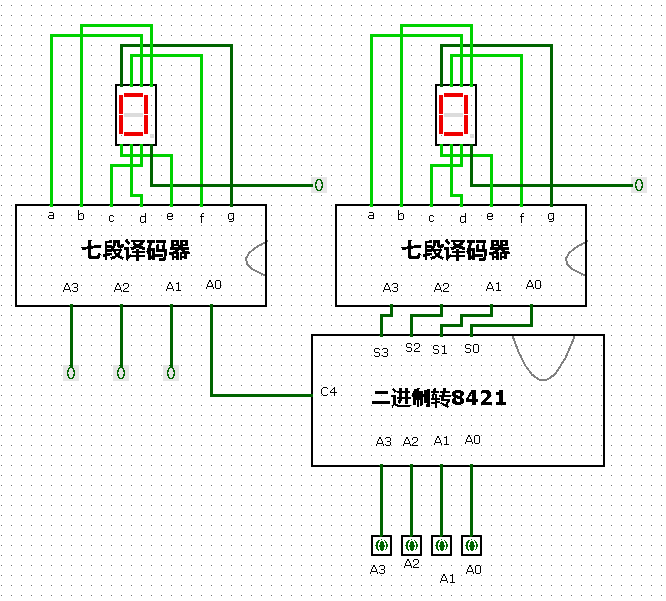
**（2）“实验室内人数转换成8421BCD码”“私有”元件的测试电路**

图2-2为转换8421BCD码的测试电路

图2-2二进制数转换成8421BCD码的电路

**（3）采用“7段数码显示管”显示人数“私有”元件测试电路**

图2-3 是7段数码显示管测试电路

图2-3 7段数码显示管测试电路

1. **“系统报警提示满员”“私有”元件的测试电路**

图2-4 是系统报警提示满员电路的测试电路

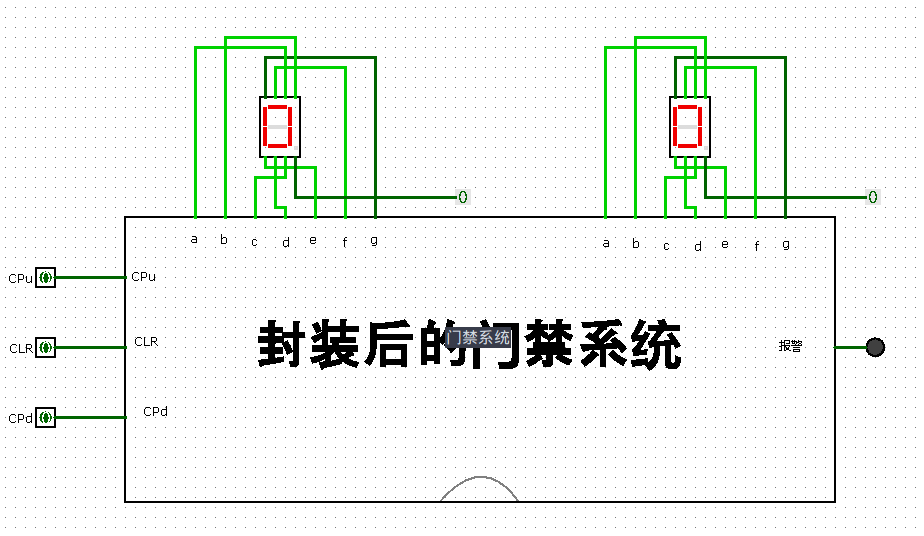


图2-4 系统报警提示满员电路的测试电路

**（5）“小型实验室门禁系统”“私有”元件的测试电路**

图2-5 是小型实验室门禁系统电路的测试电路

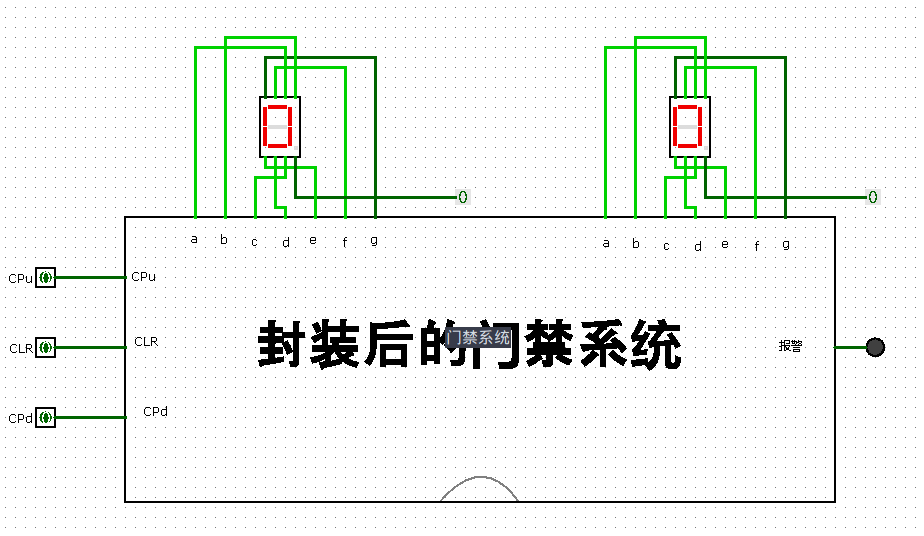


图2-5 小型实验室门禁系统电路的测试电路

7、实验后的思考

**（1）这两次实验的难点你认为在哪些方面？**

实验一中的主要难点在于最终公式的推导，虽然整体过程都是上课学过的步骤，但是由于触发器比较多，有4个，实际上写真值表的时候还是很容易出错的。最后写出表达式之后就是单纯的体力劳动了。实验二中的难点主要在于对于计数器这种元器件的特性的把控，尤其是对于清零时机的把握。一旦知道了什么时候需要进行清零，也就掌握了整个实验的脉络。

**（2）你是如何解决的？**

针对实验一中的公式推导，由于的确很容易出错，并且每一步都关系到最终的结果，所以我在Excel中仔细写出了真值表，并在纸上通过卡诺图推导出最终激励和输出的表达式。再根据此连接电路图。

而实验二中在计数器完成的基础上，只要把握这样一个点，就是模多少就在输出为多少的时候给清零端一个信号即可(实际上个人认为更严谨的办法是大于等于的时候给清零端信号会更加严禁)。之后便是上述知识的具体运用了。

**（3）意见和建议**