实验二：小型实验室门禁系统设计

1. 实验名称

小型实验室门禁系统设计。

2. 实验目的

采用传统电路的设计方法，对一个“设计场景”进行逻辑电路的设计，并利用工具软件Logisim的虚拟仿真来验证该设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使学生掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3．实验所用设备

Logisim2.7.1软件1套，微型计算机1台。

4．课时

课内4个课时，课外4个课时。

5．实验内容

**设计场景：**某小型保密实验室需要安装一个门禁系统，用于监测、控制和显示该实验室内人数。该实验室只有一个门，最多只能容纳15人。假设员工进出实验室都要刷门禁卡，并且保证一次刷卡后有且只有一人能进出。实验室空置时人数显示为0，刷卡进入时实验室人数加1，刷卡离开时实验室人数减1。当实验室满员时，还有员工在门外刷卡进入时，系统报警提示满员，不允许进入，实验室内人数不变。

使用Logisim软件对小型电路进行虚拟实验仿真，除逻辑门、触发器、7段数码显示管外，不能直接使用Logisim提供的逻辑元件库。

具体要求如下：

**（1）四位二进制可逆计数器**

用D触发器设计一个四位二进制可逆计数器并**进行封装**，逻辑符号如图2.1所示。

该计数器有一个清零端**CLR**、一个累加计数脉冲输入端**CPU** （输入刷卡进入请求）、一个累减计数脉冲输入端**CPD**（输入刷卡离开请求）、预置控制端、预置初置端DCBA、四个计数器状态输出值**QD QC QB QA**。当预置控制端为低电平时，计数器输出**QD QC QB QA**被预置为DCBA端输入的值。

**（2）二进制转8421BCD码电路**

用第一次实验所设计的“私有”元件“先行进位的四位二进制并行加法器”和适当元器件，将二进制数表示的实验室人数转换成**8421BCD码**的电路，并封装。

**QD QC QB QA**

**CPU**

**CLR 四位二进制可逆计数器**

**CPD**

**D C B A**

图2.1 四位二进制可逆计数器

**（3）显示电路**

设计一个7段译码器（参考书的7448芯片），将两位十进制数的8421BCD码表示的实验室人数用“7段数码显示管”显示出来，并封装该译码器电路。

该7段译码器有四个输入**A3A2A1A0**和七个输出**abcdefg**, **A3A2A1A0**为8421BCD码，abcdefg为7段数码显示管对应的段。

**（4）报警电路**

设计报警电路并封装，满足如下要求：

当实验室满员时，在累加计数脉冲输入端**CPU**刷卡进入请求时，计数器输出端状态值保持不变，系统报警提示满员。当实验室空时，逻辑上不会有实验室内累减计数脉冲输入端**CPD**刷卡离开请求，为防止信号干扰，在计数输出为0时，若**CPD**有脉冲，计数器状态值保持不变，且不用报警。

**（5）小型实验室门禁系统电路的封装**

利用已设计的“私有”元器件和相应元器件设计一个“实验室门禁系统”电路，并进行封装，封装后的小型实验室门禁系统逻辑符号如图2.2所示。

**十位**：7段数码显示管

**个位：**7段数码显示管

**a b c d e f g** **a b c d e f g**

**CPU**

**CLR 封装后的门禁系统逻辑符号 报警**

**CPD**

图2.2 封装后的小型实验室门禁系统

6. 实验方案设计

要求：（1）给出函数表达式或逻辑描述；（2）画出电路图。

7. 实验结果提交

要求：（1）本次实验的全部电路都在同一个Logisim文件中，子电路结构如图2.3所示；

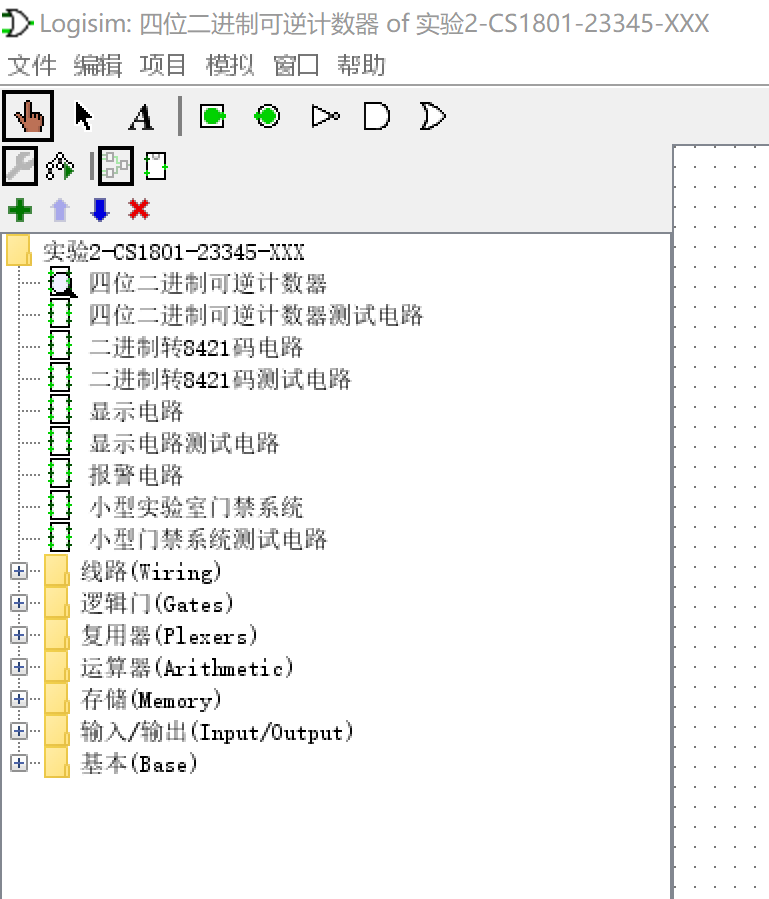


图2.3 实验二子电路结构

注意，所有的测试电路都是指封装之后加入外部的输入输出信号的电路。

（2）上交Logisim电路文件，命名格式：实验2-班级-学号-姓名。

（3）提交实验报告，命名格式：门禁系统-班级-学号-姓名，实验报告模板为本文档去掉7实验结果提交部分。