

***2***

***0***

***2***

***0***

**数字电路与逻辑设计**

**课程实验报告**

**小型实验室门禁系统**

|  |  |
| --- | --- |
| 姓 名： | 黄俊淇 |
| 学 号： | U201814604 |
| 班 级： | CS1804 |
| 专 业： | 计算机科学与技术 |
| 完成日期： | 2020.4.28 |

**1. 实验名称**

小型实验室门禁系统设计。

**2. 实验目的**

采用传统电路的设计方法，对一个“设计场景”进行逻辑电路的设计，并利用工具软件Logisim的虚拟仿真来验证该设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使学生掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

**3．实验所用设备**

Logisim2.7.1软件1套，微型计算机1台。

**4．课时**

课内4个课时，课外4个课时。

**5．实验内容**

**设计场景：**某小型保密实验室需要安装一个门禁系统，用于监测、控制和显示该实验室内人数。该实验室只有一个门，最多只能容纳15人。假设员工进出实验室都要刷门禁卡，并且保证一次刷卡后有且只有一人能进出。实验室空置时人数显示为0，刷卡进入时实验室人数加1，刷卡离开时实验室人数减1。当实验室满员时，还有员工在门外刷卡进入时，系统报警提示满员，不允许进入，实验室内人数不变。

使用Logisim软件对小型电路进行虚拟实验仿真，除逻辑门、触发器、7段数码显示管外，不能直接使用Logisim提供的逻辑元件库。

具体要求如下：

**（1）四位二进制可逆计数器**

用D触发器设计一个四位二进制可逆计数器并**进行封装**，逻辑符号如图2.1所示。

该计数器有一个清零端**CLR**、一个累加计数脉冲输入端**CPU** （输入刷卡进入请求）、一个累减计数脉冲输入端**CPD**（输入刷卡离开请求）、预置控制端、预置初置端DCBA、四个计数器状态输出值**QD QC QB QA**。当预置控制端为低电平时，计数器输出**QD QC QB QA**被预置为DCBA端输入的值。

**（2）二进制转8421BCD码电路**

用第一次实验所设计的“私有”元件“先行进位的四位二进制并行加法器”和适当元器件，将二进制数表示的实验室人数转换成**8421BCD码**的电路，并封装。

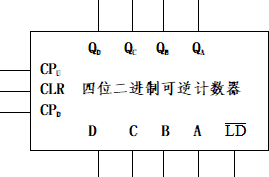


图2.1 四位二进制可逆计数器

**（3）显示电路**

设计一个7段译码器（参考书的7448芯片），将两位十进制数的8421BCD码表示的实验室人数用“7段数码显示管”显示出来，并封装该译码器电路。

该7段译码器有四个输入**A3A2A1A0**和七个输出**abcdefg**, **A3A2A1A0**为8421BCD码，abcdefg为7段数码显示管对应的段。

**（4）报警电路**

设计报警电路并封装，满足如下要求：

当实验室满员时，在累加计数脉冲输入端**CPU**刷卡进入请求时，计数器输出端状态值保持不变，系统报警提示满员。当实验室空时，逻辑上不会有实验室内累减计数脉冲输入端**CPD**刷卡离开请求，为防止信号干扰，在计数输出为0时，若**CPD**有脉冲，计数器状态值保持不变，且不用报警。

**（5）小型实验室门禁系统电路的封装**

利用已设计的“私有”元器件和相应元器件设计一个“实验室门禁系统”电路，并进行封装，封装后的小型实验室门禁系统逻辑符号如图2.2所示。

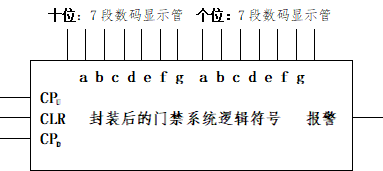


图2.2 封装后的小型实验室门禁系统

**6. 实验方案设计**

要求：（1）给出函数表达式或逻辑描述；（2）画出电路图。

1. 四位二进制可逆计数器

首先分析加法：次态真值表如图2.3所示

由次态真值表及D触发器的功能表可得：采用下降沿触发器

D1=-QA

D2=-QB

D3=-QC

D4=-QD

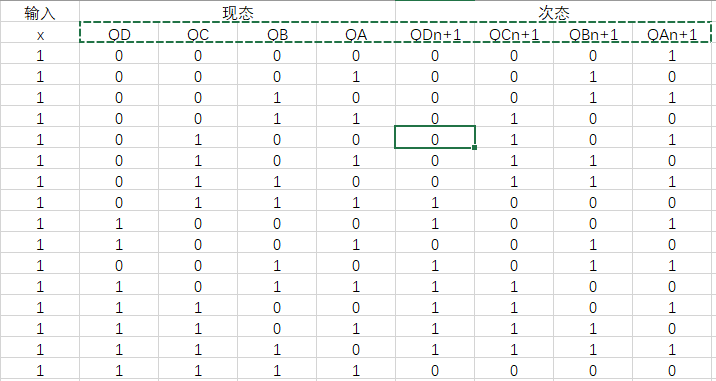


图2.3加法的次态真值表

C1=CPU，每当加一，最低位也就是QA会发生一次翻转，当QA从1->0，QB会发生一次翻转，C2=(QA)CPU，同理可得C3,C4：

C1=CPU

C2=(QA)CPU

C3=(QA)(QB)CPU

C4=(QA)(QB)(QC)CPU

接着分析减法：次态真值表如图2.4所示

由次态真值表和D触发器的功能表可得：

D1=-QA

D2=-QB

D3=-QC

D4=-QD

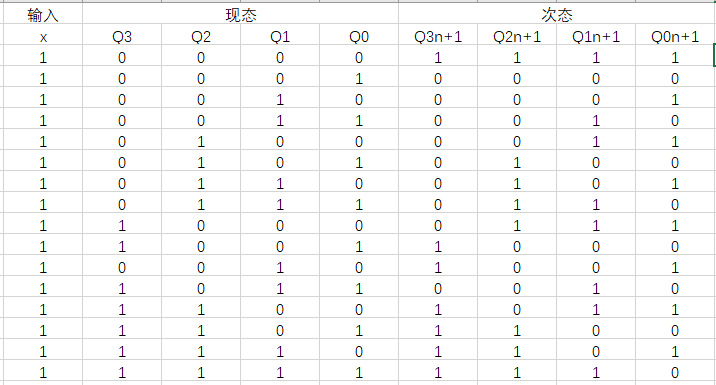


图2.4减法的次态真值表

C1=CPD，每当减一，QA仍会进行一次翻转，当QA从0->1，QB会进行一次翻转，因此C2=(-QA)CPD，同理可得C3,C4

C1=CPD

C2=(-QA)CPD

C3=(-QA)(-QB)CPD

C4=(-QA)(-QB)(-QC)CPD

综上所述，可以得到：

C1 = CPU + CPD

C2 = (-QA) CPD + QA CPU

C3 = (-QB )(-QA)CPD + QB QACPU

C4 = (-QC )(-QB )(-QA)CPD + QCQB QA CPU

最后分析预置：

以A为例进行分析，因为需要低电平实现预置，即LD=1，因此置1端应该为（LD）A，而置0端还要考虑CLR的作用，当CLR为1要实现清零，因此置0端应该为（A非）LD+CLR，同理B,C,D的D触发器的置0端，和置1端也是一样。这样，就可以画出电路图，如图2.5所示

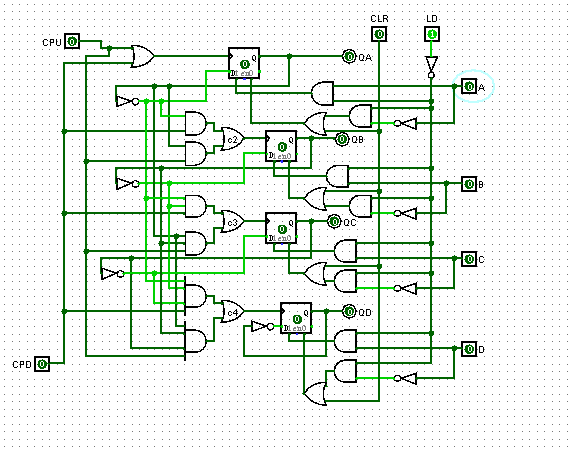


图2.5四位二进制可逆计数器电路图

1. 二进制转8421码

根据 8421码的定义，可以得到，当二进制数大于10时，则将个位数作为结果进行输出，以及一个进位信号，10的二进制表示为 1010, 因此可以得到当A3 = 1 并且 A2 A1 中至少有一个为1时可以判定二进制大于10，同时，如果二进制数大于10时，可以通过减去十，也即加上10的补码，0110来得到8421码以及进位信号，综上所述可以得到

B3 = B0 = 0

B2 = B1 = A3 (A2 + A1)

电路图如图2.6所示

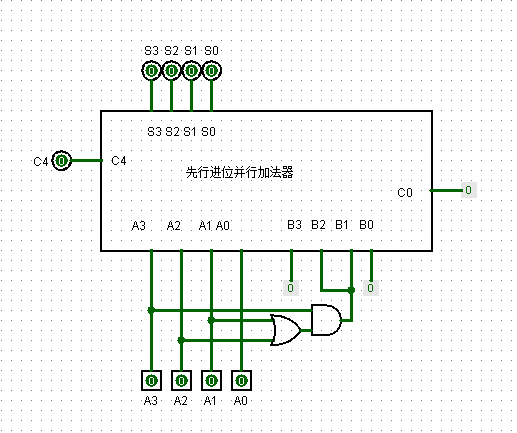


图2.6二进制转8421码电路图

（3）显示电路

根据7段译码器7448的功能表，译码器电路图如图2.7

显示电路电路图如图2.8所示

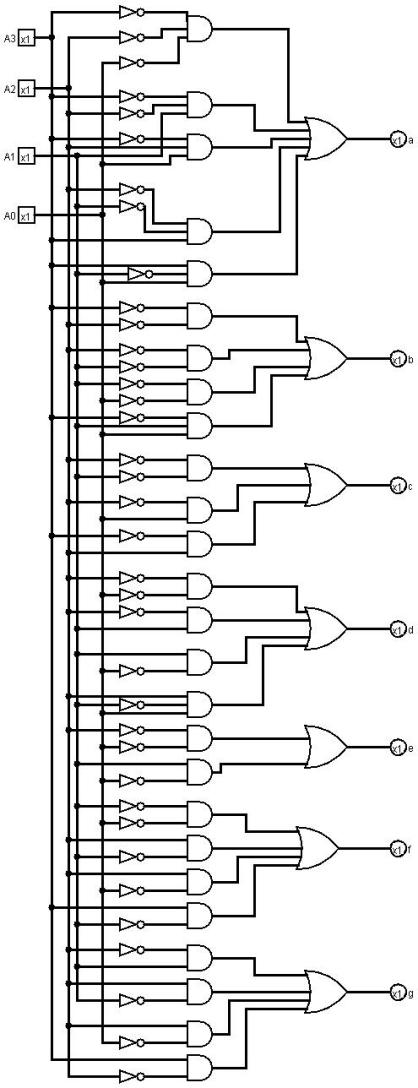


图2.7 7段译码器电路图

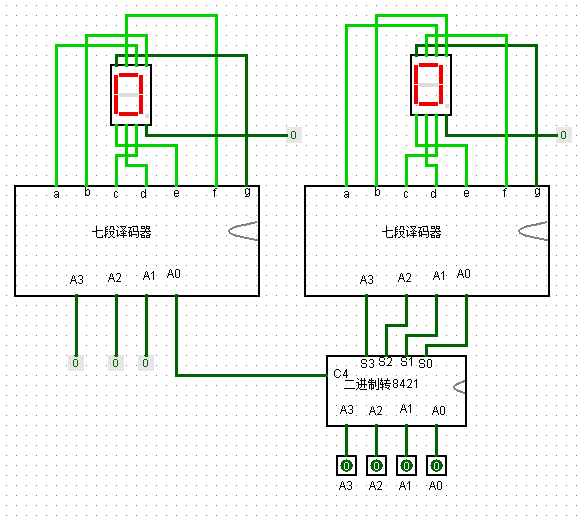


图2.8显示电路电路图

（4）报警电路

当二进制为1111时，再次加一，就会报警，因此电路的输出Z=QAQBQCQDCPU,而且会将CPU置0，因此CPU=(-QAQBQCQD)CPU。当实验室无人，减一操作也会导致报警，因此CPD=(QA+QB+QC+QD)CPD。电路图如图2.9所示。

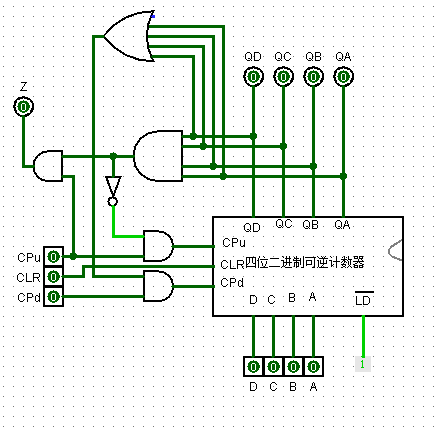


图2.9报警电路电路图

（5）门禁系统

将报警电路与显示电路进行整合，即可得到门禁系统电路。电路图如图2.10所示。

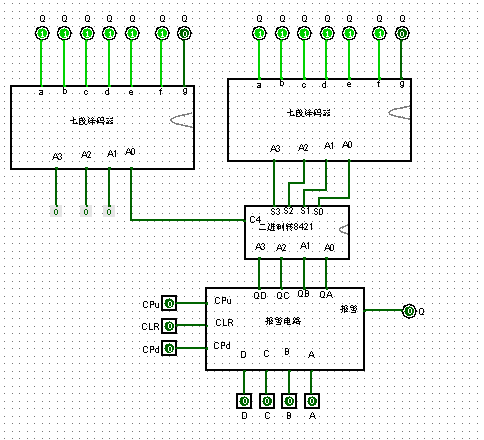


图2.10门禁系统电路图