

选课时间段: 周五 6-8 节

序号 (座位号): _____

杭州电子科技大学

实 验 报 告

课程名称: EDA 技术

实验名称: 简易正弦信号发生器设计

指导老师: 岳克强

学生姓名: 黄继升

学生学号: 16041321

学生班级: 16041812

所学专业: 电子信息工程

实验日期: 2017.11.24

一.实验目的

1. 学会使用 LPM 宏模块来调用计数器 LPM_COUNTER, 设计一个 7 位计数器 CNT7B;
2. 学会使用 LPM 宏模块来调用存储器 LPM_ROM, 设计一个 7 位地址线, 8 位数据线, 含有 128 个 8 位波形数据的正弦信号数据存储器 ROM78;
3. 学会用多种方法来生成含有 128 个 8 位正弦波形数据的 mif 文件 data7X8. mif;
4. 学会简易正弦信号发生器的设计
5. 学会使用嵌入式逻辑分析仪 SignalTap II 进行信号的采样分析, 并通过计算机仿真来得到正弦波形的输出。

二.实验仪器设备或关键器材

1. Quartus II 软件
2. EDA 实验箱上的 FPGA 开发板

三.实验原理

(1)LPM 宏模块的应用

LPM 是 Library of Parameterized Modules(参数可设置模块库)的缩写。在许多设计中, 必须利用这些宏模块才可以使用一些 Altera 器件中特定模块的硬件功能。例如各类片上存储器、DSP 模块、LVDS 驱动器, 嵌入式锁相环 PLL 模块等。这些可以以图形或 HDL 硬件描述语言模块形式方便调用的宏功能块, 使得基于 EDA 技术的电子设计的效率和系统性能有了很大的提高。设计者可以根据实际电路的设计需要, 选择 LPM 库中的适当模块, 并为其设定适当的参数, 就能在自己的项目中十分方便地调用优秀的电子工程技术人员的硬件设计成果。

(2)SignalTap II 的使用

嵌入式逻辑分析仪可以将一种高效的硬件测试手段和传统的系统测试方法相结合。它的采样部件可以随设计文件一并下载于目标芯片中, 用以捕捉目标芯片内部系统信号节点处的信息或总线上的数据流, 却又不影响原硬件系统的正常工作。这就是 Quartus II 中嵌入式逻辑分析仪 SignalTap II 的目的。在实际监测中, SignalTap II 将测得的样本信号暂存于目标器件中的嵌入式 RAM 中, 然后通过器件的 JTAG 端口将采得的信息传出, 送入计算机进行显示和分析。

四.实验内容以及操作：

设计一个简易的正弦信号发生器

思路：简易正弦信号发生器的组成结构：

1. 7 位计数器 LPM 模块 CNT7B；
2. 正弦信号数据存储 ROM78 (7 位地址线，8 位数据线)
3. 工程 SIN_GNT 顶层原理图设计；
4. 8 位 D/A (如 DAC0832) 注：本实验用嵌入式逻辑分析仪测试和观察输出波形。

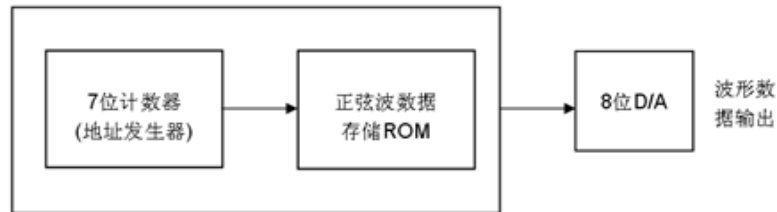


图 7-26 正弦信号发生器结构框图

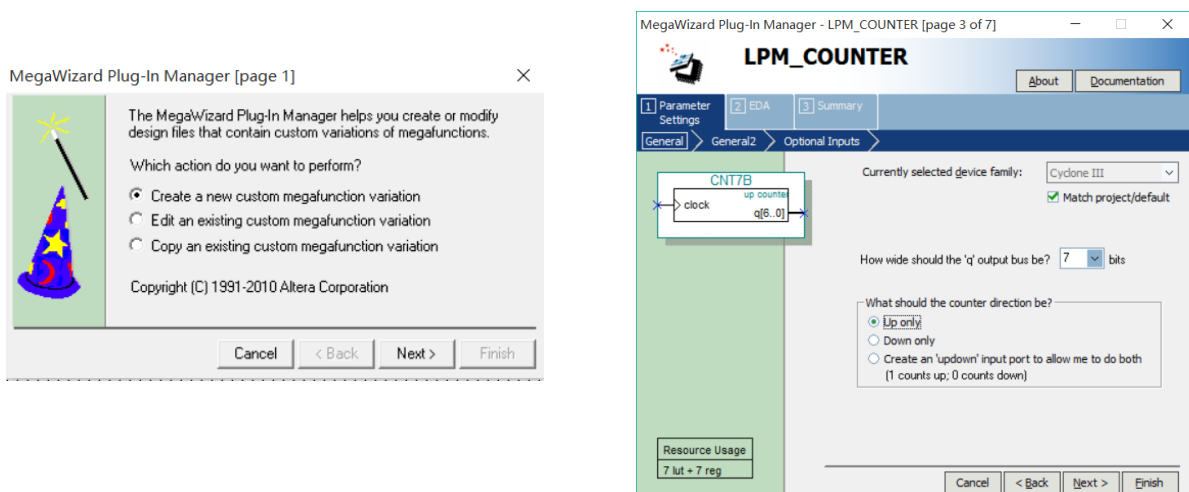
设置操作方法：

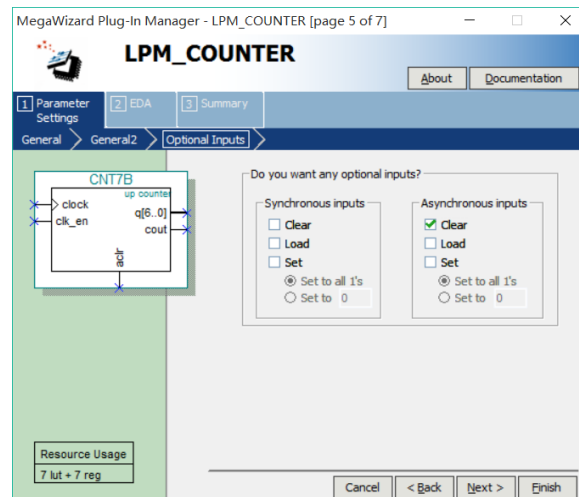
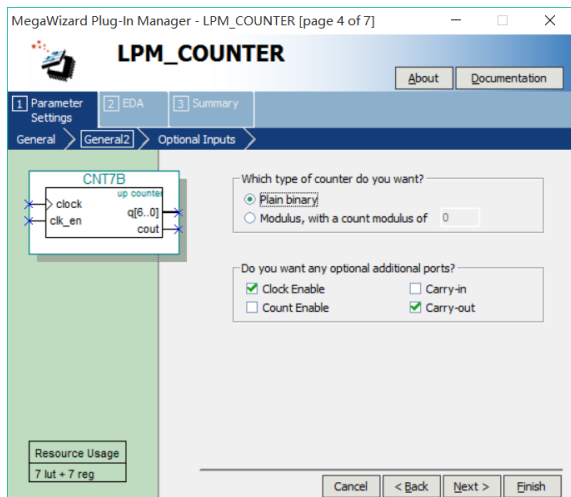
(1) 7 位计数器 LPM 模块 CNT7B

先新建文件夹 D:\Documents\Desktop\EDA\EDA 实验\EDA 实验三\正弦信号，将工程 SIN_GNT 建立在这个文件夹中，并新建原理图文件。

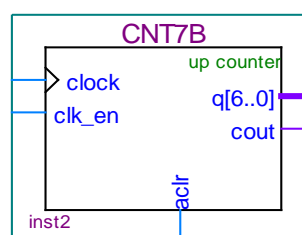
QuartusII 软件中：

选择 Tools→MegaWizard Plug-In Manager 命令，打开对话框，选中 Create a new custom megafunction variation，点击 next，新对话框左侧点击算术项 Arithmetic 后，选择计数器 LPM_COUNTER。再在右上选择 Cyclone III 和 Verilog HDL 语言方式，最后保存在此模块文件存放的路径和文件名：D:\Documents\Desktop\EDA\EDA 实验\EDA 实验三\正弦信号\CNT7B，点击 Next；出现新的对话框后，选择“7”位计数器，再选择“Create an updown input...”使得计数器有加减控制功能，单击 Next；新的对话框中，默认 Plain binary，选择时钟使能控制 Clock Enable 和进位输出 Carry-out，点击 Next；在新的对话框中选择异步清 0 控制 Clear，最后点击 Next 按钮结束设置：





最后生成元件 CNT7B:



(2) data7X8.mif 文件

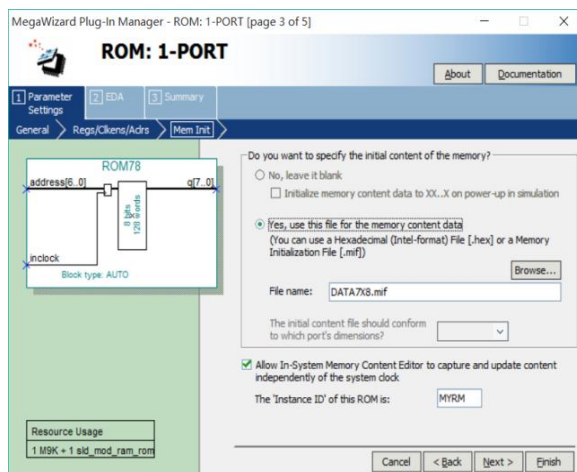
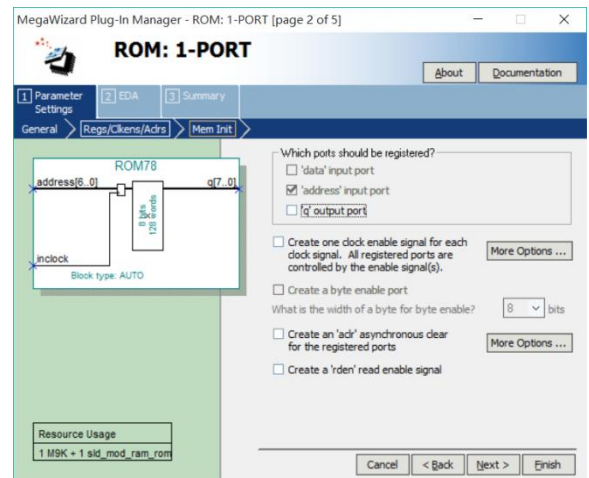
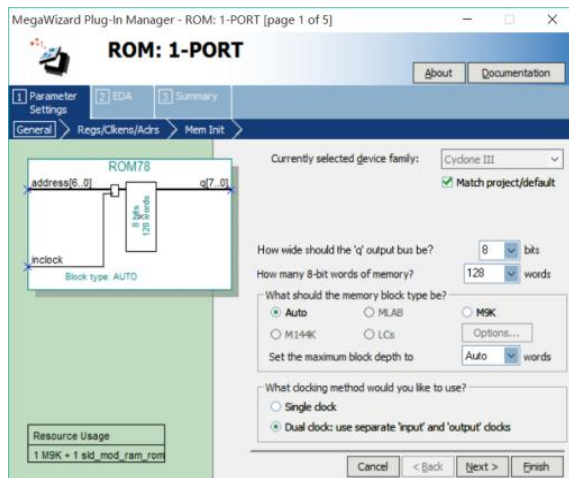
直接编辑法：File→New→Memory File→Memory Initialization File 项，点击 OK 后产生.mif 数据文件大小选择窗口，选择地址线宽为 7 位，选 number 为 128，对应的数据线宽为 8 位，选择 Word size 为 8 位。点 OK，会出现 mif 数据表格，按如下图进行数据键入。填完此表后，选择 File→Save as 命令，保存此数据文件，取名为 data7X8.mif。

Addr	+0	+1	+2	+3	+4	+5	+6	+7
00	80	86	8C	92	98	9E	A5	AA
08	B0	B6	BC	C1	C6	CB	D0	D5
10	DA	DE	E2	E6	EA	ED	F0	F3
18	F5	F8	FA	FB	FD	FE	FE	FF
20	FF	FF	FE	FE	FD	FB	FA	F8
28	F5	F3	F0	ED	EA	E6	E2	DE
30	DA	D5	D0	CB	C6	C1	BC	B6
38	B0	AA	A5	9E	98	92	8C	86
40	7F	79	73	6D	67	61	5A	55
48	4F	49	43	3E	39	34	2F	2A
50	25	21	1D	19	15	12	0F	0C
58	0A	07	05	04	02	01	01	00
60	00	00	01	01	02	04	05	07
68	0A	0C	0F	12	15	19	1D	21
70	25	2A	2F	34	39	3E	43	49
78	4F	55	5A	61	67	6D	73	79

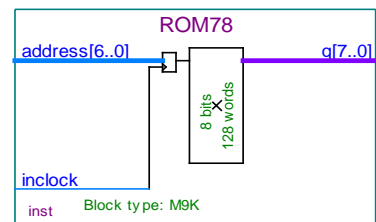
(3) 正弦信号数据存储 ROM78

同上，在 MegaWizard Plug-In Manager 命令打开对话框，新对话框左侧选择 Memory Compiler→ROM: 1-PORT 项，文件名命名为 ROM78，选择 FPGA 为 Cyclone III，文本表述选择 Verilog，选择输出宽度为“8”，words 选择“128”，Block type

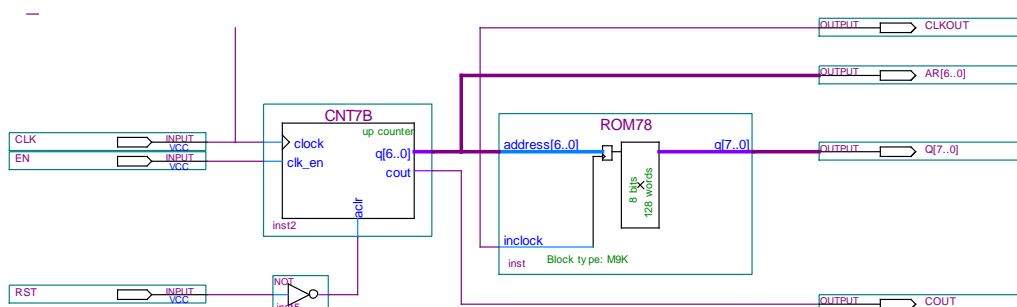
选择 Auto，Clocking method 选择 Dual clock，点击 Next；在新的对话框去掉勾选的 'q' output port，点击 Next；在新的对话框选中“**Yes, use this file...**”，在 File name 中导入我们之前设置好的 DATA7X8.mif 文件，点击 Next，结束设置：



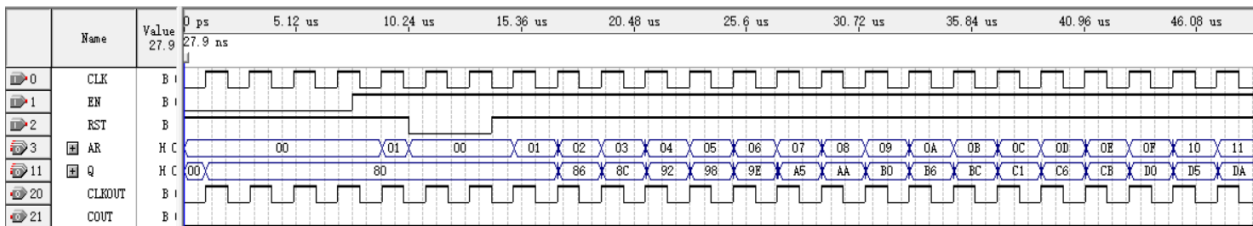
最后生成元件 ROM78：



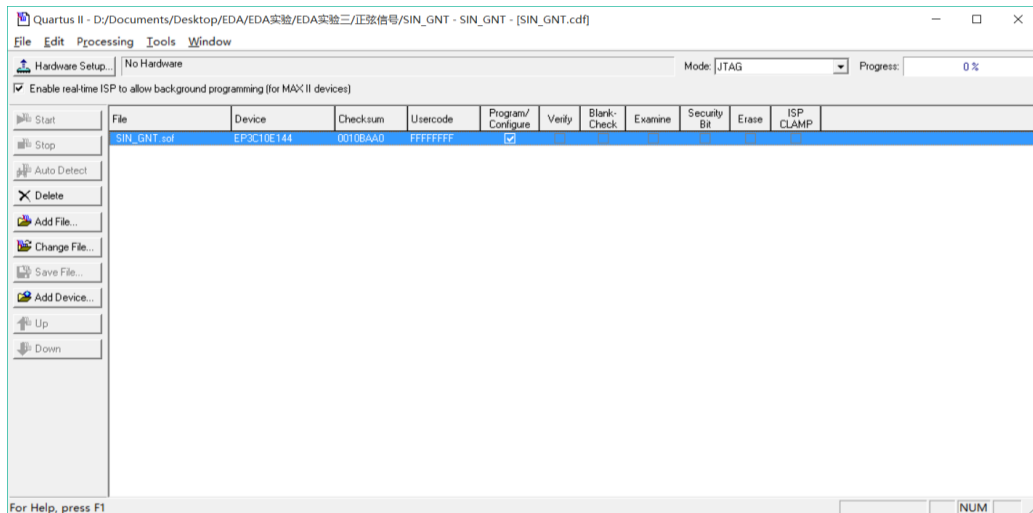
(4) 工程 SIN_GNT 顶层原理图设计



(5) 保存并且编译原理图，输出波形图如下

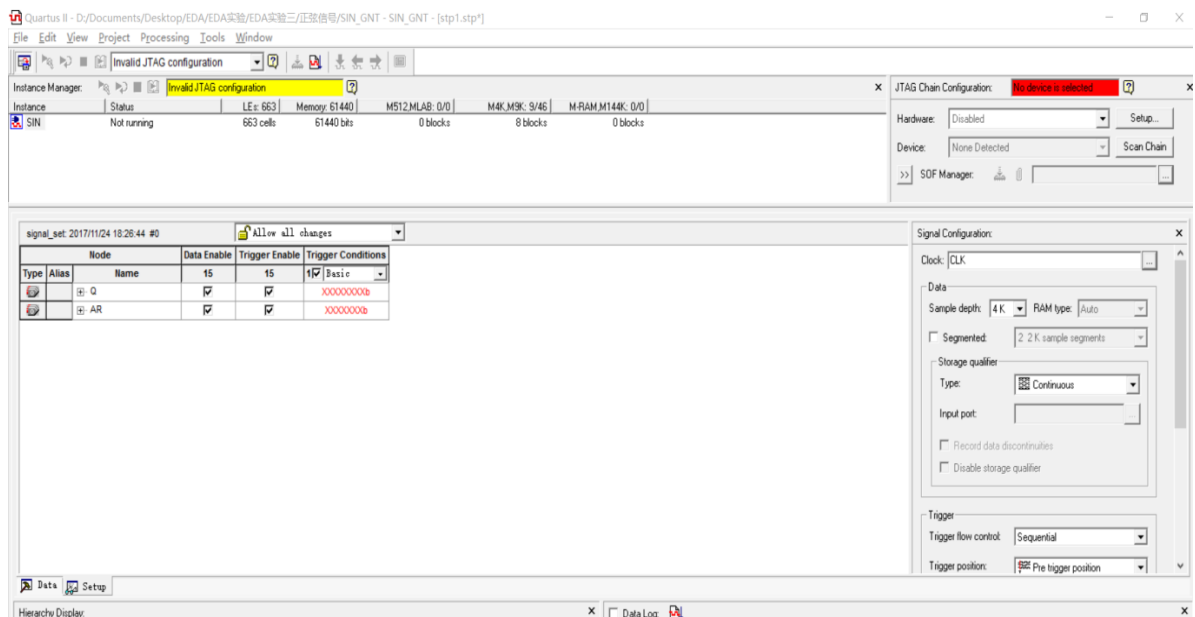


再将程序 SIN_GNT.sof 下载到 FPGA 开发板上

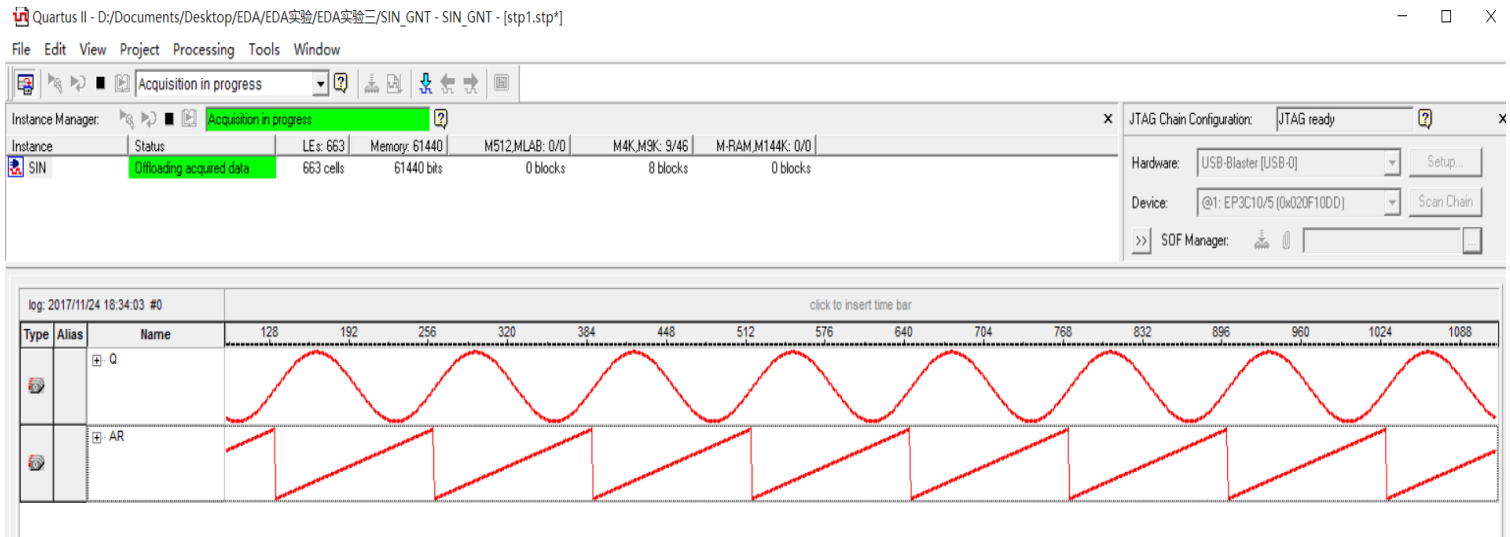


(6) 使用 SignalTap II 嵌入式逻辑分析仪进行分析：

打开 Signal 窗口：选择 File→New 命令，在 New 窗口中选择 SignalTap II Logic Analyzer File，单击 OK，则出现 SignalTap II 编辑窗口，在下一栏的空白处双击出现 Node Finder，选择“Pins:all”，将节点 Q 和 AR 调入，并右键点击这两个变量设置为“Unsigned Line Chart”格式，再在 Setup 选项卡中设置时钟信号 CLK，采样深度为 4K，在 Trigger 栏的 Trigger Condition 下拉列表框中选择 1；选中 Trigger in 复选框，并在 Source 框选择 EN 作为触发信号，在触发方式 Pattern 下拉列表框中选择高电平触发，最后进行文件存盘，如下图所示：



最后进行编译下载, 点击 Setup, 设置为 USB-Blaster 模式, 在栏中出现 FPGA 型号名, 表示系统 JTAG 通信情况正常。将程序下载到 FPGA 开发板上后, 点击 Autotun Analysis 进行采样分析, 输出正弦波形如下所示:



五.实验感想:

这次 EDA 实验总的来说还是比较简单的, LPM 模块的设置上学期的数电课已经学过, 所以这次做两个 LPM 模块 LPM_COUNTER 和 LPM_ROM 自己就能够设计出来, 而这次新用了嵌入式逻辑分析仪 SignalTap II 对大多数人来说可能第一次用, 还是有些生疏的, 但是我上学期的数电大作业做的就是 DDS 数字信号发生器, 早已熟悉对嵌入式逻辑分析仪的使用, 所以总的来说实验难度并不是很大。需要注意的是要记得把两个节点变量 Q 和 AR 设置为 Unsigned Line Chart, 这样才能显示出我们想要看到的正常的正弦波形。