

选课时间段: 周五 6-8 节

序号 (座位号): _____

杭州电子科技大学

实 验 报 告

课程名称: EDA 技术

实验名称: 序列检测器设计

指导老师: 岳克强

学生姓名: 黄继升

学生学号: 16041321

学生班级: 16040313

所学专业: 电子信息工程

实验日期: 2017.12.22

一.实验目的

用状态机实现序列检测器的设计，了解一般状态机的设计与应用

二.实验仪器设备或关键器材

1. Quartus II 软件
2. EDA 实验箱上的 FPGA 开发板

三.实验原理

序列检测器可用于检测一组或多组由二进制码组成的脉冲序列信号，当序列检测器连续收到一组串行二进制码后，如果这组码与检测器中预先设置的码相同，则输出 1，否则输出 0。由于这种检测的关键在于正确码的收到必须是连续的，这就要求检测器必须记住前一次的正确码及正确序列，直到在连续的检测中所收到的每一位码都与预置数的对应码相同。在检测过程中，任何一位不相等都将回到初始状态重新开始检测。

若将状态机用于序列检测器的设计比之其他方法更能显示其优越性。当 10 位待检测序列高位在前左移串行进入检测器后，若此数与预置的 1111111111 相同，则输出 1，否则始终输出 0。其中 CLK，DIN，RST 和 SOUT 分别是时钟信号、输入数据、复位信号和检测结果输出。

四.实验内容以及操作：

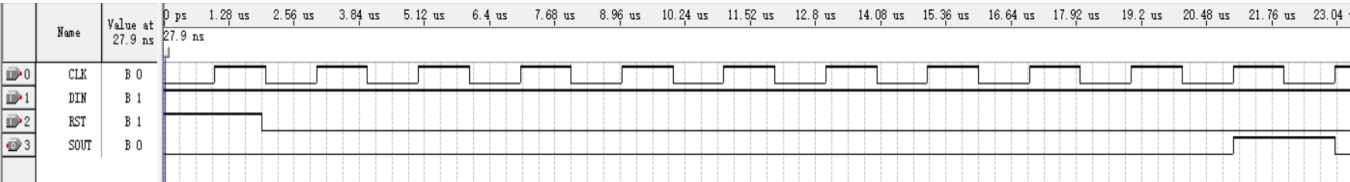
根据 10.2.2 节有关的原理介绍，利用 Quartus II 对例 10-4 进行改写，重新设计一个 10 位二进制序列的检测器，进行文本编辑输入、仿真测试并给出仿真波形，了解控制信号的时序，最后进行引脚锁定并完成硬件测试实验。

SCHK 代码：

该模块检测到序列 1111111111，则输出一个高电平。

```
1 module SCHK(input CLK,DIN,RST, output SOUT);
2     parameter s0=40,s1=41,s2=42,s3=43,s4=44,s5=45,
3             s6=46,s7=47,s8=48,s9=49,s10=50;
4     reg[10:0] ST,NST;
5     always @(posedge CLK or posedge RST)
6         if(RST) ST<=s0;else ST<=NST;
7     always @(ST or DIN) begin
8         case(ST)
9             s0 : if(DIN==1'b1) NST<=s1; else NST<=s0;
10            s1 : if(DIN==1'b1) NST<=s2; else NST<=s0;
11            s2 : if(DIN==1'b1) NST<=s3; else NST<=s0;
12            s3 : if(DIN==1'b1) NST<=s4; else NST<=s0;
13            s4 : if(DIN==1'b1) NST<=s5; else NST<=s0;
14            s5 : if(DIN==1'b1) NST<=s6; else NST<=s0;
15            s6 : if(DIN==1'b1) NST<=s7; else NST<=s0;
16            s7 : if(DIN==1'b1) NST<=s8; else NST<=s0;
17            s8 : if(DIN==1'b1) NST<=s9; else NST<=s0;
18            s9 : if(DIN==1'b1) NST<=s10; else NST<=s0;
19            s10 : if(DIN==1'b1) NST<=s1; else NST<=s0;
20            default : NST<=s0;
21        endcase end
22    assign SOUT=(ST==s10);
23 endmodule
24
```

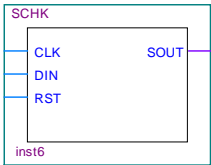
新建一个波形图，设置 endtime=50μ s，CLK 设置为 2μ s，并设置 DIN 为高电平。保存并输出波形图如下。



由波形图可知，当 RST=0 时，每 10 个时钟信号后 SOUT 输出高电平 1，证明序列 1111111111 检测成功。

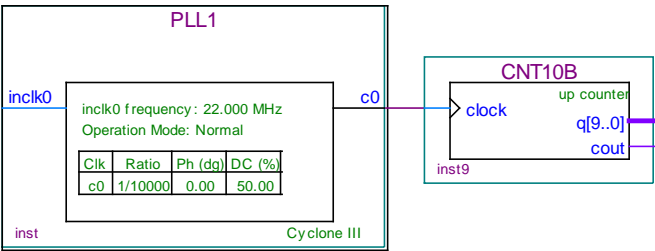
最后生成元件：

Parameter	Value	Type
s0	40	Signed Integer
s1	41	Signed Integer
s2	42	Signed Integer
s3	43	Signed Integer
s4	44	Signed Integer
s5	45	Signed Integer
s6	46	Signed Integer
s7	47	Signed Integer
s8	48	Signed Integer
s9	49	Signed Integer
s10	50	Signed Integer

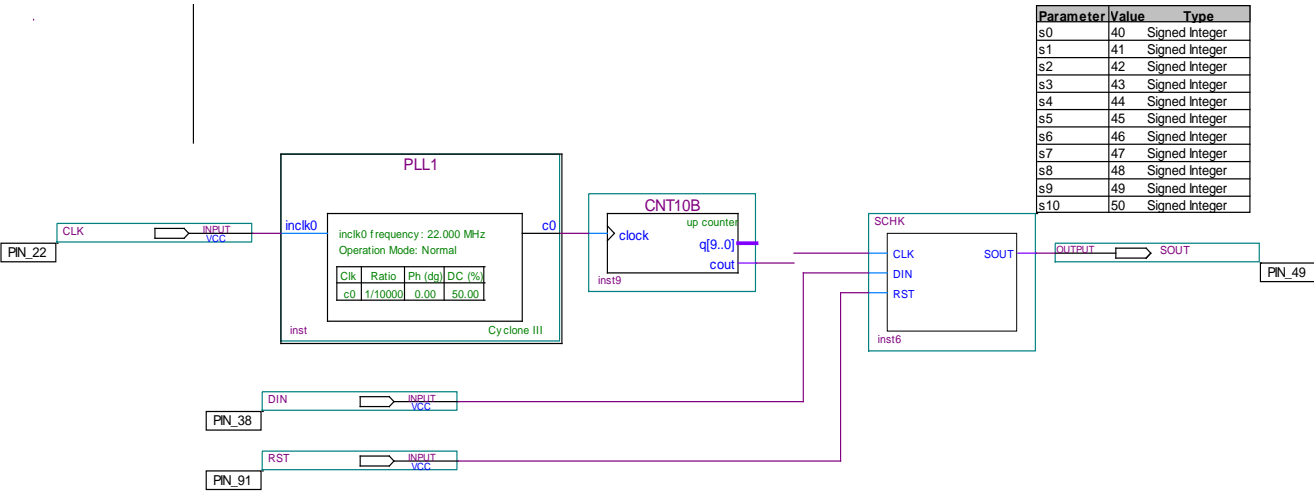


然而为了在 FPGA 上进行硬件测试，则必须进行 22MHZ 时钟信号的分频

分频器设计：进行如下的设置，将一个锁相环 PLL 和一个 10 位二进制计数器进行连接，构成一个 $10000 \times 2^{10} = 10240000$ 倍分频器



新建一个原理图，将各元器件进行如下连接：

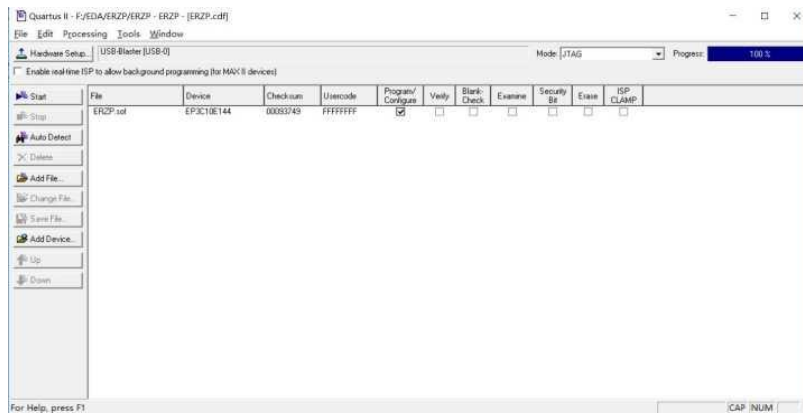


引脚设置：

CLK 设置为 PIN_22，PIN 设置为 PIN_38，RST 设置为 PIN_91，SOUT 设置为 PIN_49，如下所示：

	Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved
1	CLK	Input	PIN_22	1	B1_N0	2.5 V (default)	
2	DIN	Input	PIN_38	3	B3_N0	2.5 V (default)	
3	RST	Input	PIN_91	6	B6_N0	2.5 V (default)	
4	SOUT	Output	PIN_49	3	B3_N0	2.5 V (default)	
5	<<new node>>						

保存，并且进行编译通过后，将 FPGA 和计算机相连，把整个顶层电路设计下载到 FPGA 开发板上，如下所示：



硬件检测：当按下 DIN 按键 5s 后，可发现 SOUT 对应的指示灯亮起。

五.实验感想：

这次实验总的来说还是很容易的，我本来的想法是这样的：设计一个 1101101101 的序列检测器，其中包含 10 位左移寄存器模块，序列检测模块和时钟分频模块，然后通过 FPGA 开发板上的十个按键来进行提前输入置数，最后将所输入的数与预置在序列检测模块的十位序列码 1101101101 进行比较，经过十个时钟周期后输出结果。但是我没有考虑到 FPGA 上没有足够的按键，即没有考虑到实际情况，但是通过这次设计使我加深了对状态机代码设计的理解，从而更加熟练地掌握对 Verilog 代码的编写。希望以后我能独立地编写出更多的程序代码，并且为学会其他软硬件代码语言打下坚实的基础。