

选课时间段: 周五 6-8 节

序号 (座位号): _____

杭州电子科技大学

实 验 报 告

课程名称: EDA 技术

实验名称: 时序电路的 Verilog 设计

指导老师: 岳克强

学生姓名: 黄继升

学生学号: 16041321

学生班级: 16040313

所学专业: 电子信息

实验日期: 2017.11.10

一.实验目的

1. 针对一些常用而典型的基本时序元件模块，给出对应 Verilog 表述，并针对其进行详细分析，由此得出时序电路描述的一般规律；
2. 掌握一些针对时序逻辑描述的新的 Verilog 语法知识和设计经验，深入了解和掌握 Verilog 时序数字系统设计方法。

二.实验仪器设备或关键器材

1. Quartus II 软件
2. EDA 实验箱上的 FPGA 开发板

三.实验原理

(1)十进制加法器计数器：

RST 在任意时刻有效时，即使 CLK 非上升沿，计数也能即刻清 0。当 EN=1，且在时钟 CLK 的上升沿时间范围 LOAD=0 时，4 位输入数据 DATA=7 被加载，在 LOAD=1 后作为计数器的计数初值，计数从 4 加载到 7 的时序。计数到 9 时，COUT 输出进位 1。但当下一轮计数到 2 时，尽管出现了加载信号 LOAD=0，但并未出现加载情况。这是因为，LOAD 是同步加载，没有时钟上升沿。当 EN=1，RST=1，LOAD=1 时，计数正常进行，在计数数据等于 9 时进位输出高电平。

(2)50% 占空比的 7 分频器：

所谓 7 分频，是指分频后的时钟的周期是之前的 7 倍，但是通过计数得不到等占空比的 7 分频，但是我们可以做到 4:3 的分频，计数 4 个周期上升沿时候翻转，再计数 3 个周期上升沿翻转，这样就是 7 分频，4:3，只要再挪出半个周期，就可以做到 3.5:3.5 了，这半个周期在下降沿时计数，做和上升沿同样的翻转，上升沿和下降沿只差半个周期。

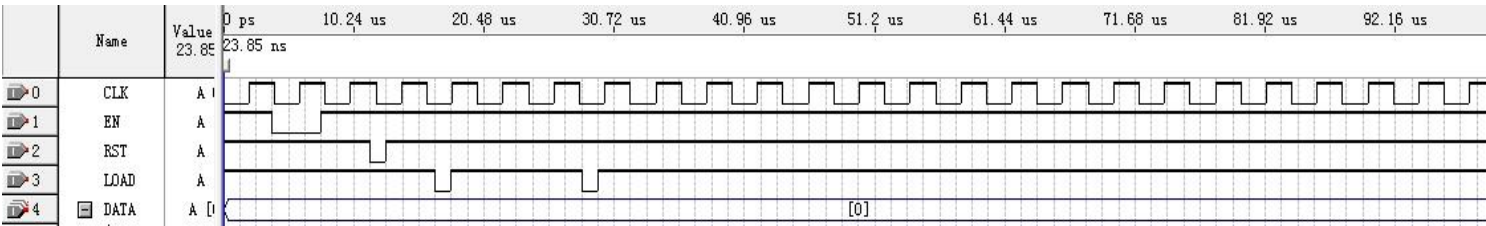
四.实验内容以及操作：

1. 设计一个异步清 0，同步时钟使能和同步数据加载型 10 进制加法计数器。

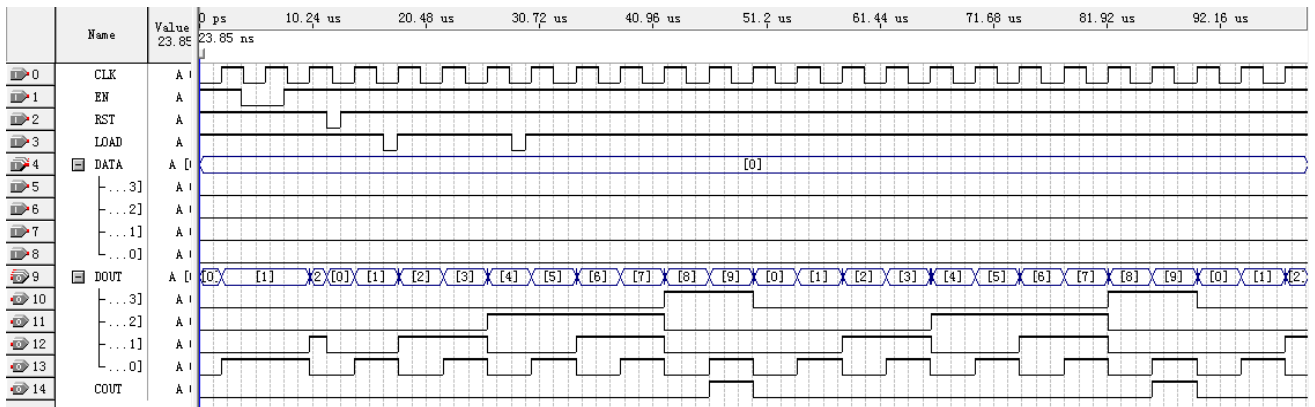
CNT10 代码：

```
module CNT10(CLK,EN,RST,LOAD,COUT,DOUT,DATA);
input CLK,EN,RST,LOAD;
input[3:0] DATA;
output[3:0] DOUT;
output COUT;
reg COUT;
reg[3:0]Q1;
assign DOUT=Q1;
always @(posedge CLK or negedge RST)
begin
    if(!RST) Q1<=0;
else if(EN) begin
    if(!LOAD) Q1<=DATA;
else if(Q1<9) Q1<=Q1+1;
else Q1<=4'b0000; end
end
always@(Q1)
    if(Q1==4'h9) COUT=1'b1; else COUT=1'b0;
endmodule
```

保存后进行编译，编译成功后，再新建一个波形图。

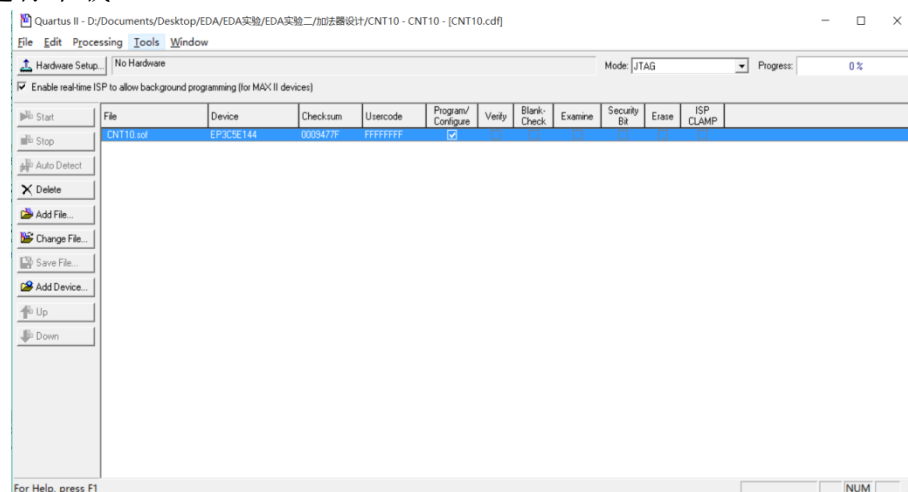


设置好仿真结束时间 endtime(100μ s)，时钟信号 CLK 设置为 4μ s，并且对时钟使能端(EN)、复位端(RST)、数据加载控制信号(LOAD)、以及四位并行加载数据(DATA)进行如上的设置，保存后输出波形图如下：



最后下载到 FPGA 开发板上：

下载方式：先将电脑与 FPGA 开发板成功连接，在软件上方菜单栏中选中 Tools → Programmer → Hardware Setup → USB-Blaster[USB-0] → CNT10.sof → Start 进行下载：



下载成功界面如下：

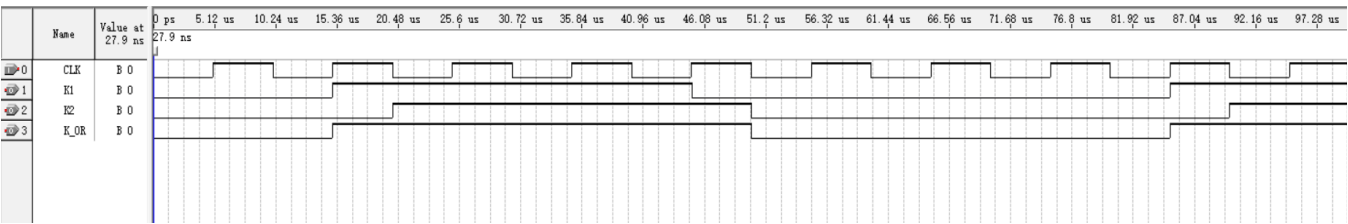


2. 设计一个输出为 50% 占空比的 7 分频器，最后进行 FPGA 硬件测试。

FDIV7 代码：

```
module FDIV7(input CLK,output K_OR,K1,K2);
reg[2:0] C1,C2; reg M1,M2;
always@(posedge CLK) begin
    if(C1==6) C1<=0; else C1<=C1+1;
    if(C1==1) M1<=~M1; else if(C1==4) M1=~M1; end
always@(negedge CLK) begin
    if(C2==6) C2<=0; else C2<=C2+1;
    if(C2==1) M2<=~M2; else if(C2==4) M2=~M2; end
assign K1=M1; assign K2=M2;
assign K_OR=M1|M2;
endmodule
```

保存后进行编译，编译成功后，再新建一个波形图。
设置好仿真结束时间 endtime(100μ s)，时钟信号 CLK 设置为 10μ s。保存后
输出波形图如下：



由输出波形可知该程序成功地实现了 50% 占空比的 7 分频电路。

引脚锁定：

方法 1: Assignments→Pin Planner(或 Pins)，将 CLK 锁定为引脚 PIN_22，
将 K_OR 锁定为引脚 PIN_7，如下所示：

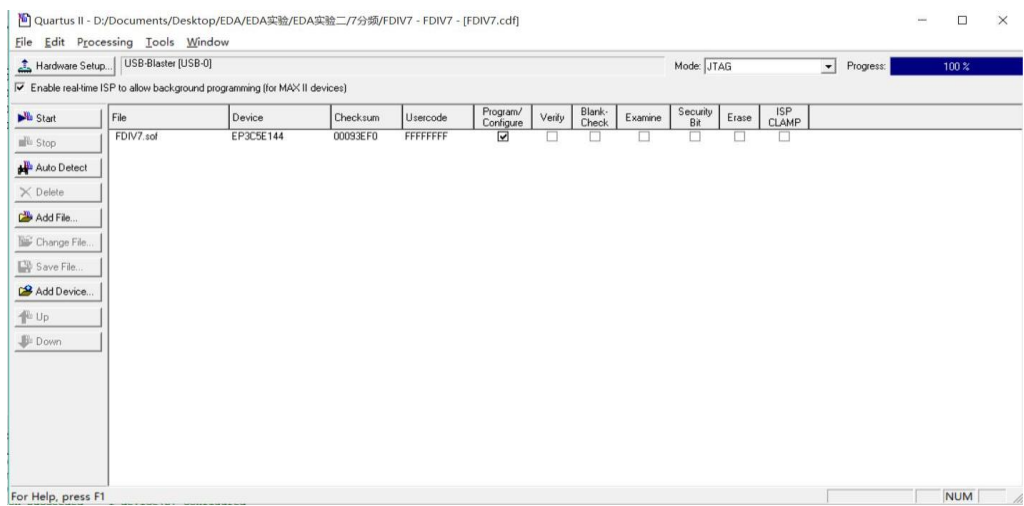
| | Node Name | Direction | Location | I/O Bank | VREF Group | I/O Standard | Reserved |
|---|-----------|-----------|----------|----------|------------|-----------------|----------|
| 1 | CLK | Input | PIN_22 | 1 | B1_N0 | 2.5 V (default) | |
| 2 | K1 | Output | | | | 2.5 V (default) | |
| 3 | K2 | Output | | | | 2.5 V (default) | |
| 4 | K_OR | Output | PIN_7 | 1 | B1_N0 | 2.5 V (default) | |

方法 2: Assignments→Pin Planner→Assignments Editor，进行相同引脚
设置：

| | To | Location | Enabled |
|---|---------|----------|---------|
| 1 | CLK | PIN_22 | Yes |
| 2 | K_OR | PIN_7 | Yes |
| 3 | <<new>> | | |

最后下载到 FPGA 开发板上：

下载方式：先将电脑与 FPGA 开发板成功连接，在软件上方菜单栏中选中 Tools→Programmer→Hardware Setup→USB-Blaster[USB-0] →FDIV7.sof →Start 进行下载，下载成功界面如下：



最后在 FPGA 开发板上进行功能实现。

五.实验感想:

通过这次 EDA 实验，我掌握了如何用 quartusII 软件进行编程来实现一个异步清 0，同步时钟使能和同步数据加载的 10 进制加法计数器；掌握了如何设计一个占空比为 50%的任意次数的分频器。这此实验很简单，但是一开始我没有下载到板子上成功，而程序上是没有错误的，但是一直弹出如下所示的编译界面，原因是我没有在 quartusII 上选择和板子同种型号的芯片所致，这个在以后必须引起注意。

❌ Error: Can't configure device. Expected JTAG ID code 0x020910DD for device 1, but found JTAG ID code 0x020F10DD.
❌ Error: Operation failed