**选课时间段： 周五6-8节**

**序号（座位号）：\_\_\_\_\_\_\_\_\_\_**

**杭州电子科技大学**

**实 验 报 告**

**课程名称: EDA技术**

**实验名称： 组合电路的verilog设计**

**指导老师： 岳克强**

**学生姓名： 黄继升**

**学生学号： 16041321**

**学生班级： 16040313**

**所学专业： 电子信息**

**实验日期： 2017.10.20**

**一.实验目的**

**1.了解Verilog HDL语言逻辑编程设计基本过程；**

**2.学会用quartusII软件编写Verilog程序代码（半加器，实例化全加器，以及BCD码加法器），并成功编译和仿真；**

**3.学会将实验程序下载到实验箱上的FPGA开发板上。**

**二.实验仪器设备或关键器材**

**1.quartusII软件——进行Verilog程序编写；**

**2.实验箱上的FPGA开发板——进行程序下载和功能实现。**

**三.实验原理**

**区别于直接用原理图来实现电路功能，我们也可以通过应用quartus II软件的HDL代码编辑器来编写Verilog程序代码，从而实现半加器功能，并且应用生成的半加器程序来实例化全加器，从而实现全加器功能。最后用Verilog代码的编写来实现BCD码加法器的功能。**

**四.实验内容以及操作：**

**1.用verilog语言写半加器，再实例化一个全加器，最后都下载到FPGA开发板上。**

**半加器h\_adder代码：**

module h\_adder(x,y,so,co);

input x,y;

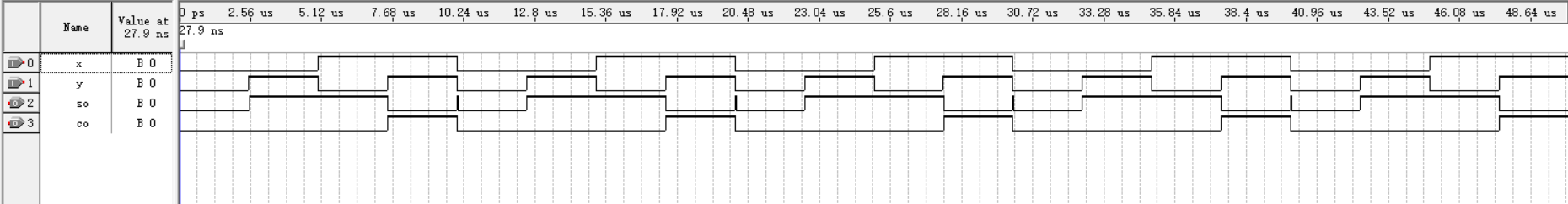
output co,so;

assign so=x^y;

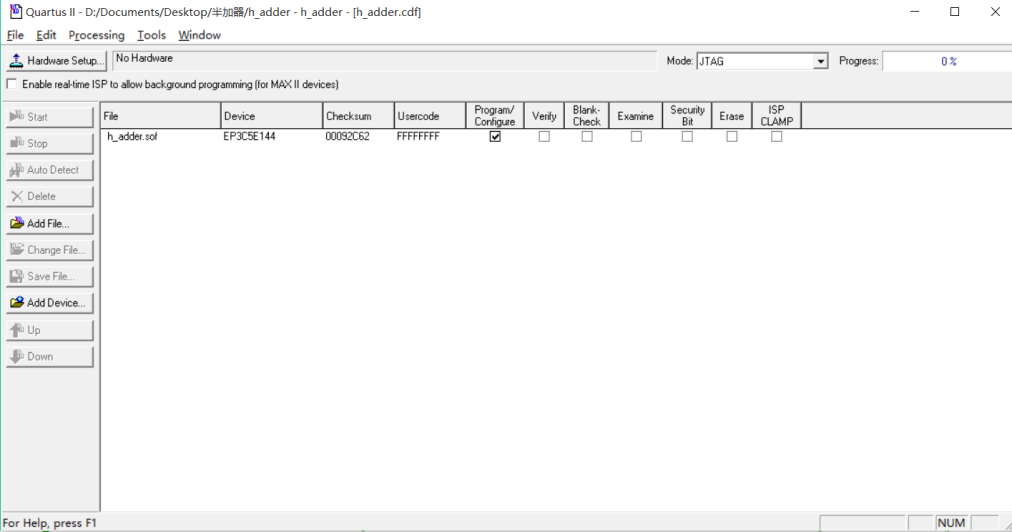
assign co=x&y;

endmodule

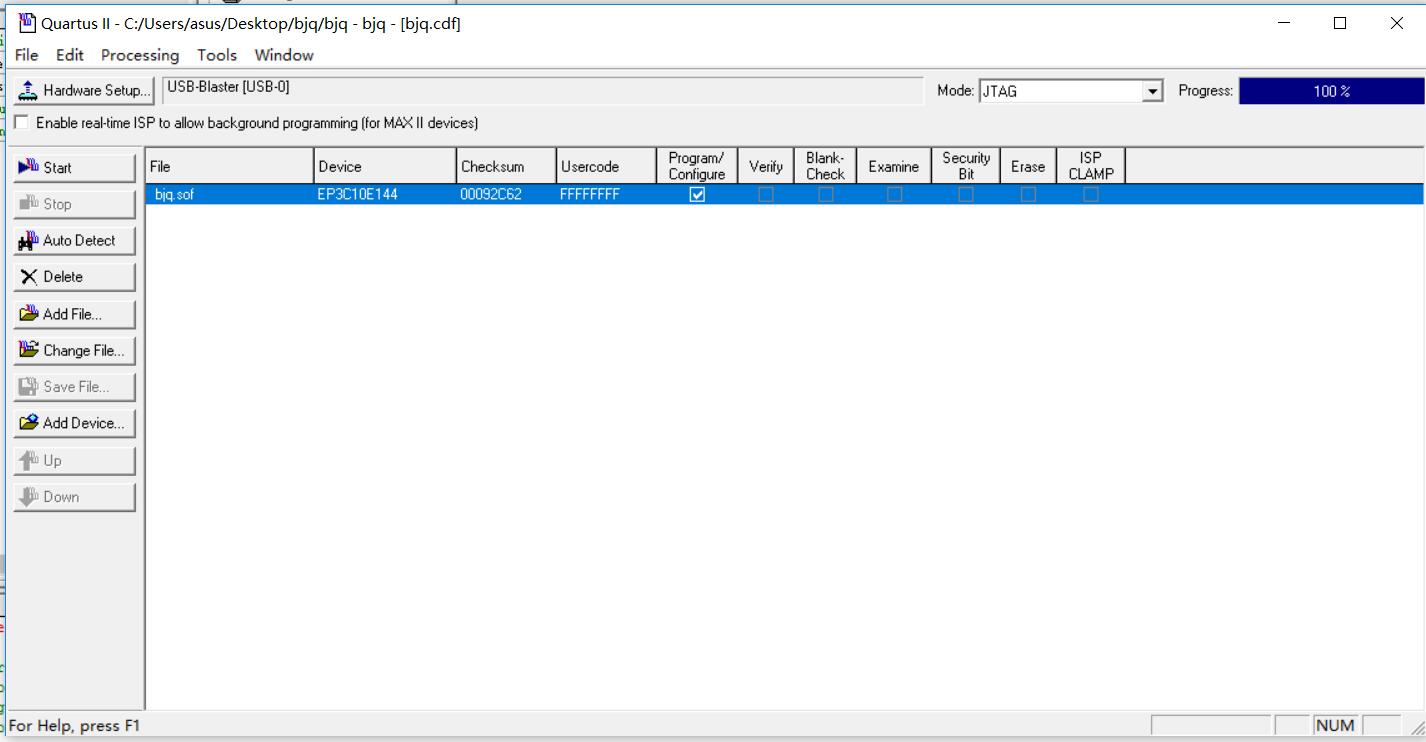
**保存后进行编译，编译成功后，再新建一个波形图。设置好仿真结束时间endtime（100μs）和波形周期overwrite（x为10μs，y为5μs），保存波形图后进行输出。**

** 输出波形图如下：**

**注：下载方式：上方菜单栏中选中Tools→Programmer，弹出窗口如下：**

****

**将FPGA开发板正确与计算机USB接口相接。接着选中左上方Hardware Setup，选择USB-Blaster[USB-0],退出窗口，选中要下载的SOF文件，点击start下载到开发板上。下载成功界面如下：**



**全加器f\_adder代码：** module f\_adder(a,b,cin,sum,cout);

input a,b,cin;

output sum,cout;

wire net1,net2,net3;

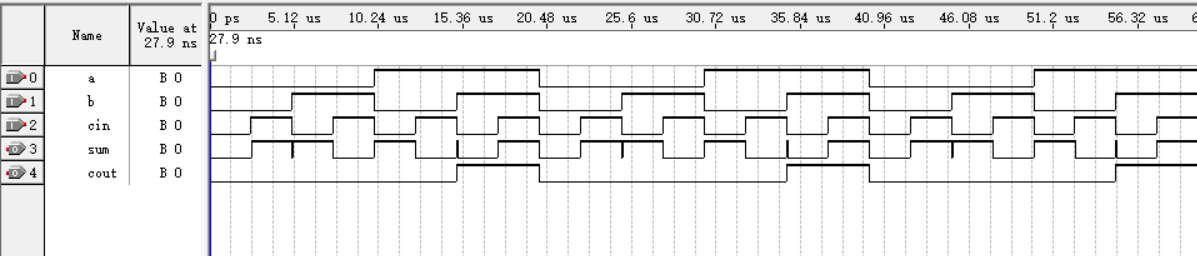
h\_adder U1(a,b,net1,net2);

h\_adder U2(net1,cin,sum,net);

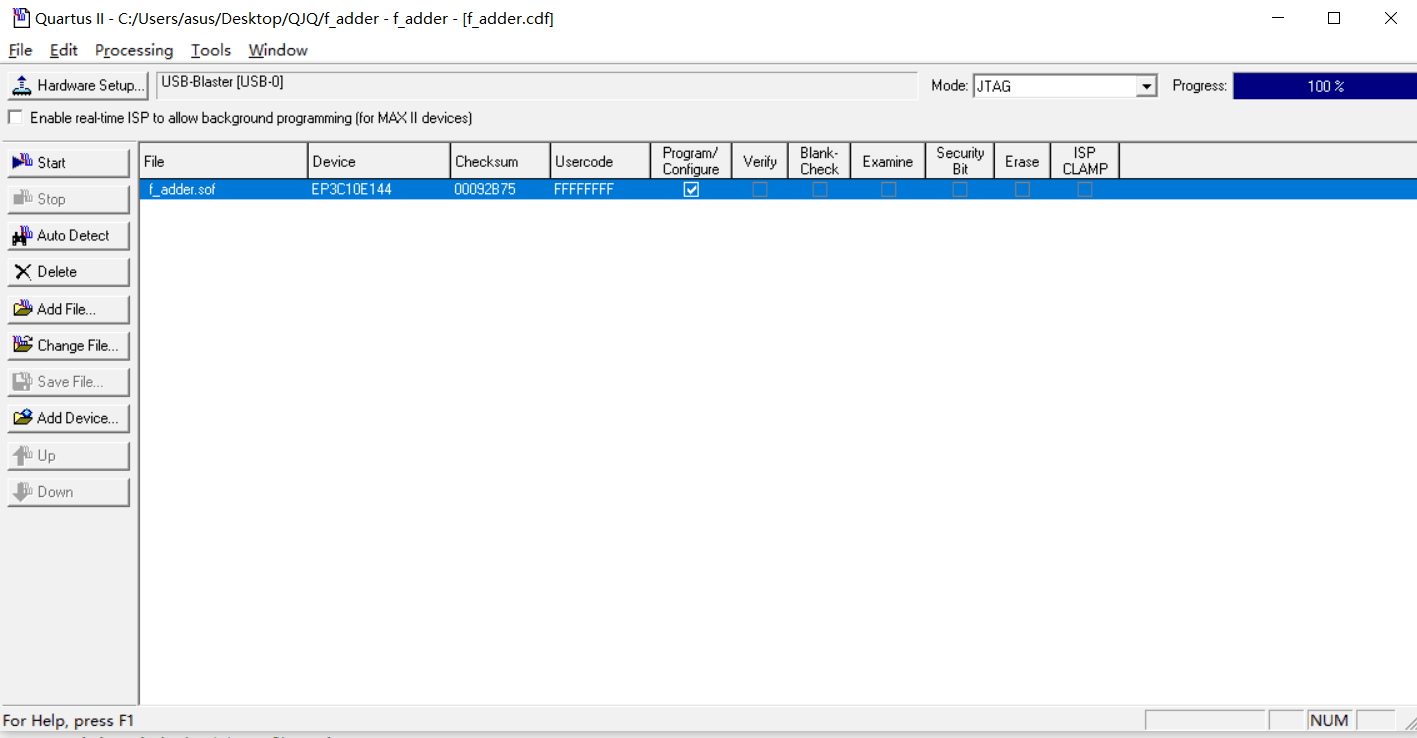
or U3(cout,net3,net2);

endmodule

**必须将之前建好，并且已经编译通过成功的半加器工程下的模块拷贝到全加器工程中，才能进行半加器程序调用，并且对全加器程序编译成功。新建波形图并进行相似的设置方法（endtime-100μs，a-10μs，b-5μs），保存编译通过。**

** 输出波形如下：**

**最后下载到开发板上，下载成功如下所示：**

****

**2.设计一个BCD码加法器**

**BCD加法器BCDma代码如下：**

module BCDma (A,B,D);

input [7:0] A,B; output [8:0] D;

wire [4:0] DT0,DT1; reg [8:0] D; reg S;

always @ (DT0)

begin if (DT0[4:0] >=5'b01010)

begin D[3:0] = (DT0[3:0]+4'b0110); S=1'b1; end

else begin D[3:0] = DT0[3:0] ; S=1'b0; end

end

always@ (DT1) begin

if (DT1[4:0]>=5'b01010)

begin D[7:4] = (DT1[3:0]+4'b0110); D[8]=1'b1; end

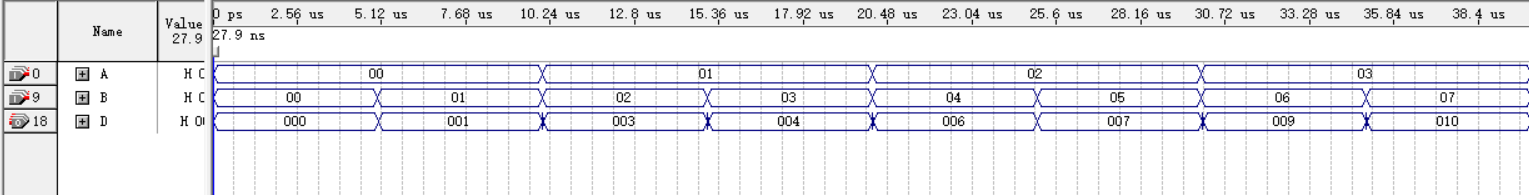
else begin D[7:4] = DT1[3:0]; D[8]=1'b0; end end

assign DT0 = A[3:0] + B[3:0];

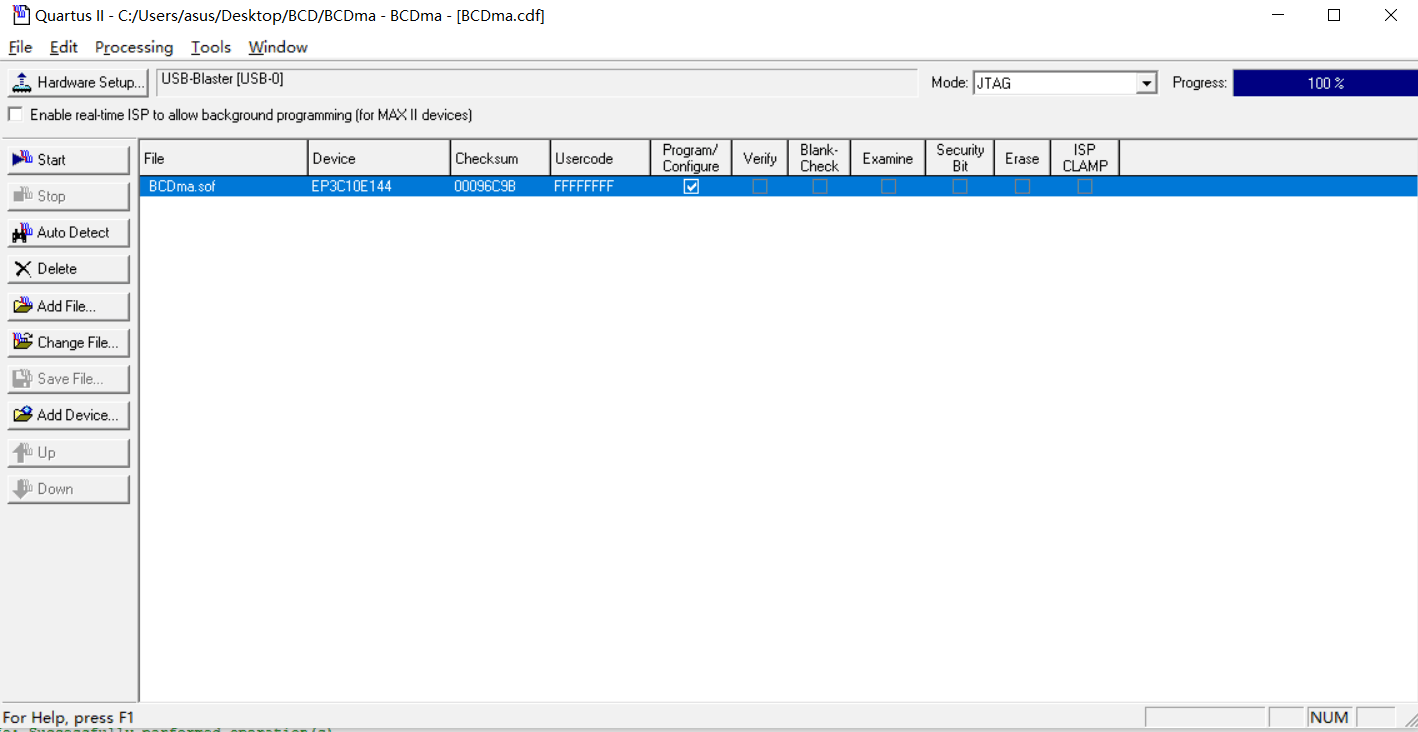
assign DT1 = A[7:4] + B[7:4] + S;

endmodule

**保存并且编译程序，再新建波形图进行输出。我将各个参数的输出格式都设置为Hex16进制格式。endtime仍设置为100μs，输入A用Count value设置为10μs，输入B设置为5μs。则输出波形图如下：**



**最后下载到开发板上，下载成功如下所示：**

****

**五.实验感想**：

通过这次EDA实验，我掌握了如何用quartusii软件进行编程来实现半加器、实例化全加器以及设计一个BCD码加法器。掌握了Verilog语言的编写规则，语法结构以及各种语句的功能和特点。程序编写完并且编译成功后，下载到FPGA开发板上，加深了我对FPGA开发板功能的掌握，以及加强了我对FPGA开发板的操作能力。需要注意的是实例化程序必须新建一个新的工程，并且将原来子程序的所在工程中的文件拷贝到新的工程下，才能与新的实验代码吻合从而编译成功，这一点是值得我们这些初学者所注意的。希望下次我同样能够以高效率完成下次的实验。