

Metal-Oxide-Semiconductor Transistoren

Stephan Epp
hjstephan86@gmail.com

15. Juli 2025

Metal-Oxide-Semiconductor (MOS) Transistoren bilden die Grundlage für hochintegrierte Schaltungen. Die U-I-Kennlinie eines nMOS-Transistors folgt in den verschiedenen Betriebsbereichen spezifischen mathematischen Formeln. Diese Formeln basieren auf physikalischen Modellen des Transistors und beschreiben den Drain-Source-Strom I_{DS} in Abhängigkeit von den angelegten Spannungen. Diese bestehen hauptsächlich aus der Gate-Source-Spannung U_{GS} und der Drain-Source-Spannung U_{DS} . Es gibt drei Hauptbetriebsbereiche für einen nMOS-Transistor: den Sperrbereich, den Triodenbereich und den Sättigungsbereich.

1 Sperrbereich

In diesem Bereich ist der Transistor ausgeschaltet und leitet praktisch keinen Strom.

- **Bedingung:** $U_{GS} < U_{TH}$ (wobei U_{TH} die Schwellenspannung ist).
- **Formel:**

$$I_{DS} \approx 0$$

- **Erklärung:** Wenn die Gate-Source-Spannung U_{GS} unter der Schwellenspannung U_{TH} liegt, kann sich kein leitender Kanal zwischen Source und Drain bilden, und es fließt kein nennenswerter Strom, d.h., $I_{DS} \approx 0$. Idealisiert ist $I_{DS} = 0$, in der Realität gibt es einen sehr kleinen Leckstrom (Subthreshold-Strom), der oft vernachlässigt wird.

2 Triodenbereich / Linearer Bereich

Dieser Bereich wird auch als ohmscher Bereich bezeichnet, da der Transistor hier wie ein spannungsgesteuerter Widerstand wirkt. Der Strom steigt hier nahezu linear mit U_{DS} an (für kleine U_{DS}) und ist stark von U_{GS} abhängig.

- **Bedingung:** $U_{GS} > U_{TH}$ und $U_{DS} < (U_{GS} - U_{TH})$
- **Formel (vereinfachtes Modell für lange Kanäle):**

$$I_{DS} = \mu_n C_{ox} \frac{W}{L} \left((U_{GS} - U_{TH}) U_{DS} - \frac{1}{2} U_{DS}^2 \right)$$

- μ_n : Elektronenbeweglichkeit im Kanal
- C_{ox} : Oxidkapazität pro Flächeneinheit
- W : Kanalbreite
- L : Kanallänge
- U_{TH} : Schwellenspannung

- **Erklärung:** Wenn U_{GS} über U_{TH} liegt, bildet sich ein Kanal. Solange U_{DS} nicht zu hoch ist, verhält sich der Kanal wie ein variabler Widerstand. Der Strom nimmt mit zunehmendem U_{DS} zu und die Breite des Kanals verringert sich zum Drain hin leicht, was zu einer nicht-linearen Abhängigkeit führt, die durch den Term U_{DS}^2 beschrieben wird. Der nicht-lineare Anstieg vom gesperrten Zustand im Übergang bis in den leitenden Zustand bezieht sich auf den Übergang vom Sperrbereich in diesen Bereich und den anfänglich nicht-linearen Anstieg des Stroms, bevor er in die Sättigung geht.

3 Sättigungsbereich

In diesem Bereich verhält sich der Transistor wie eine spannungsgesteuerte Stromquelle, da der Drain-Source-Strom weitgehend unabhängig von U_{DS} ist.

- **Bedingung:** $U_{GS} > U_{TH}$ und $U_{DS} \geq (U_{GS} - U_{TH})$
- **Formel (vereinfachtes Modell für lange Kanäle):**

$$I_{DS} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (U_{GS} - U_{TH})^2 (1 + \lambda U_{DS})$$

- Der Term $(1 + \lambda U_{DS})$ berücksichtigt den **Kanallängenmodulationseffekt**, λ ist der Kanallängenmodulationsparameter, der eine leichte Zunahme des Stroms mit U_{DS} in der Sättigung beschreibt. Ohne diesen Effekt wäre der Strom konstant.
- **Erklärung:** Sobald U_{DS} einen bestimmten Wert erreicht ($U_{DS,sat} = U_{GS} - U_{TH}$), wird der Kanal am Drain-Ende abgeschnürt (pinch-off). Eine weitere Erhöhung von U_{DS} führt nicht zu einer signifikanten Zunahme des Stroms, da der Stromfluss durch die Anzahl der Ladungsträger im Kanal und die Gate-Spannung begrenzt wird.

4 U-I-Kennlinie für $U_{GS} = 2\text{ V}$

Für $U_{GS} = 2\text{ V}$, $U_{TH} = 0.2\text{ V}$ und $k = 1\text{ mA/V}^2$ ergibt sich:

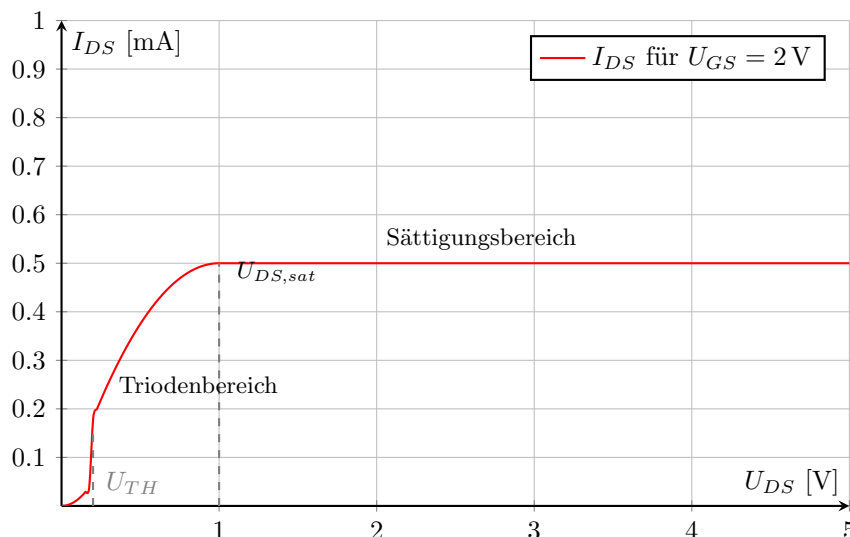


Abbildung 1: U-I-Kennlinie eines nMOS-Transistors mit $U_{GS} = 2\text{ V}$

- **Sperrbereich** ($U_{GS} < U_{TH}$, näherungsweise $U_{DS} < 0.2\text{ V}$):

$$I_{DS} \approx a \cdot U_{DS}^2 \quad \text{mit } a = 1.25\text{ mA/V}^2$$

- **Triodenbereich** ($0.2 \text{ V} < U_{DS} < 1 \text{ V}$):

$$I_{DS} = k \left((U_{GS} - U_{TH})U_{DS} - \frac{1}{2}U_{DS}^2 \right)$$

- **Sättigungsbereich** ($U_{DS} \geq 1 \text{ V}$):

$$I_{DS} = \frac{1}{2}k(U_{GS} - U_{TH})^2 = 0,5 \text{ mA}$$

5 Complementary Metal-Oxide-Semiconductor (CMOS)

Bevor der CMOS Schaltkreis betrachtet wird, wird das Schaltsymbol des pMOS-Transistors und das Schaltsymbol des nMOS-Transistors in Abbildung 2 gezeigt.



Abbildung 2: Schaltsymbol des pMOS-Transistors P_1 und des nMOS-Transistors N_1

Complementary Metal-Oxide-Semiconductor (CMOS) Schaltkreise sind Schaltkreise, in denen der pMOS- und der nMOS-Transistor komplementär zueinander verbunden werden. Abbildung 5 zeigt eine CMOS-Schaltung mit der Betriebsspannung U , der Eingangsspan-

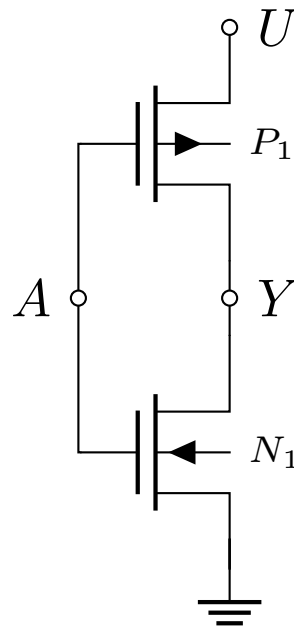


Abbildung 3: CMOS-Schaltung

nung A für die Transistoren P_1 und N_1 und der Ausgangsspannung Y . Dabei ist P_1 der pMOS-Transistor und N_1 der nMOS-Transistor.

Beim nMOS-Transistor N_1 zeigt der Pfeil auf den Transistor. Dies zeigt seine physikalische Wirkungsweise. Ist die Eingangsspannung A ausreichend groß, dann liegt am Gate eine positive Spannung an. Das bewirkt wie beim Kondensator einen Feldeffekt zwischen den beiden Kondensatorplatten, der die Minoritäten (Elektronen) des nMOS-Transistors unter die Oberfläche der gegenüberliegenden Kondensatorplatte zieht. Erst durch diesen Feldeffekt tragen die Minoritätsladungsträger in ihrer Unterzahl im p-Substrat zum Stromfluss bei. Ist die Eingangsspannung nämlich nicht ausreichend hoch, sperrt der nMOS-Transistor. Daher wird der nMOS-Transistor auch nMOS-Feldeffekttransistor (nMOSFET) genannt.

Beim pMOS-Transistor P_1 zeigt der Pfeil weg von der unteren Kondensatorplatte. Das liegt daran, dass die Elektronen im pMOS-Transistor nicht Minoritätsladungsträger sondern Majoritätsladungsträger sind. Das heißt, der pMOS-Transistor leitet sogar schon bei einer Eingangsspannung von $A = 0V$. Der Feldeffekt beim pMOS-Transistor führt dazu, dass bei ausreichender Eingangsspannung A am Gate die Minoritätsladungsträger im n-Substrat unter die Kondensatorplatte gezogen werden und der pMOS-Transistor sperrt. Daher wird der pMOS-Transistor auch pMOS-Feldeffekttransistor (pMOSFET) genannt.

Beide Transistoren P_1 und N_1 in Reihe geschaltet haben somit ein physikalisch komplementäres Sperr- und Leitverhalten zueinander. Dieses komplementäre Sperr- und Leitverhalten gibt diesem Schaltkreis den Namen Complementary Metal-Oxide-Semiconductor (CMOS) Schaltkreis.

Betrachtet man das logische Schaltverhalten der CMOS Schaltung in Abhängigkeit der Betriebsspannung U , der Eingangsspannung A und der Ausgangsspannung Y , wird klar, dass mit dieser Schaltung ein Inverter betrieben wird. Ist $A = 0$, leitet P_1 und N_1 sperrt. Das heißt, das Bezugspotenzial für Y ist U und damit ist $Y = 1$ (Pull-Up-Bezugspotenzial). Ist $A = 1$, sperrt P_1 und N_1 leitet. Das heißt, das Bezugspotenzial für Y ist die Masse und damit ist $Y = 0$ (Pull-Down-Bezugspotenzial).