

引用格式: 郭继旺, 尹文婷, 谈玲燕, 等. Chiplet 异构集成微系统的 EDA 工具发展综述[J]. 微电子学与计算机, 2023, 40(11): 53-60. [GUO J W, YIN W T, TAN L Y, et al. A review of EDA tool development for Chiplet heterogeneous integrated microsystems[J]. Microelectronics & Computer, 2023, 40(11): 53-60.] DOI: [10.19304/J.ISSN1000-7180.2023.0703](https://doi.org/10.19304/J.ISSN1000-7180.2023.0703)

Chiplet 异构集成微系统的 EDA 工具发展综述

郭继旺, 尹文婷, 谈玲燕, 王宗源
(北京华大九天科技股份有限公司, 北京 100102)

摘 要: Chiplet(芯粒) 异构集成微系统是后摩尔时代背景下一项具有重要意义的技术趋势. 随着芯粒技术的不断发展, 芯粒数量越来越多, 三维立体化的集成度越来越高, 芯粒方案的面积也越来越大. 而目前 Chiplets 设计流程中各环节的电子设计自动化 (EDA) 工具发挥的支撑作用还比较有限. 通过剖析现有 Chiplets 设计流程在系统规划、单芯片设计、基板设计、微系统集成分析和验证等环节存在的缺陷和不足, 以及国产 EDA 技术在 interposer 工艺设计套件 (PDK) 开发、芯粒设计布局规划、高效自动布线、多芯片集成分析和物理验证等板块的应用现状, 指出了当前 Chiplet 设计面临着物理验证不规范、布线效率低下和缺乏涵盖多物理场耦合的集成分析等痛点. 面对 3DIC 未来发展对 EDA 工具提出的更多挑战, 提出了市场上迫切需要的芯片—封装协同设计解决方案.

关键词: Chiplet; 异构集成; EDA; 微系统

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2023)11-0053-08

A review of EDA tool development for Chiplet heterogeneous integrated microsystems

GUO Jiwang, YIN Wenting, TAN Lingyan, WANG Zongyuan

(Emphyrean Technology Co., Ltd., Beijing 100102, China)

Abstract: Chiplet heterogeneous integrated microsystems are a significant technological trend in the post Moore era. With the continuous development of Chiplet technology, the number of Chiplets is increasing, the integration degree of 3D visualization is becoming higher, and the area of Chiplets solutions is also increasing. At present, the supporting role of electronic design automation(EDA) tools in various stages of the Chiplets design process is still relatively limited. By analyzing the defects and deficiencies of the existing Chiplets design process in system planning, single-chip design, substrate design, microsystem integration analysis and verification, and the current application status of domestic EDA technology in interposer process design kit(PDK) development, Chiplets design layout planning, efficient automatic routing, multi-chip integrated analysis and physical verification, it was pointed out that the current Chiplet design faces pain points such as non-standard physical verification, inefficient routing and lack of integrated analysis covering multiphysics coupling. Faced with more challenges posed by the future development of 3DIC for EDA tools, a chip-packaging collaborative design solution urgently needed in the market has been proposed.

Key words: Chiplet; heterogeneous integration; EDA; microsystems

1 引言

进入后摩尔时代,先进制程芯片的晶体管尺寸已趋近量子物理极限,导致先进工艺的系统级芯片

(System on Chip, SoC) 研发投入巨大、困难重重. 同时,当前国际环境日趋复杂,国际上半导体产业的竞争与封锁不断加剧. 在此背景下,利用现有成熟制程芯片通过高密度组装实现多功能集成的微系统技术

应运而生,成为后摩尔时代延续摩尔定律重要的解决途径,也是当今微电子技术重要发展方向之一^[1]。

微系统是利用微纳加工技术,以微电子、光电子、微电子机械系统等电子元器件为基础,结合架构、软件和算法,运用系统工程方法,在微纳尺度上通过三维异质异构集成等先进技术制备的微型信息系统^[2]。目前,微系统领域已经进入一个快速发展的阶段,晶圆级扇出、硅转接板、嵌入式桥接芯片、光集成、芯粒等各种新技术不断涌现。由此也带动了电子设计自动化(Electronic Design Automation, EDA)行业的发展。

众所周知,EDA 行业状况与集成电路产业发展情况息息相关。近年来,全球集成电路产业基本保持稳定向好的发展态势,并且在全球数字经济、电子系统等相关领域长期向好的发展带动下,大数据处理、大算力等应用市场将对半导体相关领域带来积极的发展促进作用,并为 EDA 工具的推广与应用营造良好的市场环境。随着集成电路产业进入后摩尔时代,集成电路设计和制造企业开始更加重视产品的多样化发展,而不再一味追求特征尺寸的缩小,以 Chiplet 异构集成设计方法为代表的先进封装技术创新发展,引发了对 EDA 工具应用需求的爆炸性增长^[3]。

2 发展趋势

在后摩尔时代,以 Chiplet 异构集成为核心的先进封装技术将成为集成电路重要的发展方向^[4]。该技术可以将 Chiplet 像积木一样垂直或水平封装在一起。IBM 研究主管 Darío Gil 曾在接受外媒采访时表示,“半导体的未来很大一部分是封装和 Chiplet 技

术,这比从零开始设计一个巨大的芯片要强大得多。”

先进封装工艺下的芯粒技术将不同工艺节点和不同材质的芯片通过先进的集成工艺(如 3D 集成技术)封装集成在一起,形成一个系统芯片,实现一种新形式的 IP 复用^[5]。

人工智能的发展正在推动 Chiplet 小芯片封装技术发展,如今正被英伟达、AMD、英特尔、苹果等多家巨头纷纷采用^[6]。纵观世界各大芯片公司近年来不断推出的 Chiplet 芯粒产品,芯粒数量越来越多,3 维立体化的集成度越来越高,芯粒方案的面积也越来越大(见图 1)。而芯粒设计的整个过程极其复杂,需要 EDA 工具提供全面支持,所以促进了 EDA 技术应用的延伸拓展。

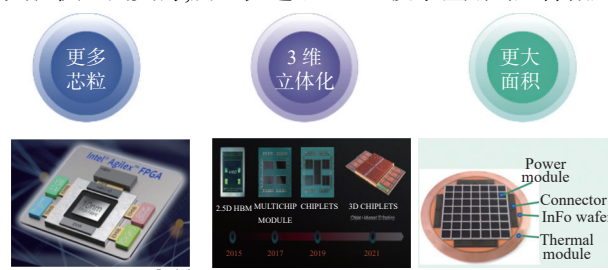


图 1 先进封装产品发展趋势^[7-9]

Fig. 1 Development trend of advanced packaging products^[7-9]

3 应用现状

3.1 先进封装工艺下的 Chiplets 设计流程现状

Chiplet 芯粒技术被称为是自 20 世纪 60 年代集成电路诞生以来最重要的进步之一。然而现有的 Chiplet 设计流程却并不完善,存在着不少缺陷和不足,如图 2 所示。

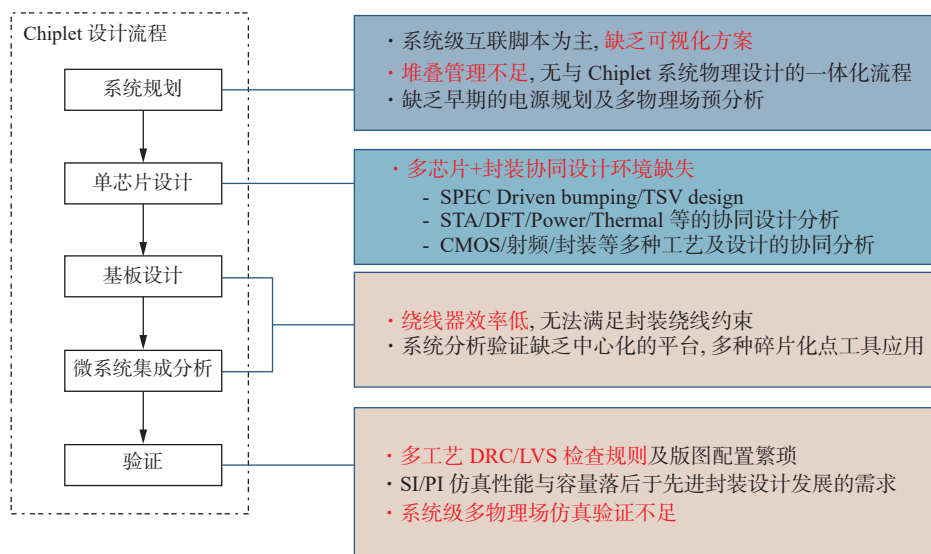


图 2 先进封装工艺下的 Chiplets 设计流程现状

Fig. 2 Current status of the Chiplets design process under advanced packaging processes

Chiplet 芯粒的总体设计流程从系统规划开始,系统规划需要进行系统规格定义,各芯粒分割,系统级互连定义,指导各单颗芯粒或芯片的设计,片内的物理实现完成后进入芯片的片间互连,也就是我们常说的先进封装工艺的各类 2.5D interposer 或中介基板设计,封装设计完成后,设计团队会将分散的各个芯片设计以及封装设计整合集成在一起,进行系统级别的分析和各类验证。

然而,在系统规划阶段,现有流程中系统级互连均以脚本为主,缺乏 EDA 可视化方案;并且基于芯粒系统的堆叠管理不足,缺失 Chiplet 系统物理设计的一体化流程,也缺乏早期的电源规划及多物理场预分析 EDA 的技术支撑。

在芯片设计阶段,多芯片和封装协同设计环境缺失,多种工艺和设计的协同分析缺失。在先进封装工艺下的基板或 interposer 中介板设计中,目前 EDA 工具的绕线效率低,无法满足先进封装超大规模的绕线约束,微系统集成分析也缺乏中心化的平台,目前阶段皆为多种碎片化的点工具进行 EDA 支撑。

在物理验证环节,Chiplet 系统所独有的多工艺 DRC、LVS 检查规则以及版图配置过程极其繁琐,信号完整性和电源完整性的 EDA 工具仿真性能和容量也落后于 Chiplet 这类先进封装设计发展的需求,并且,Chiplet 芯粒系统级的多物理场仿真验证方案也面临各种问题。

3.2 国外 EDA 工具现状

Synopsys、Cadence 和 Siemens EDA 三大 EDA 厂商为适应市场需求,先后布局先进封装领域。目前都提供了封装设计的全流程工具,各自占据了一部分市场份额。

2020 年 4 月 28 日,Synopsys 推出了 3DIC Compiler 平台。3DIC Compiler 解决方案提供了统一的芯片封装协同设计和分析环境,可在单一封装中实现复杂的 2.5D 和 3D 多裸晶芯片系统 (Multi-die System) 的设计与整合,并通过三星多裸晶芯片集成 (MDI) 流程认证^[10]。同时,Synopsys 还联合国内芯和半导体共同推出了业界首个用于 3DIC 多芯片系统设计分析的统一平台,将芯和 2.5D/3DIC 先进封装分析方案 Metis 与新思 3DIC Compiler 现有的设计流程无缝结合^[11]。

2021 年 10 月 26 日,Cadence 公司宣布与 TSMC 合作,加速 3D IC 多芯片设计创新^[12]。Cadence 的 Integrity 3D-IC 平台是业界首个用于 3D IC 设计规划、实现和系统分析的统一平台,支持全套的 TSMC 3D 硅堆叠和先进封装技术。同时,Cadence 3D-IC 先进封

装集成流程亦通过三星工艺认证^[13],用于三星 7LPP 工艺的 MDI(多芯片集成)封装流程。

2021 年 2 月 11 日,西门子数字化工业软件宣布 Siemens EDA 和日月光 (ASE) 合作推出新的设计验证解决方案^[14],旨在推动下一代 IC 设计更快地采用新的高密度先进封装技术,包括 2.5D、3DIC 和扇出型晶圆级封装 (FOWLP)。这些合作都将采用西门子的 Xpedition™ Substrate Integrator 软件和 Calibre® 3DSTACK 平台。

其他各家 EDA 公司也有各自的一系列封装设计工具,比如日本的 EDA 公司 Zuken,在原有的 PCB 设计工具 CR5000 的基础上推出的封装设计工具 CR8000,以及原 Protel 软件开发商 Altium 公司在原有的 PCB 设计工具 Protel99SE、Protel DXP 基础上推出的封装设计工具 Altium Designer。

3.3 国产 EDA 技术在 Chiplets 设计中的应用

当前,国产企业在先进封装工艺的 interposer PDK 开发、Chiplet 芯粒设计布局规划、高效自动布线、多物理场集成分析和先进封装工艺下的物理验证等多个板块已经有了一些技术储备,进行了前瞻性探索,并提供了一系列的 EDA 解决方案。

3.3.1 Interposer PDK 开发

今年,华进半导体联合中科院微电子所和华大九天发布了一项针对 2.5D 转接板工艺的 APDK (Advanced Packaging Design Kit)。这套 interposer PDK 的发布标志着国内先进封装领域的新突破,将成为沟通 IC 设计和封装厂商的桥梁。这套面向 Chiplet 应用的 interposer PDK 借鉴了 PDK 在 IC 设计界数十年来的成功运用,目标是把先进封装工艺设计进行打包,以实现复杂芯片或系统级多芯片集成的成功设计,如图 3 所示。

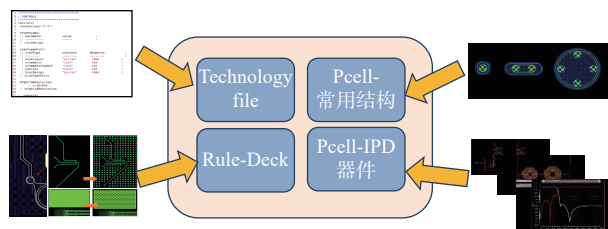


图 3 Interposer PDK 开发

Fig. 3 Development of the interposer PDK

Interposer PDK 包括 4 大模块,分别是:

- (1) Technology file: 底层设置文件,负责定义工艺参数,提供工艺及设计优化指导。
- (2) Pcell-常规结构: 针对华进半导体硅转接板制

造工艺中的常用结构(包含 Via/Micro Bump/C4 Bump/TSV/Testkey 等),APDK 提供参数化单元,供用户在 design rule 的约束下灵活选择。

(3) Pcell-IPD 器件:针对集成硅转接板的无源器件,APDK 提供了参数化单元以及包含元件电学特性的模型,为用户搭建原理图、前仿真、layout 以及后仿真提供可靠支持。

(4) Rule-Deck:根据华进半导体硅转接板工艺特点,制定 DRC 约束配套文件,EDA 工具高效配合规

则检查.通过 LVS 检查 layout 与原理图/网表的连接关系一致性,迅速定位 Open&Short.

3.3.2 Chiplet 布局规划

国内企业目前能够提供模拟电路设计全流程 EDA 工具系统如图 4 所示,该系统包括原理图编辑工具、版图编辑工具、电路仿真工具、物理验证工具、寄生参数提取工具和可靠性分析工具等,为用户提供了从电路到版图、从设计到验证的一站式完整解决方案。

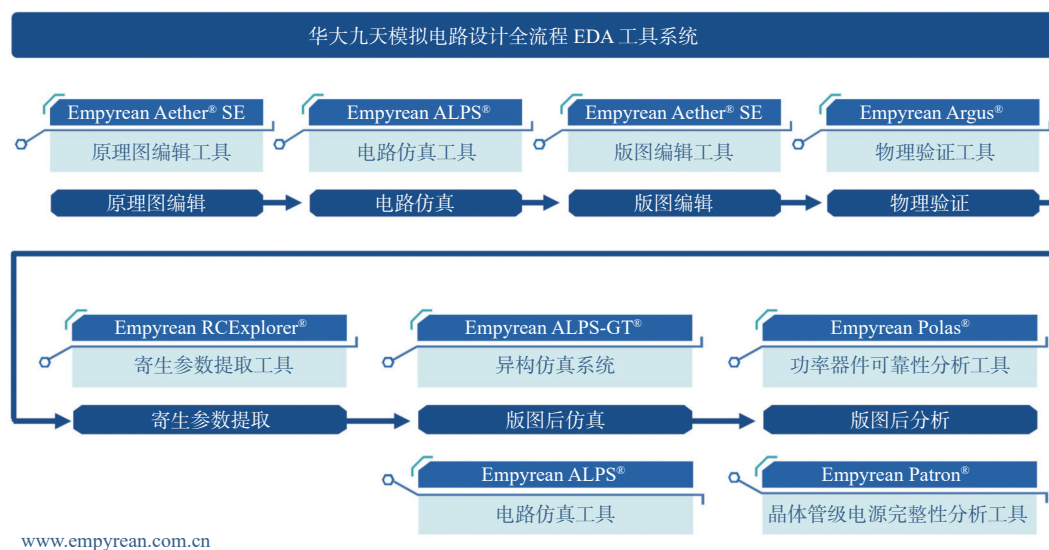


图 4 模拟电路设计全流程 EDA 工具系统

Fig. 4 Full process EDA tool system for analog circuit design

EDA 工具系统中的原理图编辑工具和版图编辑工具可支撑 Chiplet 设计中的布局规划.该系统基于现有的技术进行了技术升级和改造,将 Chiplet 中的每个 chip 处理成黑盒子,在 chip level 实现了系统级逻辑互连及网表管理,系统级电路图自动驱动版图(SDL)以及系统级版图 floorplan,如图 5 所示。

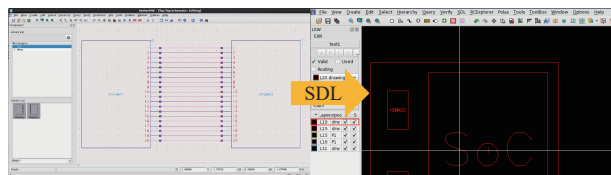


图 5 Chiplet 布局规划

Fig. 5 Chiplet Floorplanning

3.3.3 高效自动绕线

国内企业已推出了用于先进封装的自动布线工具.比如 Storm,该工具支持业界主流的先进封装硅基工艺和有机 RDL 工艺,支持多芯片之间的大规模互连布线,支持高密度逃逸式布线以及大面积电源地平

面布线(见图 6).用户根据不同工艺,选择芯片式样的曼哈顿图形布线以及封装 PCB 式样的 135°基板布线,大幅提升了用户设计效率,解决了传统封装设计流程中版图严重卡顿和布线效率低下的痛点问题。

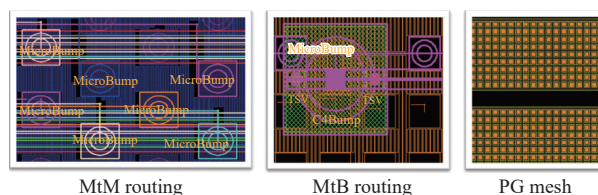


图 6 高效自动绕线

Fig. 6 Efficient automatic routing

3.3.4 集成分析

微系统封装需要综合考虑电、热和力学性能的多物理场耦合问题.国内目前还没有完全涵盖各种多物理场的集成分析工具,但国内 EDA 企业也推出了一些相关产品.比如在封装电磁场分析方面,有法动科技的 SuperEM、芯和半导体的 Hermes 3D 以及

智芯仿真的 Wisim 系列工具等. 而在封装热分析和应力分析方面,国内还很少有成熟的工具.

这里介绍一款国内的版图集成和分析工具 Skipper. 该工具支持面向 Chiplet 应用的版图整合,不受限于异构 PDK,用户可以快速将不同工艺的多芯片版图以及先进封装版图整合在一起,进行各类版图集成分析;通过独创的基于索引的版图数据并行读取技术,版图数据内存镜像技术和图形索引技术等,实现了超大规模版图的快速处理,还可支持各类批量版图数据处理功能,并行的关键线网追踪,点到点电阻分析,层次操作和多层图形布尔运算等功能,如图 7 所示,为高效的分析和处理芯粒集成版图数据提供了有力的支撑,获得了用户的广泛认可.

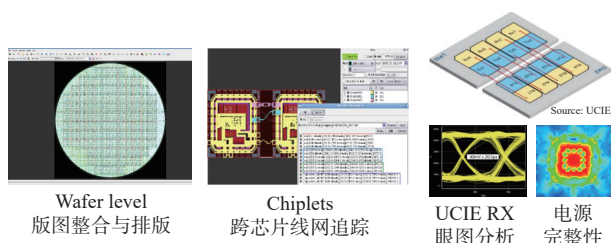


图 7 集成分析

Fig. 7 Integrated analytics

3.3.5 物理验证

先进封装在很多地方跟芯片有相似性,需要用到硅基板,在芯片上面要进行打孔、做 RDL 等操作,这都是贴近芯片工艺的,所以对芯片的一些物理验证规则和要求,也转移到先进封装里,即先进封装的物理验证.

国内企业也推出了一些面向先进封装的物理验证工具. 如 Argus®-PKG,它支持面向 Chiplet 的先进封装版图物理验证,根据定制的版图以及 RuleDeck 组合方案,实现硅基工艺和有机 RDL 工艺的先进封装物理验证,如图 8 所示.

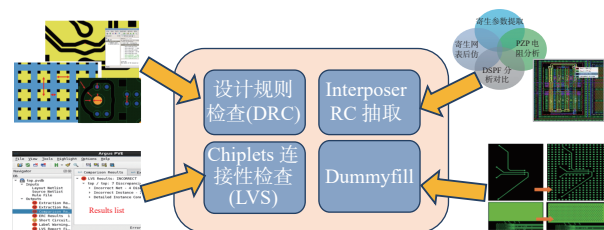


图 8 物理验证

Fig. 8 Physical verification

Argus®-PKG 具有高精度版图处理能力和高性能计算能力,针对传统验证方案无法有效解析先进封

装有机 RDL 工艺异性图形(圆弧、斜边等非曼哈顿图形),以及纳米级版图误差导致大规模伪错的痛点问题,该工具提供了异性版图处理和容差处理等自研亮点技术,成功过滤和减少了几万甚至几十万个异形伪错,高效解决了先进封装设计中物理验证由于伪错过多,用户难以进行调试和修改的痛点;另外,针对 Chiplet 异构整合验证检查的需求,该工具提供了异构多芯片版图整合和图形缩放等技术,实现了由于 Chiplet 组装过程中不同工艺热胀冷缩造成的版图变形特色检查,模拟组装后真实版图场景进行堆叠组件(微凸点等)的检查,完整实现了可同时覆盖硅基工艺以及有机 RDL 工艺的先进封装物理验证.

4 挑战与机遇

4.1 Chiplet 设计痛点

芯粒设计的整个过程极其复杂,每个设计环节都需要有专业的 EDA 工具提供全面支持,而现有的大部分单芯片设计流程无法支撑多芯片模式的 Chiplet 设计.

比如,物理验证"不规范"(见图 9). 承载芯粒的先进封装中介基板,根据应用场景会使用不同的先进封装工艺,生产流片工作由各类不同的 foundry 或者 OSAT 封测厂商来负责,而这些中介基板的设计规则往往只是书面文档的形式提供给设计公司使用,foundry 或者 OSAT 封测厂商往往不提供 EDA 验证工具配套的设计规则检查参数文件,或者说,现有的这些 rule 文件也尚不完善和规范,导致设计公司需要自己开发编写或者修改补强这些 rule 文件才可以使用验证 EDA 工具进行中介基板的物理验证,而习惯于传统经典封装设计流程的设计工程师和团队往往对 signoff 级别的物理验证流程不熟悉,在 foundry 支持不足的情况下,自研 rule 的编写也变得异常困难. 而且,现有验证流程中的连接性检查,也就是常说的 LVS 检查,往往只检查接口的互连正确性,而对于 2.5D 芯粒设计中中介转接板内大量的合理的开路 open,缺乏合理准确的甄别.

而且在大规模高速高带宽互连的 2.5D 芯粒设计中,中介转接板 interposer 中互连 IO 管脚数量呈现了数量级的增长,随着不断增长的芯粒颗粒数量,未来的芯粒设计有望超过数十万个互连接口,已经接近于数字芯片的布线规模(见图 10). 传统的手动布线已经远远满足不了产品设计周期的要求,并且手动布线的 EDA 工具效率低下,布线效果差,简单操作会引起软件的卡顿,甚至是崩溃.

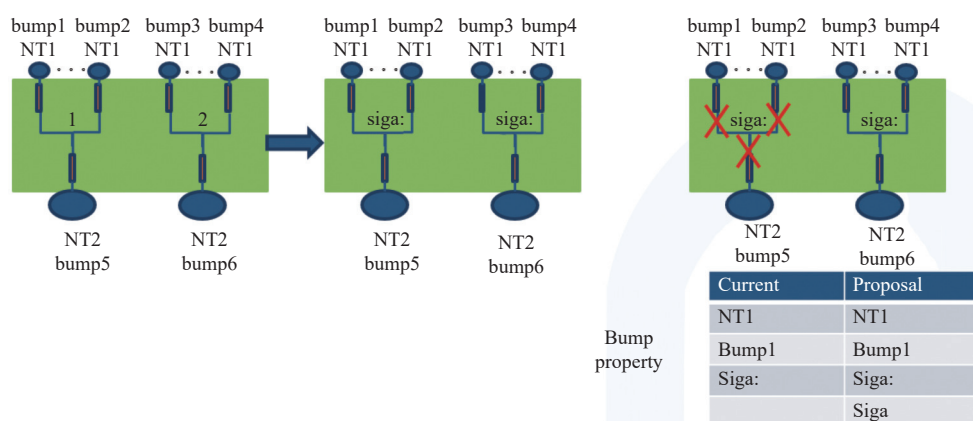


图9 物理验证“不规范”

Fig. 9 "Non-specification" of physical verification

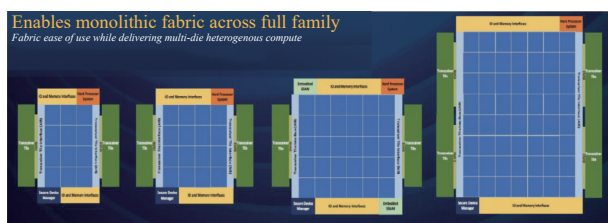


图10 IO管脚的高密度Interposer布线问题

Fig. 10 High-density interposer routing problems of IO pins

此外,在 Chiplet 异构集成微系统中,封装电路在实际工作中受到电、热和力学等多个物理场的协同作用,而且各个物理场之间存在能量交换,是一个复杂的多物理场耦合系统,如图 11 所示。目前,针对封装电路电-热-力耦合的研究比较有限,针对 2.5D 微系统封装电路电-热-力 3 种物理场相互耦合的研究更是少之又少^[15]。国内目前还没有完全涵盖各种多物理场的集成分析工具,所以很难去预测芯粒产品的最终性能。

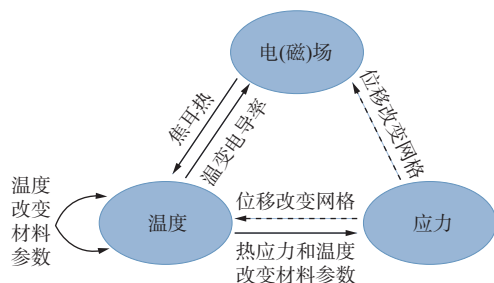
图11 电磁-热-力多物理场耦合系统^[16]

Fig. 11 Electromagnetism-thermal-mechanics multiphysics coupling system

4.2 3DIC 的未来发展对 EDA 工具提出更多挑战

更高维度的 3DIC 的未来发展对 EDA 工具提出

了更多的挑战,如图 12 所示。

在当前 chip level 的设计中,EDA 工具需要实现 3D 系统显示、早期系统规划、早期多物理场分析和 3D 组件计生抽取。

在 block level 中拆分 IP 进行不同工艺的异构集成设计,则需要 3Daware 的各类分析,信号完整性、电源完整性,电磁效应,静态时序分析,3D 系统的连接性检查以及顶层物理实现的自动化。

随着 3D 互连关键技术 TSV 和 Hybridbonding 技术演进带来的互连密度逐代增大,互连 pitch 越来越小,下一个阶段,Chiplet 将不再满足于 IP 的拆分,macro on macro,module level 的 3DIC 拆解,则需要新一代 EDA 能够支持自动 partition,异构工艺的平台性整合,以及 3D 结构的协同设计;第四代发展到门级,预见到颗粒度更细的层次分配,以及跨芯片的 3D 布局;第五代来到晶体管 transistor level,预见到 3D PDK 的构建和 3D 的标准单元库。

4.3 市场迫切需求芯片—封装协同设计的解决方案

现在的市场,芯片和封装的单打独斗已经不再能满足日益增长的系统协同设计的需求,迫切需要统一的芯片封装协同设计的 EDA 解决方案。

系统规划工具需要能够支撑 3DIC 的堆叠以及不同工艺文件的管理环境,设计团队可以在这个环境下进行系统级的版图 floorplan,并进行系统级的互连和网表管理,热力协同的多物理场分析也需要在规划阶段进行预判,早期分析保证设计的合理。

在各类单芯片设计阶段,无论是模拟 IC,数字 IC,射频 IC 还是光电 IC,各类芯片设计 EDA 需要有一

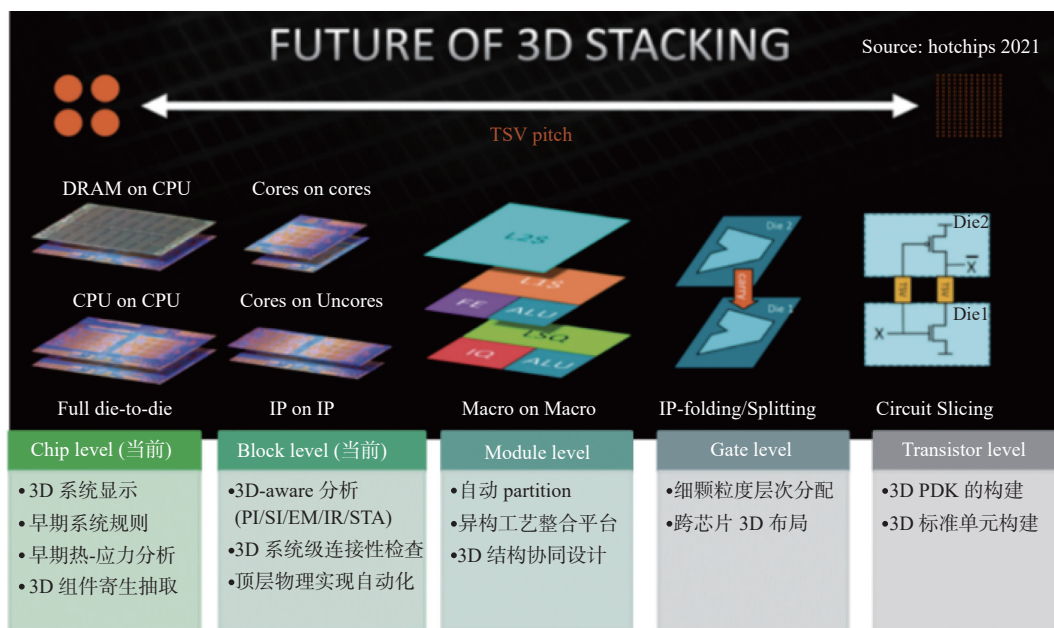


图 12 3DIC 对 EDA 工具提出的挑战

Fig. 12 The future development of 3DIC poses more challenges to EDA tools

个统一的数据库和 EDA 环境,实现设计协同,并形成面向未来逐步演进的 module level、gate level,甚至是 transistor level 的多芯片协同设计方法学。

在先进封装设计和集成分析阶段,EDA 需要支撑多工艺的系统级版图集成,需要支撑大规模先进封装自动布线,以及继承规划平台的数据,服务于后续的分析验证。

在分析验证阶段,各类 EDA 工具不仅仅支持单芯片模式,而是全面来到的 3D 多芯片模式,无论是物理验证,RC 寄生参数抽取还是 EMIR 分析工具等等,EDA 都需要能够提供自动化方案,比如自动组合多工艺物理验证,多工艺集成 RC 抽取等。在 SIPI 多物理场仿真方面,则需要解决性能的瓶颈问题,实现多物理场的高效性。

5 结束语

总的来说,随着人工智能、大数据、云计算、异构计算等行业的快速发展,先进封装技术已经占据了技术与市场规模上的制高点,Chiplet 芯粒系统是电子设计从芯片设计走向系统设计的一个重要支点,相关 EDA 解决工具也是必备的战略技术点。

同时,面对国际环境的日趋复杂,西方的技术封锁不断加剧,国内半导体行业的热度持续升温。相信随着微系统异构集成路线的演进^[17],会给国内半导体产业的发展带来一次飞跃。

参考文献:

- [1] 唐磊, 匡乃亮, 郭雁蓉, 等. 面向自主可控的微系统关键技术研究及展望[J]. 微电子学与计算机, 2023, 40(1): 1-10. DOI: 10.19304/J.ISSN1000-7180.2022.0832.
- TANG L, KUANG N L, GUO Y R, et al. The research and prospect on independent and controllable key technologies of microsystems[J]. Microelectronics & Computer, 2023, 40(1): 1-10 DOI: 10.19304/J.ISSN1000-7180.2022.0832.
- [2] 丁涛杰, 王成迁, 孙晓冬. “微系统与先进封装技术”专题前言[J]. 电子与封装, 2021, 21(10): 100100.
- DING T J, WANG C Q, SUN X D. “Microsystems and advanced packaging technologies” Thematic preface[J]. Electronics & Packaging, 2021, 21(10): 100100.
- [3] 刘伟平, 王宗源. EDA 产业与 IP 核产业发展现状及发展趋势[J]. 前瞻科技, 2022, 1(3): 90-100. DOI: 10.3981/j.issn.2097-0781.2022.03.008.
- LIU W P, WANG Z Y. Development status and trend of EDA and IP core industries[J]. Science and Technology Foresight, 2022, 1(3): 90-100. DOI: 10.3981/j.issn.2097-0781.2022.03.008.
- [4] 曹立强, 侯峰泽, 王启东, 等. 先进封装技术的发展与机遇[J]. 前瞻科技, 2022, 1(3): 101-114. DOI: 10.3981/j.issn.2097-0781.2022.03.009.
- CAO L Q, HOU F Z, WANG Q D, et al. Development and opportunity of advanced packaging technology[J]. Science and Technology Foresight, 2022,

- 1(3): 101-114. DOI: 10.3981/j.issn.2097-0781.2022.03.009.
- [5] 赵正平. Chiplet 基三维集成技术与集成微系统的新进展[J]. 微纳电子技术, 2023, 60(4): 477-495. DOI: 10.13250/j.cnki.wndz.2023.04.001.
- ZHAO Z P. New advances in Chiplet-based 3D integration technology and integrated microsystems[J]. *Micronanoelectronic Technology*, 2023, 60(4): 477-495. DOI: 10.13250/j.cnki.wndz.2023.04.001.
- [6] 蒋剑飞, 王琴, 贺光辉, 等. Chiplet 技术与展望[J]. 微电子学与计算机, 2022, 39(1): 1-6. DOI: 10.19304/J.ISSN1000-7180.2021.1180.
- JIANG J F, WANG Q, HE G H, et al. Research and prospect on Chiplet technology[J]. *Microelectronics & Computer*, 2022, 39(1): 1-6. DOI: 10.19304/J.ISSN1000-7180.2021.1180.
- [7] Intel Corporation. Intel Agilex® FPGA Portfolio Product Brief[DB/OL].[2023-06-28]. <https://www.intel.com/content/www/us/en/content-details/758440/intel-agilex-fpga-portfolio-product-brief.html?wapkw=Agilex%20HBM>.
- [8] Yole developpement. High-End Performance Packaging 2022-Focus 2.5D/3D Integration[DB/OL].[2023-05-28]. <https://medias.yolegroup.com/uploads/2022/03/High-End-Performance-Packaging-2022-Product-Brochure.pdf>.
- [9] CHUN S R, KUO T H, TSAI H Y, et al. InFO_SoW (System-on-Wafer) for high performance computing [C]//2020 IEEE 70th Electronic Components and Technology Conference (ECTC). Orlando, FL, USA: IEEE, 2020: 1-6. DOI: 10.1109/ECTC32862.2020.00013.
- [10] Rikki Lu. 新思科技和三星强强联手, 加速先进工艺下多裸晶芯片系统设计[EB/OL].[2023-09-13]. <https://www.synopsys.com/blogs/smart-everything/zh-cn/2023/09/synopsys-2>.
- [11] Xpedic Technology, Inc. 芯和半导体联合新思科技业界首发“3DIC 先进封装设计分析全流程”EDA 平台[EB/OL].[2021-08-30]. <https://www.xpedic.com/index.php?m=content&c=index&a=show&catid=66&id=332>.
- [12] Cadence Design Systems, Inc. Cadence Integrity 3D-IC Platform Supports TSMC 3DFabric™ Technologies for Advanced Multi-Chiplet Designs[EB/OL].[2021-10-26]. https://www.cadence.com/zh_TW/home/company/newsroom/press-releases/pr/2021/cadence-integrity-3d-ic-platform-supports-tsmc-3dfabric-technolo.html.
- [13] Cadence Design Systems, Inc. Cadence Expands Collaboration with Samsung Foundry to Advance 3D-IC Design[EB/OL].[2022-10-17]. https://www.cadence.com/en_US/home/company/newsroom/press-releases/pr/2022/cadence-expands-collaboration-with-samsung-foundry-to-advance-3d.html.
- [14] Siemens Digital Industries Software PR Team. Siemens and ASE introduce enablement technologies for next-generation high density advanced package designs[EB/OL].[2023-02-11]. <https://newsroom.sw.siemens.com/en-US/ase-next-generation-high-density-advanced-packaging>.
- [15] 杨中磊, 朱慧, 周立彦, 等. 2.5D 微系统多物理场耦合仿真及优化[J]. 微电子学与计算机, 2022, 39(7): 121-128. DOI: 10.19304/J.ISSN1000-7180.2021.1092.
- YANG Z L, ZHU H, ZHOU L Y, et al. 2.5D microsystem multiphysics coupling simulation and optimization[J]. *Microelectronics & Computer*, 2022, 39(7): 121-128. DOI: 10.19304/J.ISSN1000-7180.2021.1092.
- [16] 童杰. 先进集成封装中多物理效应的高性能仿真方法研究[D]. 杭州: 浙江大学, 2018.
- TONG J. Research on multi-physical effects and high performance simulation method for advanced integrated packaging[D]. Hangzhou: Zhejiang University, 2018.
- [17] 汪志强, 杨凝, 戴扬, 等. 异构集成路线图对我国微系统发展的启示[J]. 导航与控制, 2022, 21(3-4): 40-45. DOI: 10.3969/j.issn.1674-5558.2022.h3.005.
- WANG Z Q, YANG N, DAI Y, et al. Inspiration of heterogeneous integration roadmap for microsystem development in China[J]. *Navigation and Control*, 2022, 21(3-4): 40-45. DOI: 10.3969/j.issn.1674-5558.2022.h3.005.

作者简介:

郭继旺 男,(1981-),副总经理. 研究方向为集成电路与 EDA. E-mail: guojw@empyrean.com.cn.

尹文婷 女,(1984-),博士,工程师. 研究方向为集成电路与 EDA.

谈玲燕 女,(1981-),工程师. 研究方向为集成电路与 EDA.

王宗源 男,(1991-),博士,工程师. 研究方向为集成电路与 EDA.