**实验报告**

目录

[实验环境 1](#_Toc26122014)

[实验结果 1](#_Toc26122015)

[小结 3](#_Toc26122016)

## 实验环境

#### 硬件环境

CPU：Intel酷睿i7 8700

内存：64GB

硬盘：1TB SSD

#### 软件环境

操作系统：Windows 10 1903 专业版

IDE：ISE 14.7

编程语言：Verilog

## 实验结果

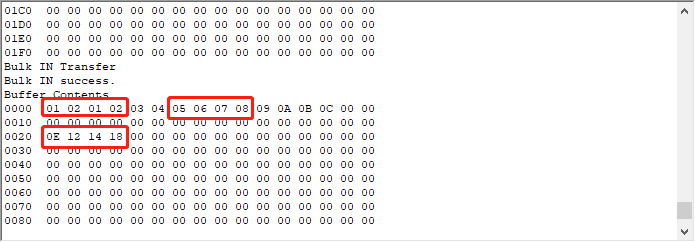
实现了一个写死的卷积操作。buff数组的每一个元素是16位，即2个字节。

定义矩阵为2行3列，卷积核是2x2的，即每次卷积操作将4个元素加起来。

每次读数据的过程中有噪音，buff[0]不是自己write的内容，还没来得及查。

输入数据如下

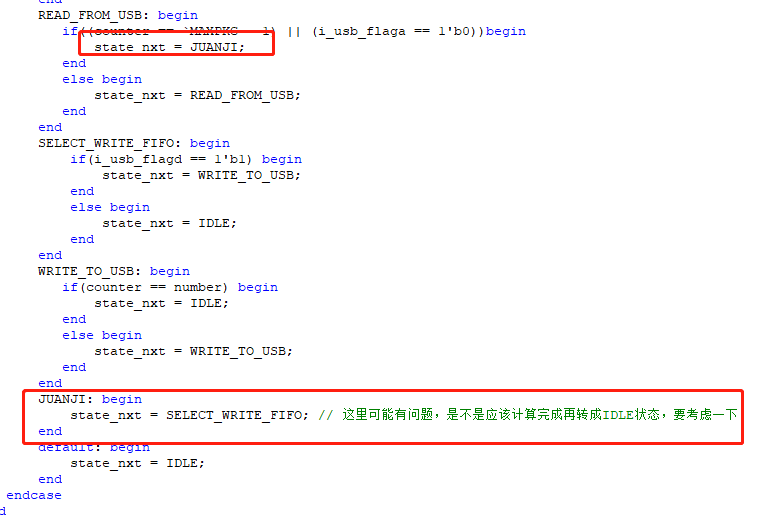




如图所示，第一次卷积为，是数组的，第2次卷积同第一次，是

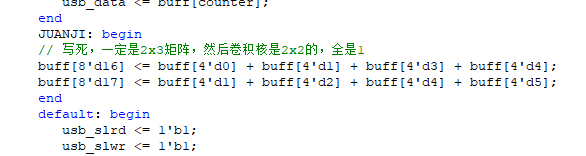
代码修改如下：

增加了一个状态JUANJI



当FPGA读入数据后，不马上进入IDLE，而是跳去进行卷积操作，当卷积操作进行完之后，转而向buff中写，方便PC端进行读操作。

卷积操作如下：



有点low，都是写死的= =

## 小结

###### **遇到的问题**

1. 最开始板子可以write，但是无法read，刷了固件也不行
2. 然后跟一个兄台讨论了一下，又刷了一次固件，突然可以wirte，也可以read了
3. 然后又试了一下，发现有时候可以read，有时候不能= =随机性read成功，感觉十分尴尬
4. 感觉指导资料比较少= =有些盲人摸象的感觉。。。