

# 명지 공학인 윤리 서약서

## 보고서 및 논문 윤리 서약

1. 나는 보고서 및 논문의 내용을 조작하지 않겠습니다.
2. 나는 다른 사람의 보고서 및 논문의 내용을 내 것처럼 무단으로 복사하지 않겠습니다.
3. 나는 다른 사람의 보고서 및 논문의 내용을 참고하거나 인용할 시 참고 및 인용 형식을 갖추고 출처를 반드시 밝히겠습니다.
4. 나는 보고서 및 논문을 대신하여 작성하도록 청탁하지도 청탁받지도 않겠습니다. 나는 보고서 및 논문 작성 시 위법 행위를 하지 않고, 명지인으로서 또한 공학인으로서 나의 양심과 명예를 지킬 것을 약속합니다.

## 시험 윤리 서약

1. 나는 대리시험을 청탁하거나 청탁받지 않겠습니다.
  2. 나는 허용되지 않은 교과서, 노트 및 타학생의 답안지 등을 보고 답안지를 작성하지 않겠습니다.
  3. 나는 타인에게 답안지를 보여주지 않겠습니다.
  4. 나는 감독관의 지시와 명령에 따라 시험 과정에 참여하겠습니다.
- 나는 시험에 위법 행위를 하지 않고, 명지인으로서 또한 공학인으로서 나의 양심과 명예를 지킬 것을 약속합니다.

2022년 11월 21일

서약자

(학번) 60171878

(성명) 허무혁 (인)

CMOS소자공학  
2-input NAND 설계

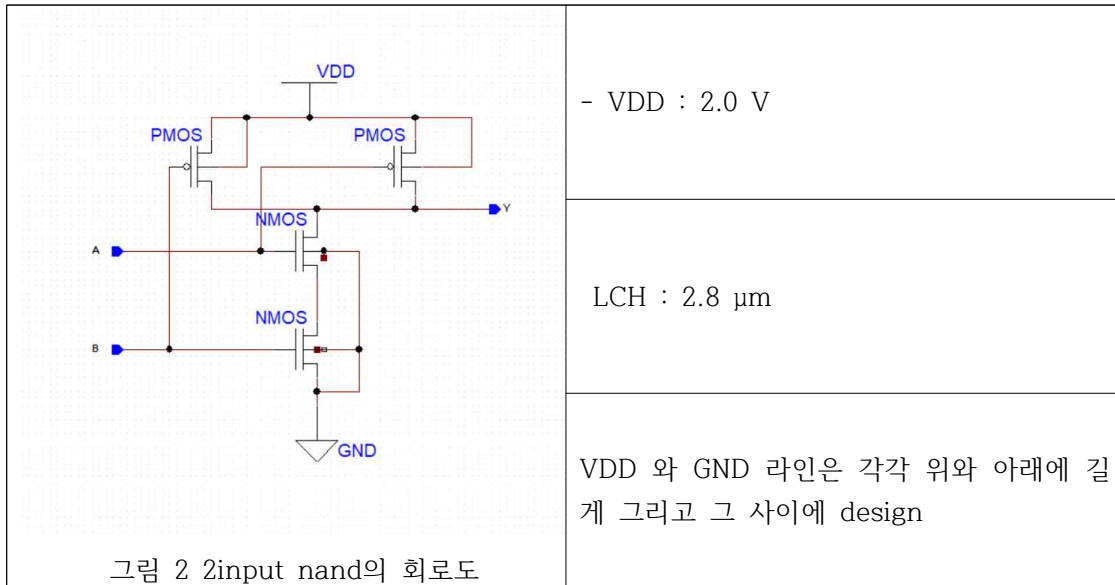
60171878 허무혁

목차

1. 설계조건
2. 레이아웃
3. 동작특성
4. 딜레이 분석

## 1. 설계조건

만들고자 하는 CMOS소자는 2input NAND이며 VDD, GND와 2개의 pmos, 2개의 nmos가 필요하다. 2개의 input(A, B)와 1개의 출력(Y)가 존재한다. 기본으로 주어진 조건은 다음과 같다.



다음으로는 레이아웃 설계시에 지켜야 할 조건들이다. 람다를 기준으로 간격을 설정한다. 람다는 0.2 $\mu\text{m}$ 가 기준이다.

contact부터 active 까지 0.3 $\mu\text{m}$	active에서 nplus까지 0.4 $\mu\text{m}$
contact 크기 0.4 $\mu\text{m}$	active부터 nwell까지 1.2 $\mu\text{m}$
contact부터 poly까지 0.4 $\mu\text{m}$	active에서 pplus까지 0.4 $\mu\text{m}$
contact부터 contact까지 0.6 $\mu\text{m}$	vdd active부터 nwell 0.6 $\mu\text{m}$
ground 폭 1.4 $\mu\text{m}$	vdd 폭 1.4 $\mu\text{m}$
metal이 contact을 0.2 $\mu\text{m}$ 둘러쌈	contact부터 via까지 0.6 $\mu\text{m}$

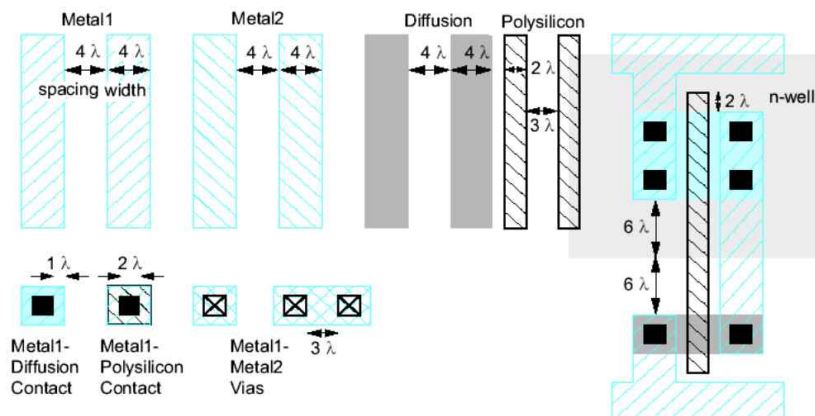


그림 3 레이아웃 설계 조건

## 2. 레이아웃

2-input nand의 stick diagram을 그려보면 다음과 같다.

- 2-input NAND gate

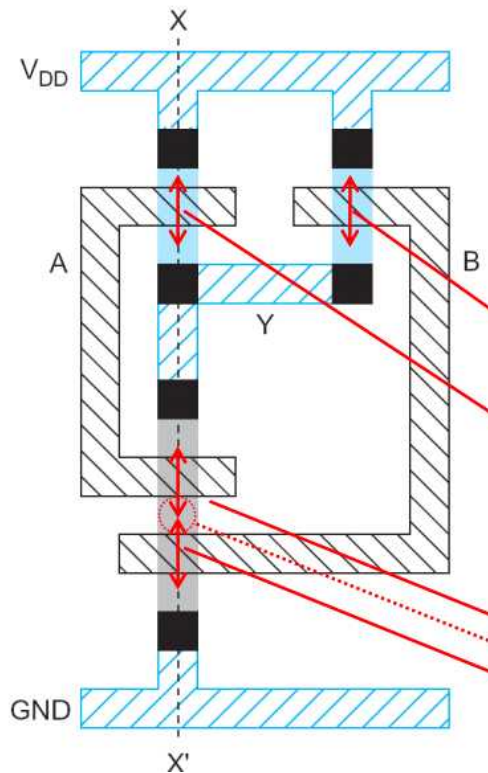


그림 4 2-input NAND stick diagram

위의 설계조건과 stick diagram을 바탕으로 레이아웃을 그려본다. 레이아웃을 그릴 때 상세조건은 설계조건들을 준수하였으며, channel의 length는  $2.8\mu\text{m}$ 로 고정이다. width는 nmos 쪽이  $1.2\mu\text{m}$ 이며 pmos 쪽은 2배 넓은  $2.4\mu\text{m}$ 이다. pmos쪽의 width가 더 넓은 이유는 nmos의 베타가 pmos의 베타보다 2배 크기 때문이다.(Make pMOS is wider than nMOS such that  $\beta_n = \beta_p$ )

Layout 그릴 때 고려할 두가지 요소가 있다. 가급적 구현 가능하도록 넉넉하게 소자를 설정할 것인지(Conservative rules) 수율을 포기하고 높은 성능을 내게 작게 구현할 것인지(Aggressive rules). 이 프로젝트에서는 람다를 기본으로 한 MOSIS CMOS rules을 사용하기로 했다. 딜레이를 줄이기 위해 우리가 건드릴 수 있는 요소는 channel의 width를 크게하는 방법과 가급적 layout의 요소들을 촘촘하게 배치하여 전체 사이즈를 줄이는 방법이다. 두가지 방법 중 어느 방법이 효과적인지는 4. 딜레이 분석 파트에서 다루기로 한다.

2-input nand layout의 설계.

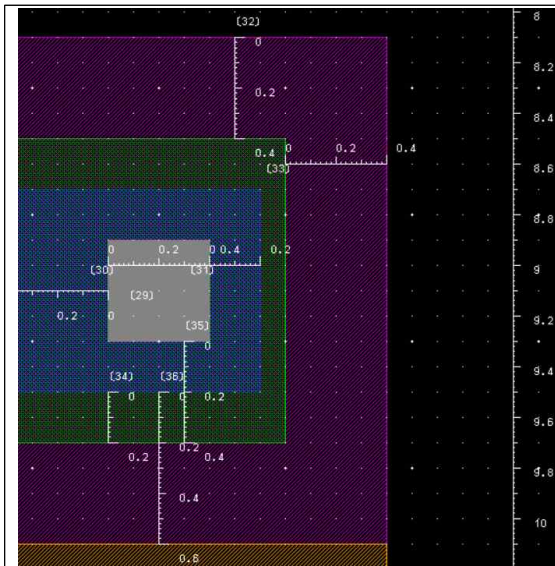


그림 5 nmos design rules

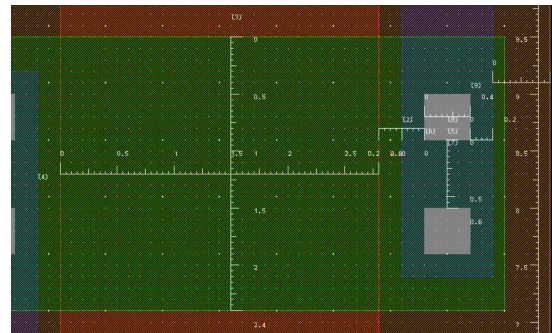


그림 6 pmos design rules

Lch : 2.8 $\mu$ m 여기에 표시

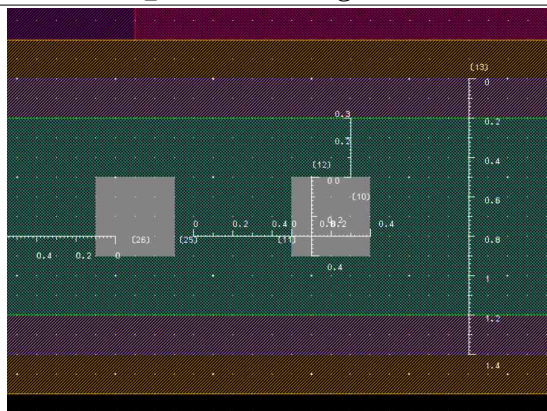


그림 7 ground design rules

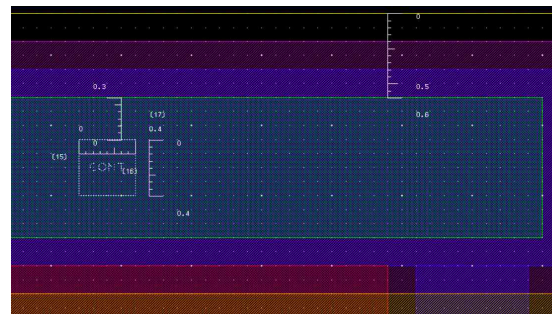


그림 8 vdd design rules

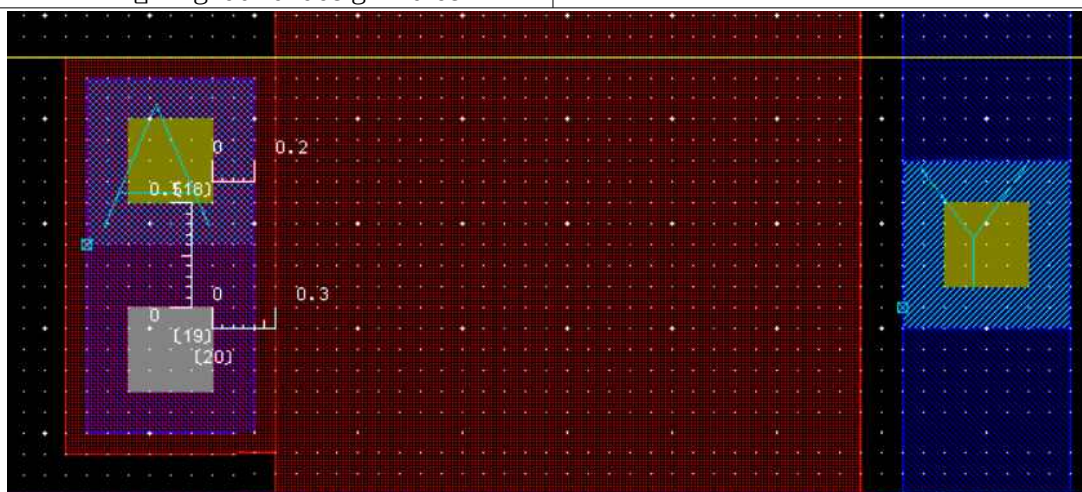


그림 9 via 부분 design



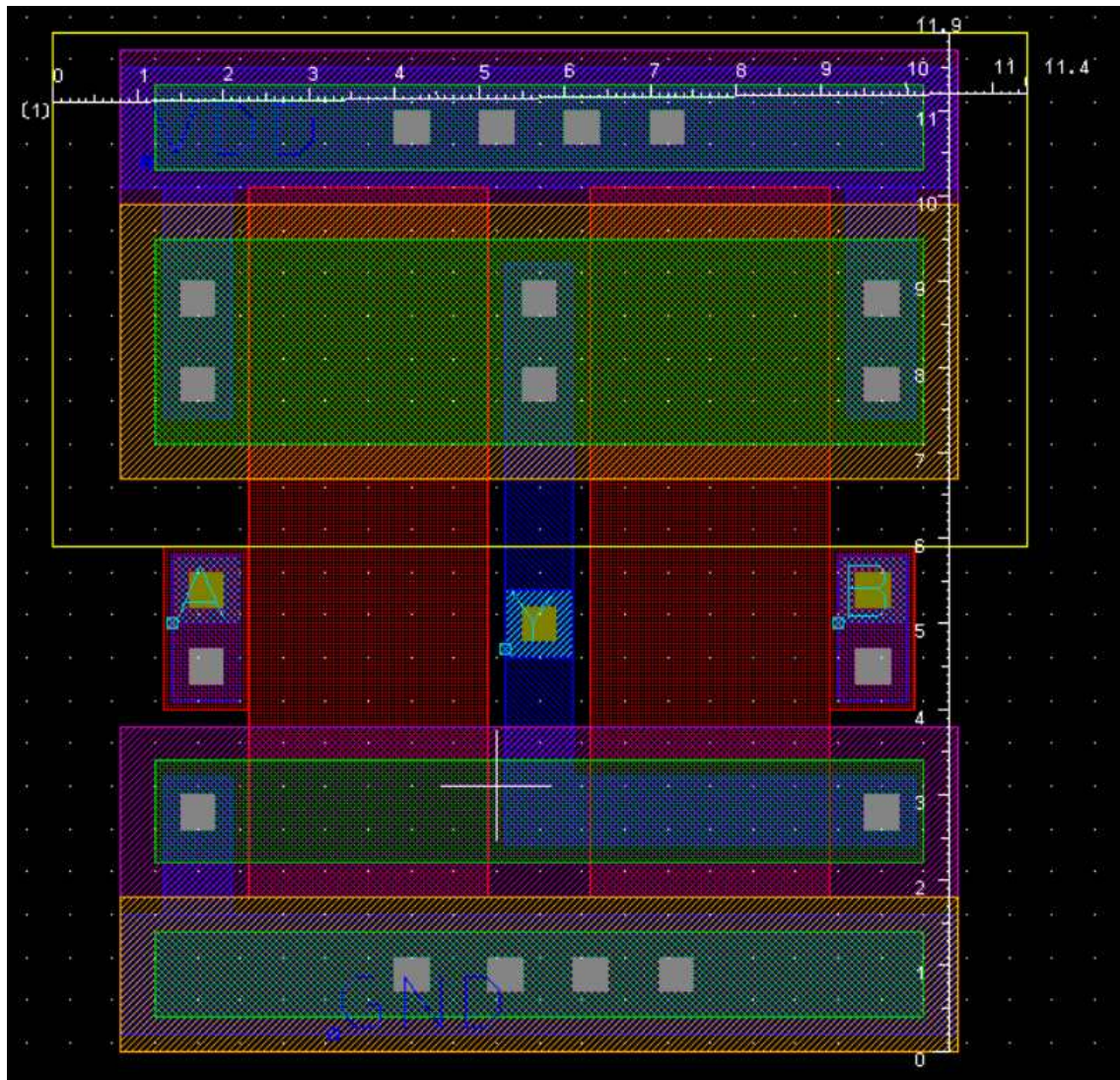


그림 10 완성된 2-input nand layout

### 3. 동작특성

다음은 위의 완성된 layout을 spice를 통해 검증해본다. 2-input nand의 table은 다음과 같다.

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

표 5 2-input nand truth table

spice를 통해 찍어본 파형은 다음과 같다.

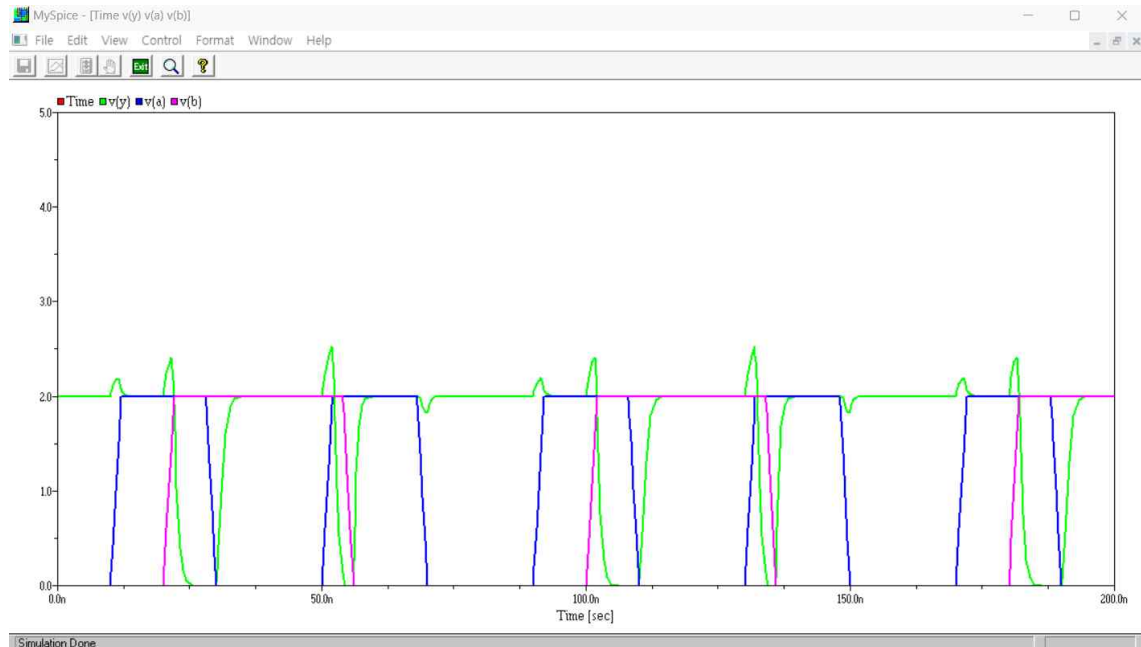


그림 11 2-input nand 동작 특성

시간차를 두고 1(2.0V)과 0(0V)를 왕복하는 pulse를 그리는 A, B입력에 대한 출력 Y의 그래프 개형이 2-input nand의 truth table과 일치함을 확인할 수 있다.

출력 Y의 파형을 보면 출력이 고르지 않고 톱니처럼 들쭉날쭉하게 값이 바뀌는 모습을 보여 주는데 이는 오버슈트와 링잉 현상으로 2차 회로에서 볼 수 있는 현상이다. nand에는 gate에 의한 커패시터를 제외하고도 기생 커패시터 성분이 존재하기에 나타난다.

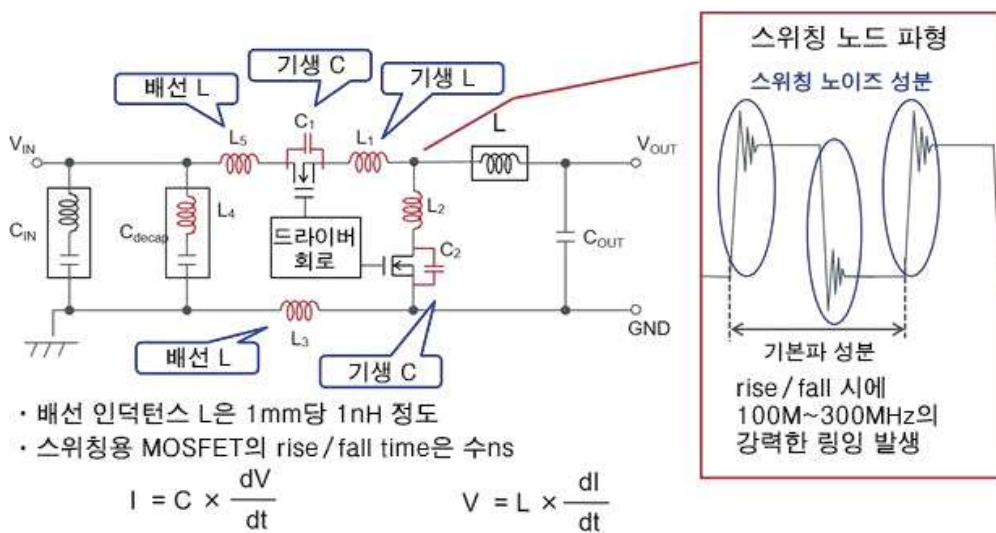


그림 12 오버슈트와 링잉

## 4. 딜레이 분석

위의 동작 특성 개형을 보면 입력 A, B가 모두 1일 때 0으로 떨어지게 되는데 이때 값이 바로 바뀌는 것이 아니고 어느정도 delay를 가지는 모습을 확인할 수 있다.

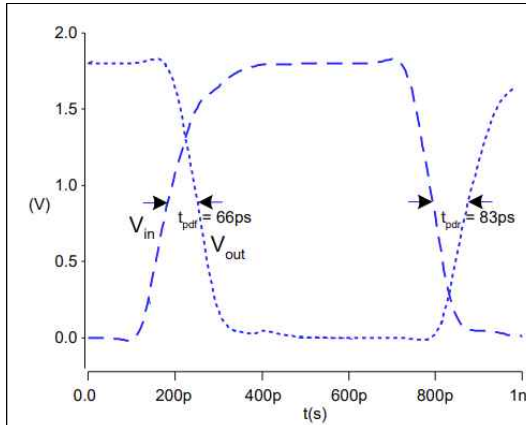


그림 13 delay발생 예시 사진.

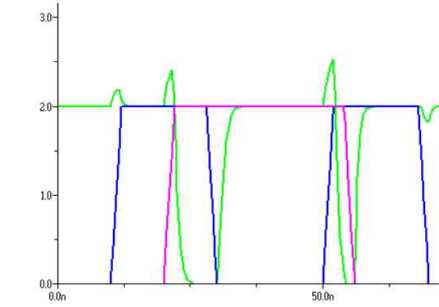


그림 14 구현한 nand에서 딜레이가 발생하는 모습.

delay가 발생하면 회로의 작동시간에 크게 영향을 미친다. 또한 Glitches와 같은 현상이 발생하여 출력신호에 왜곡이 생길수 있기 때문에 delay를 최소화 하는 설계가 매우 중요하다.

따라서 이번 프로젝트에서 딜레이를 줄이기 위해 고려한 부분은 크게 3가지이다.

1. 직렬로 구성된 nmos단의 S와 D를 공유한다.(Merged Uncontacted Diffusion)

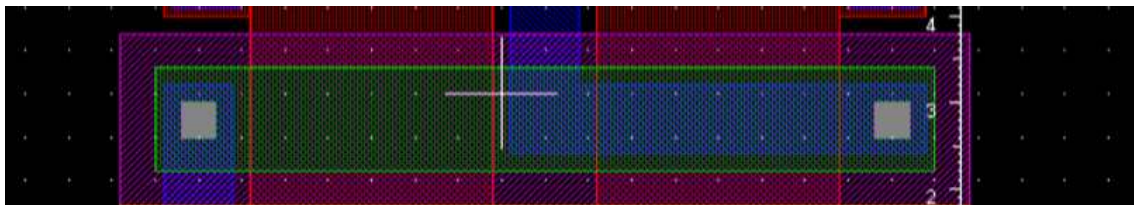


그림 15 Merged uncontacted diffusion

2. channel의 Width를 키워본다.

이 경우 delay를 효과적으로 줄일 수 있지만( $I_{ds}$ 가 커지는 효과를 가져옴) layout의 전체 사이즈가 커지며, scaling down되며 수 nm공정으로 가고 있는 현 트렌드에는 맞지 않다.

3. layout의 전체 크기를 줄인다.

이 경우 channel length가 줄은 것과 같은 효과를 얻을 수 있으며 Width를 키우지 않아도 delay를 줄이는 효과를 얻을 수 있다. 따라서 pmos와 nmos 사이의 거리를 가능한 한 줄여 layout의 세로 길이를 최소화 했다. (선로에서 발생하는 delay 줄이기)



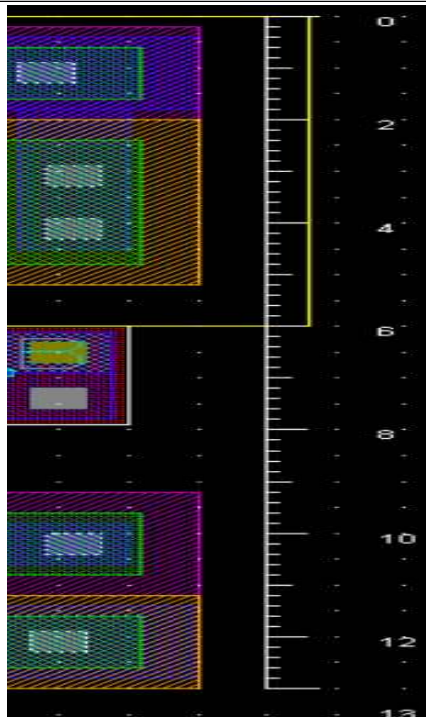


그림 16 사이즈를 줄이기 전

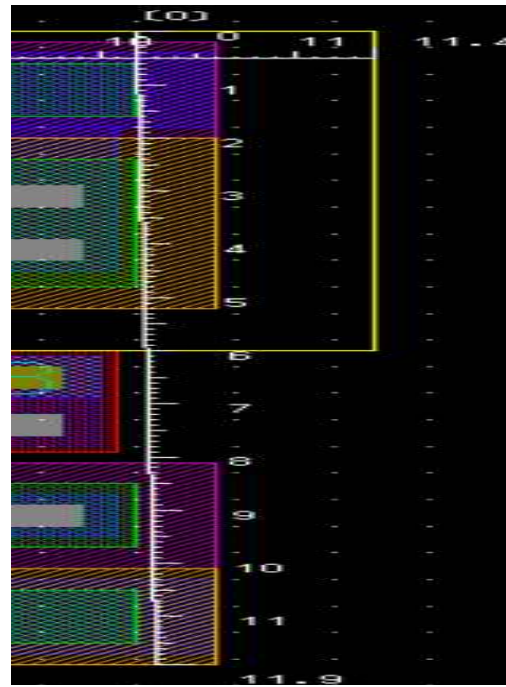


그림 17 사이즈를 줄인 후