

# THỰC HÀNH SOC

## Bài 1 - GIỚI THIỆU

### 1. MỤC ĐÍCH

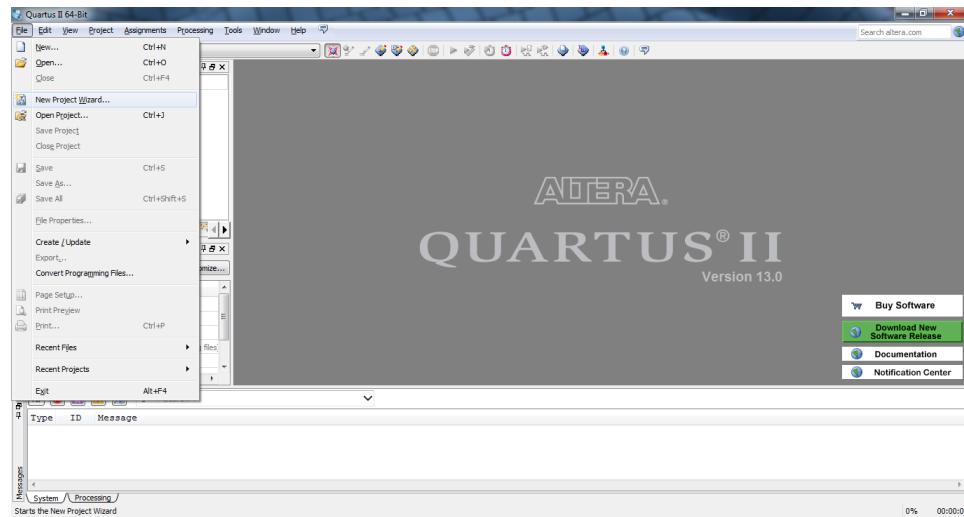
Thông qua bài thực hành này, sinh viên sẽ hiểu rõ

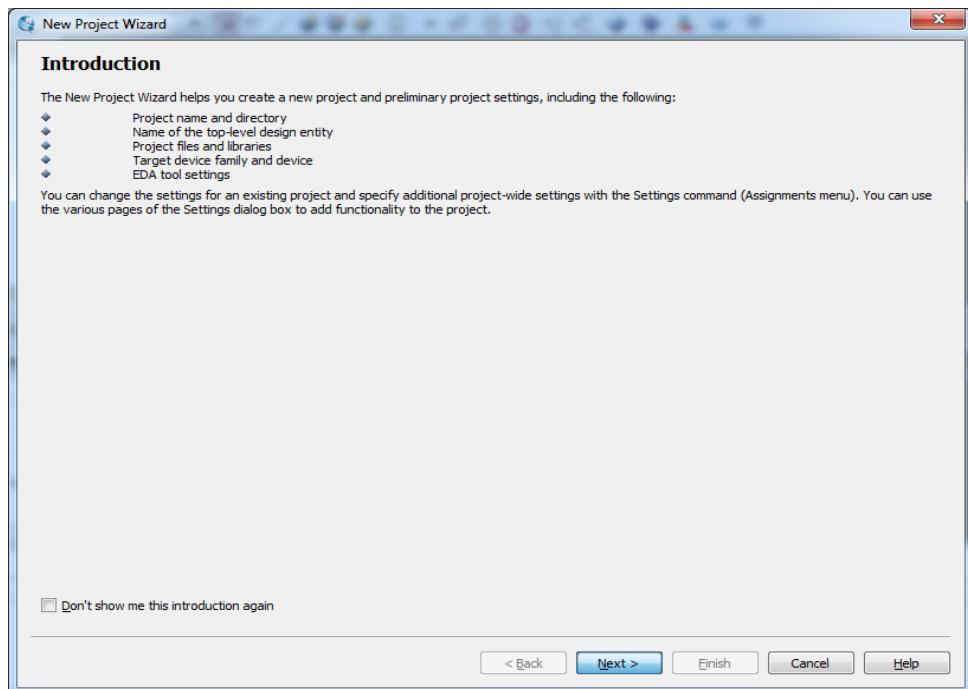
- o Cách thiết kế một máy tính hoàn chỉnh từ việc xây dựng phần cứng đến phần mềm.
- o Cách sử dụng công cụ Quartus II và Qsys để tạo phần cứng máy tính, tổng hợp và nạp xuống FPGA.
- o Cách sử dụng công cụ NIOS II để tổng hợp và nạp phần mềm xuống máy tính.

### 2. NỘI DUNG

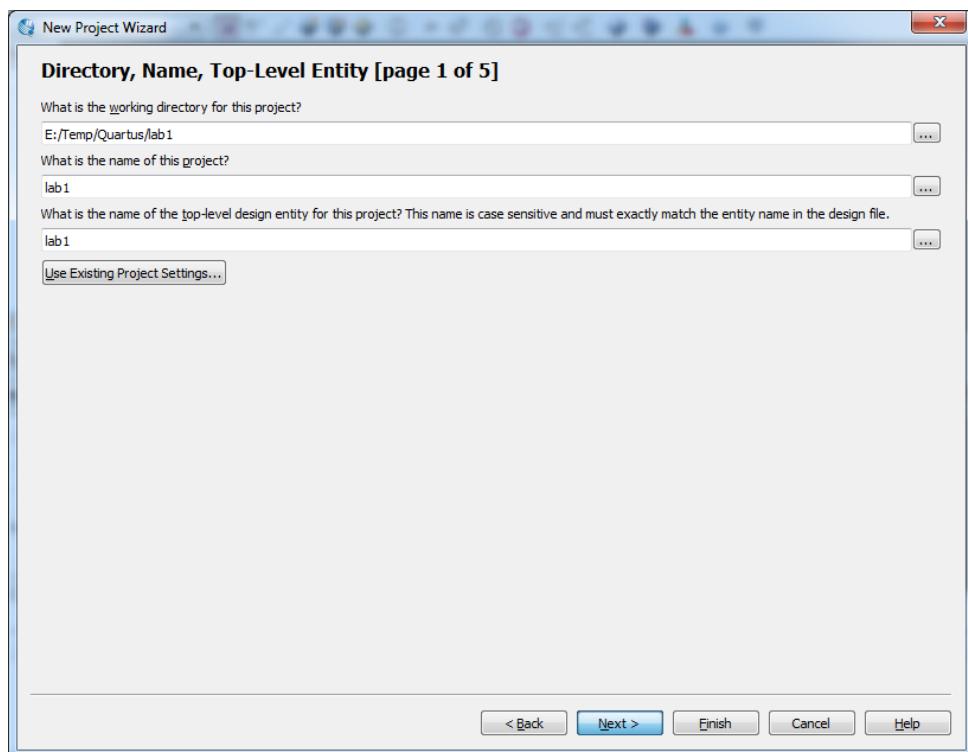
#### 2.1. Hệ thống phần cứng

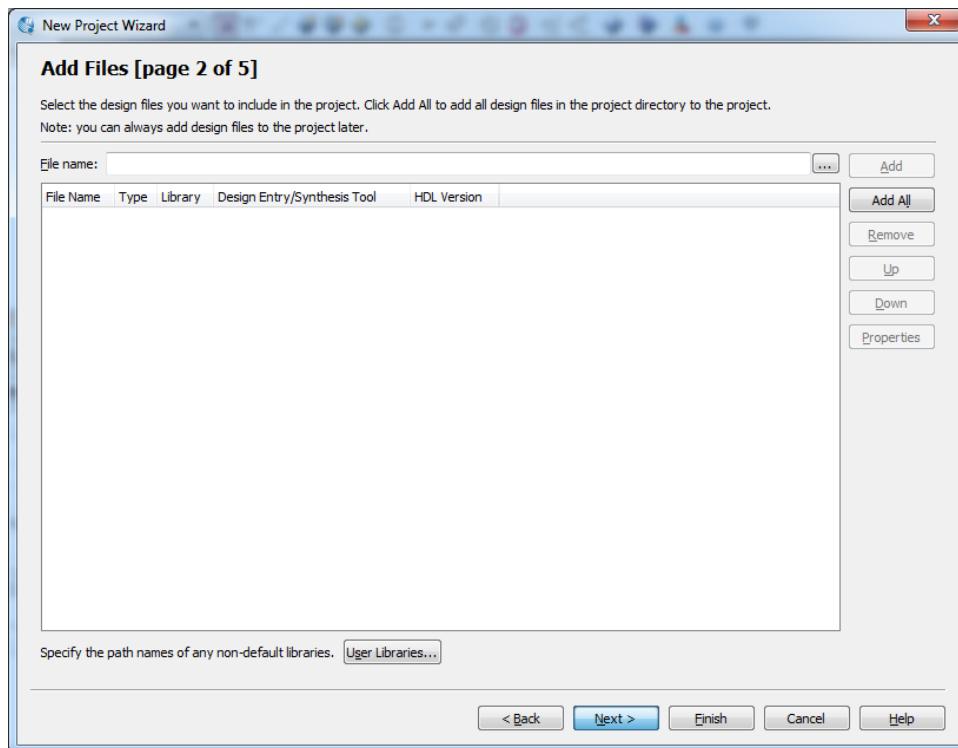
##### 2.1.1. Tạo project Quartus



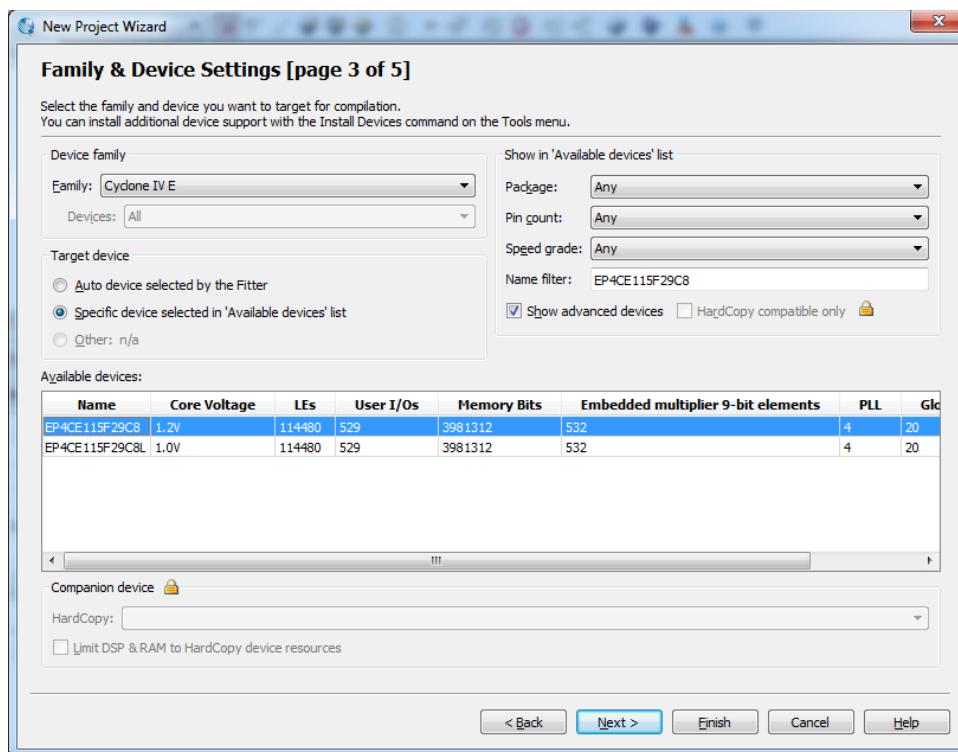


Đường dẫn thư mục chứa project không được có khoảng trắng

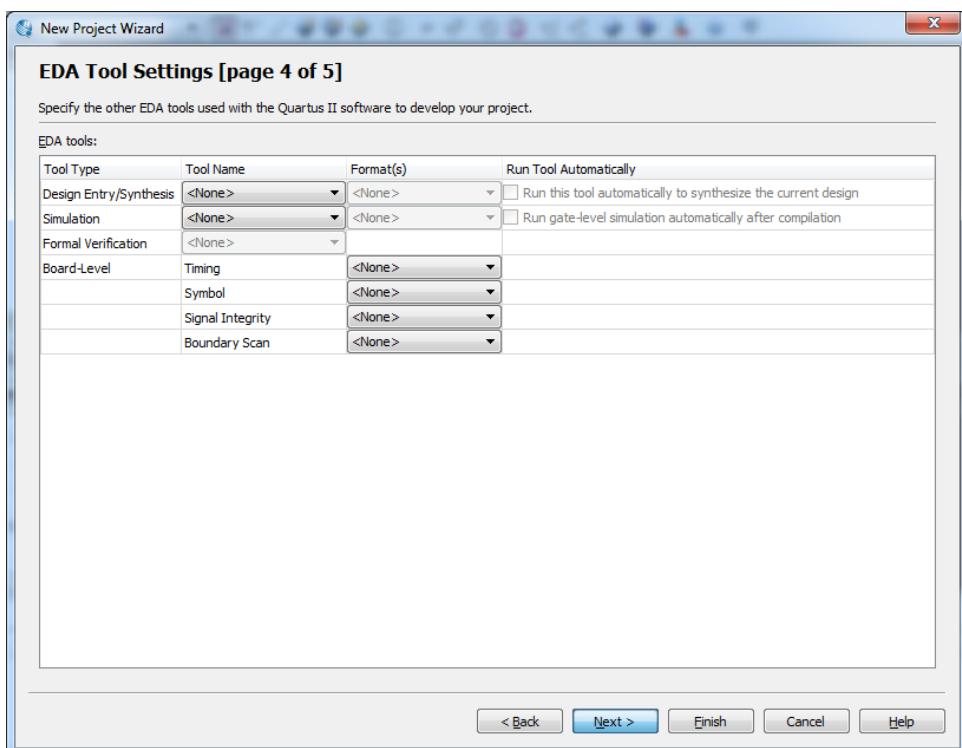
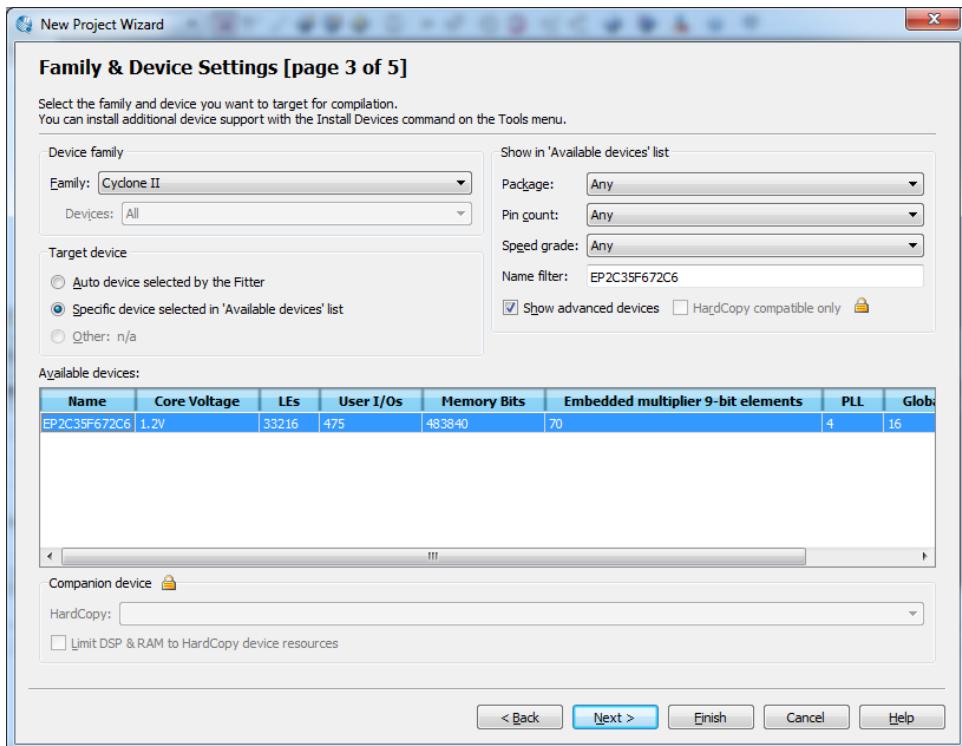


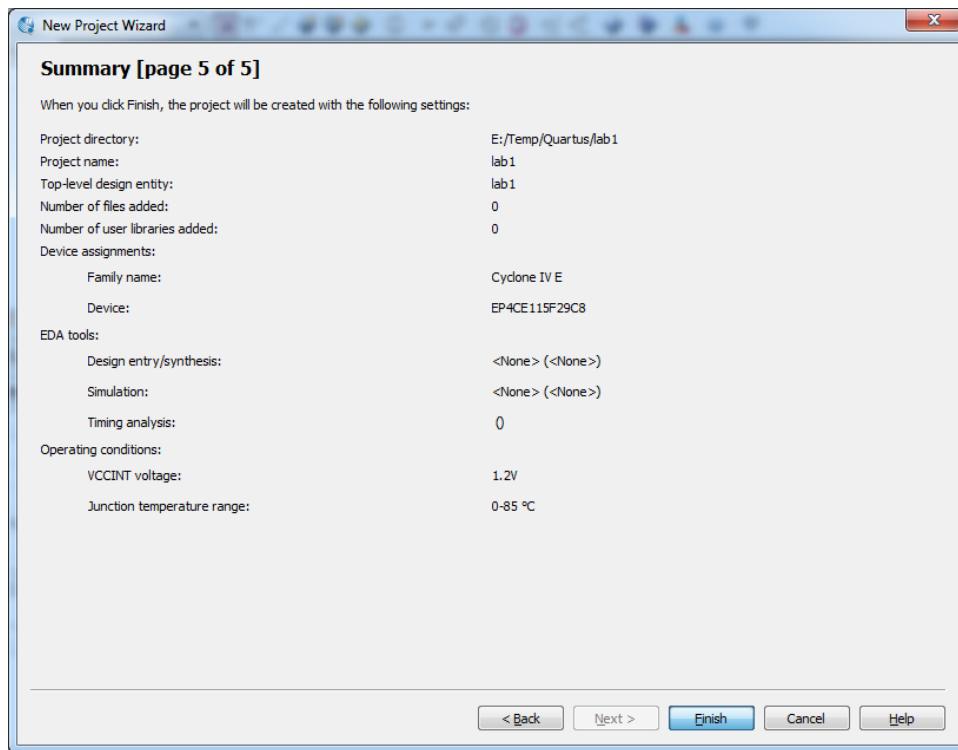


Nếu sử dụng board DE2-115, chọn Family là Cyclone IV E, device là EP4CE115F29C8

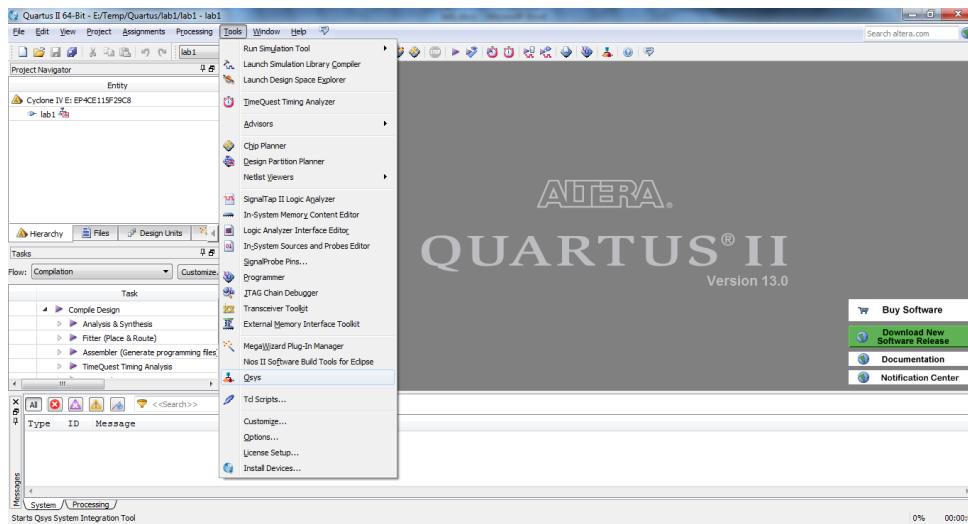


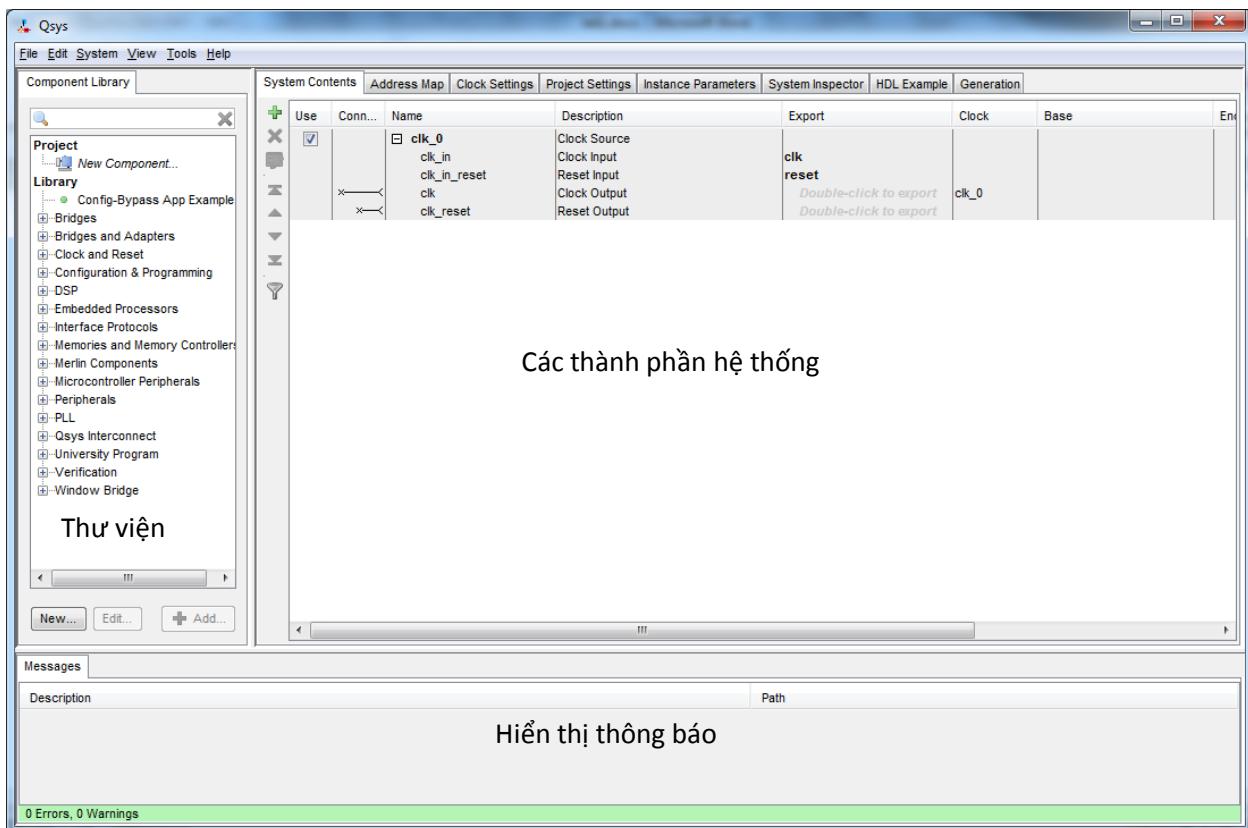
Nếu sử dụng board DE2, chọn Family là Cyclone II, device là EP2C35F672C6



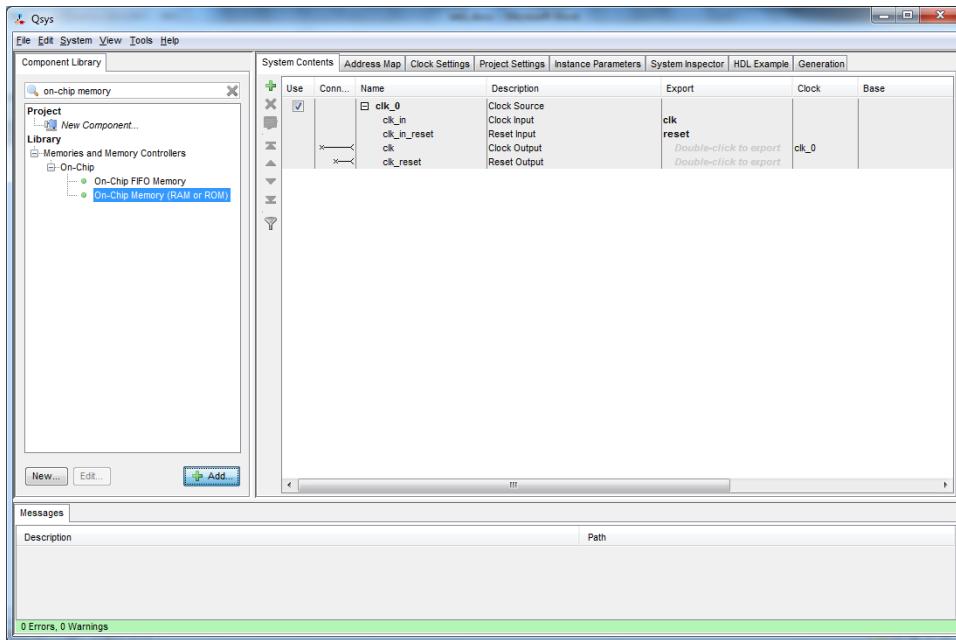


## 2.1.2. Xây dựng hệ thống SoPC sử dụng Qsys

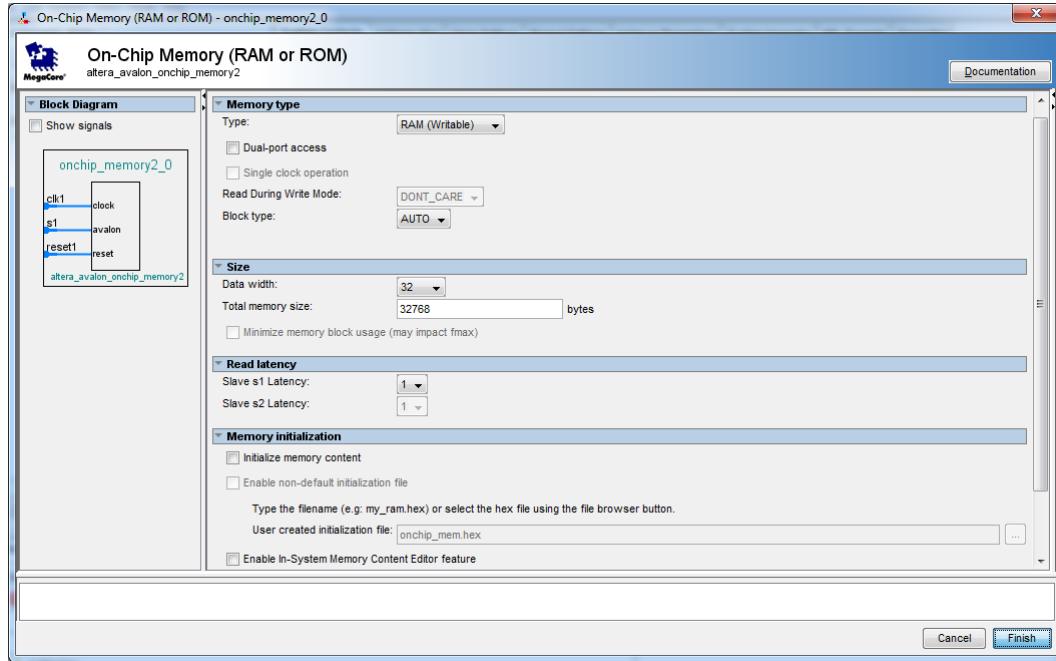




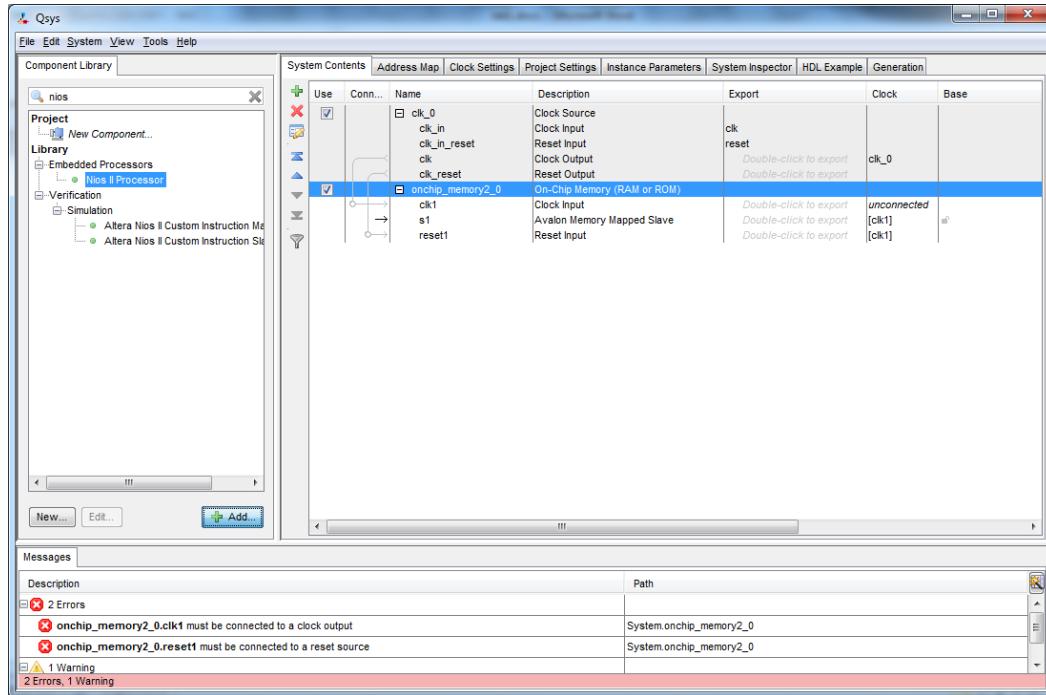
Trong cửa sổ thư viện, gõ vào ô tìm kiếm “On-chip memory”, chọn “on-chip memory (RAM or ROM)”, click “Add”



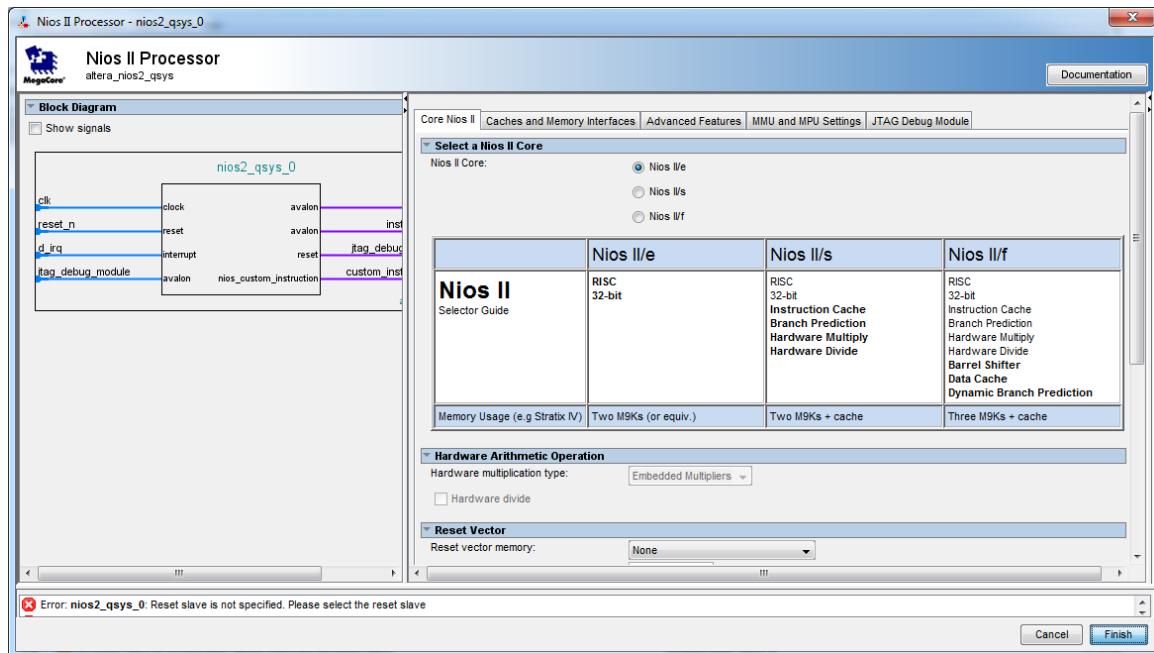
Cấu hình như bên dưới, click “Finish”



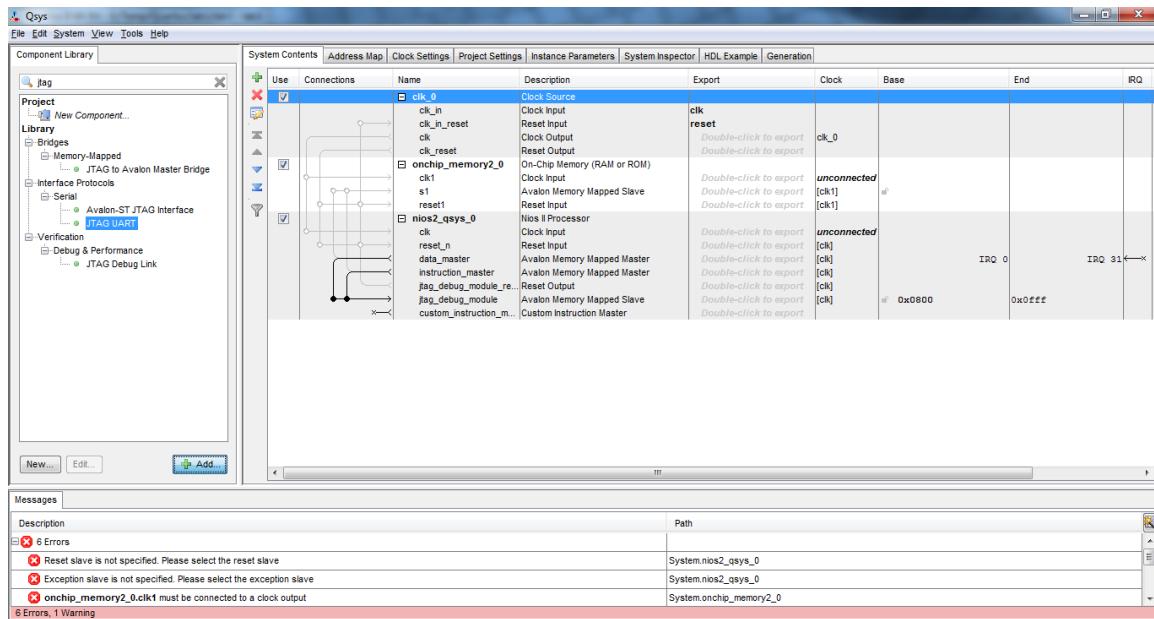
Tìm “Nios II processor” và thêm vào hệ thống



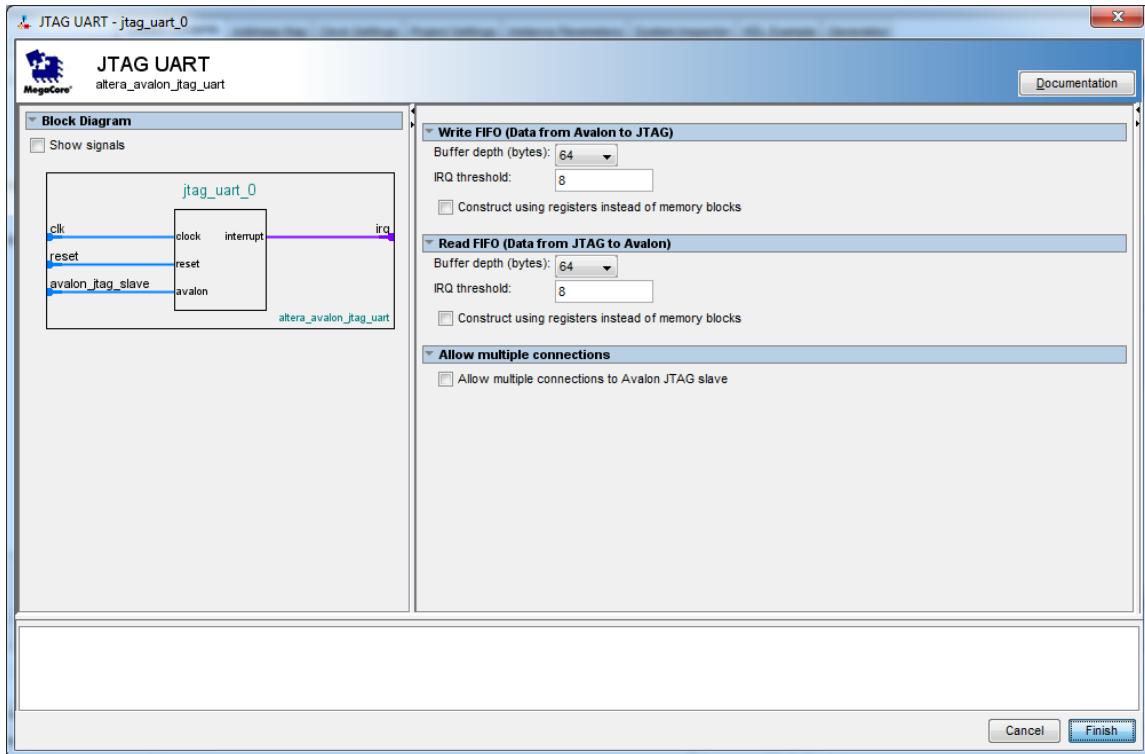
Ở tab “Core Nios II”, chọn “Nios II/e”, click “Finish”



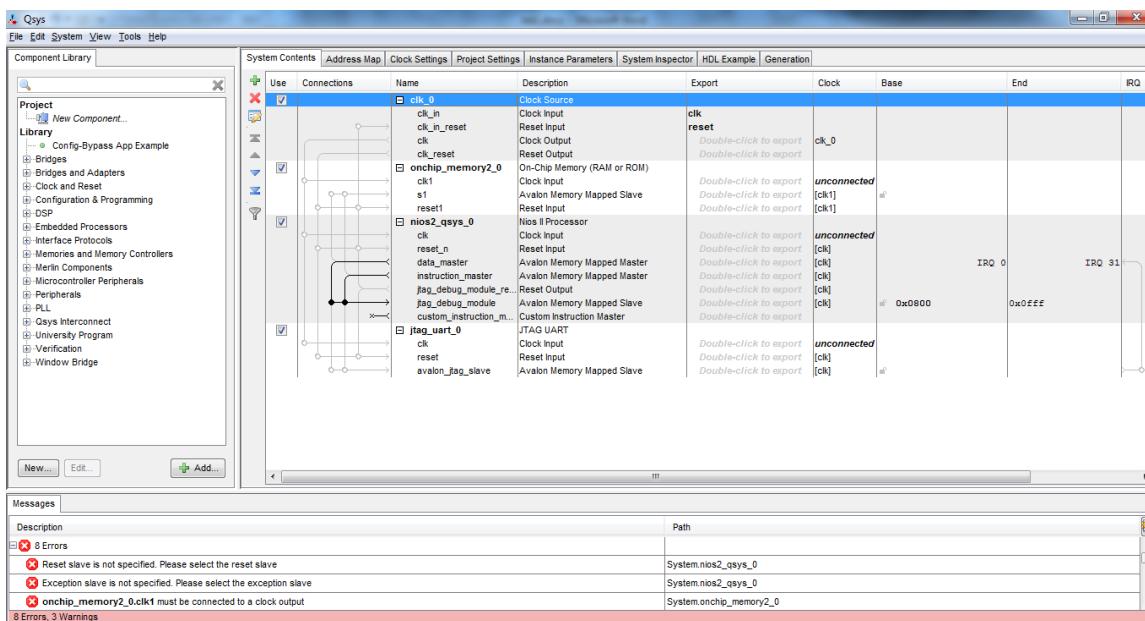
Tìm kiếm “JTAG UART” và thêm vào hệ thống



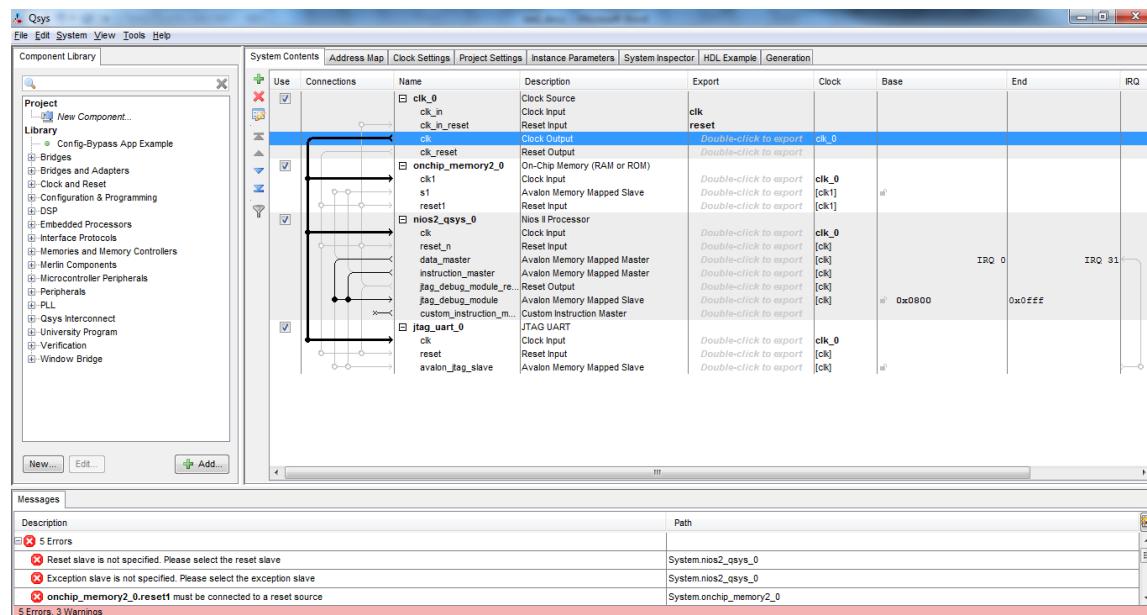
Click “Finish”



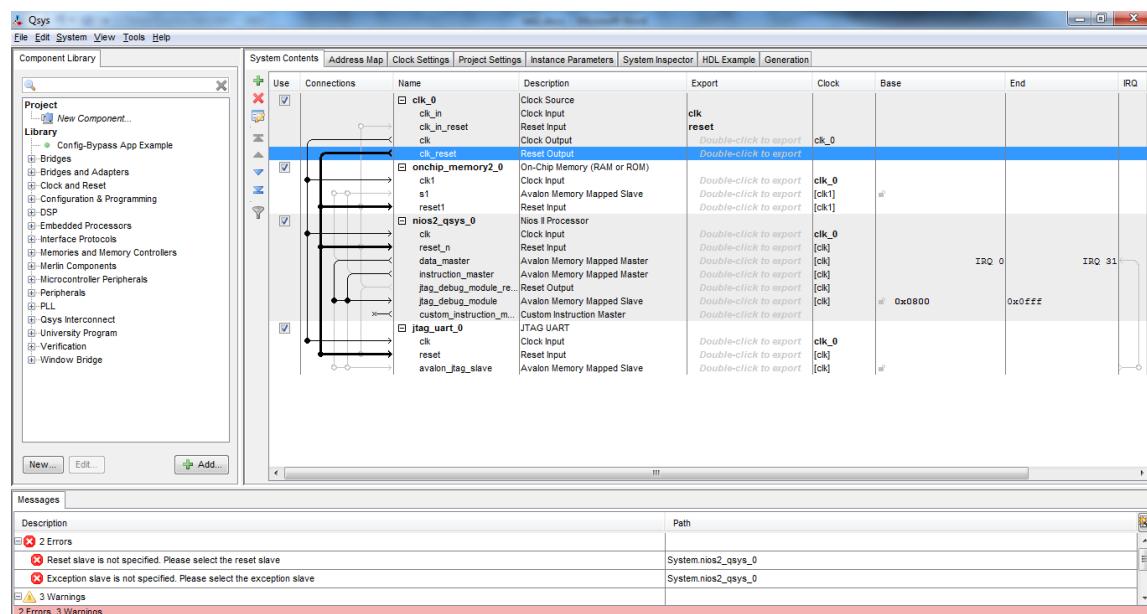
Hệ thống hoàn chỉnh như hình bên dưới



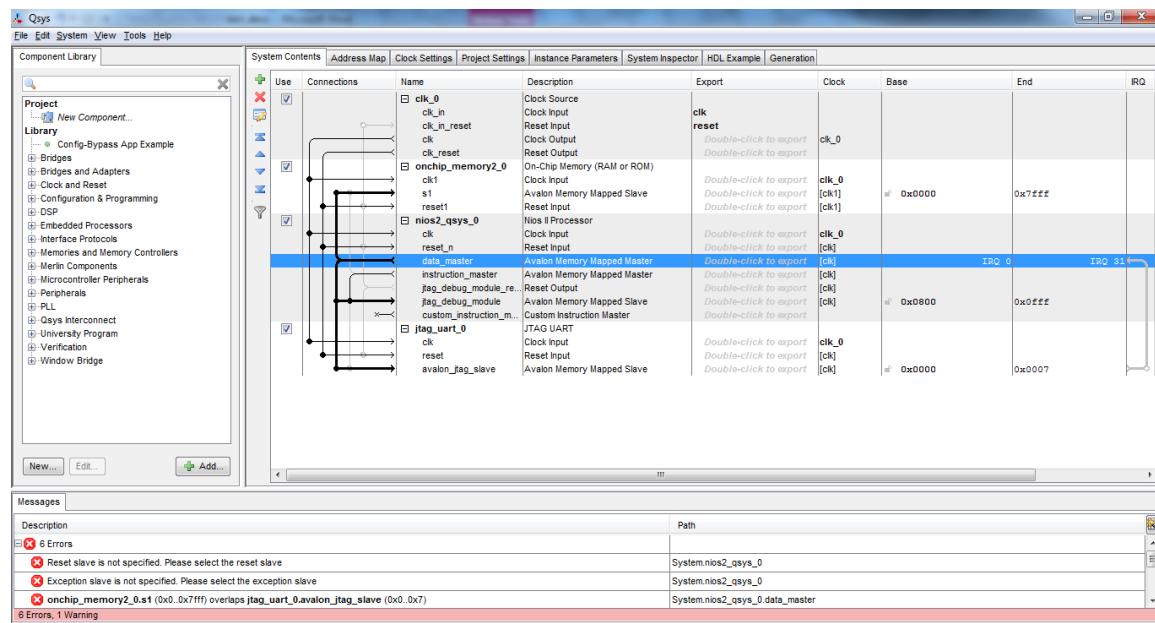
## Kết nối tín hiệu “clk” từ module “clk\_0” đến các module khác



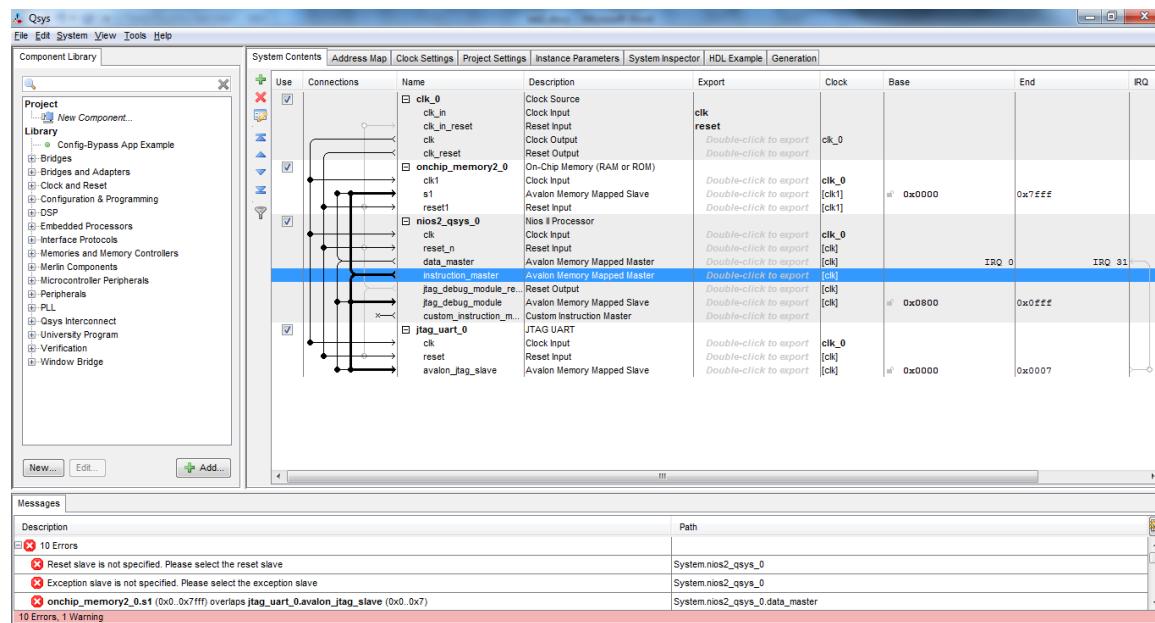
## Kết nối tín hiệu “clk\_reset” từ module “clk\_0” đến các module khác



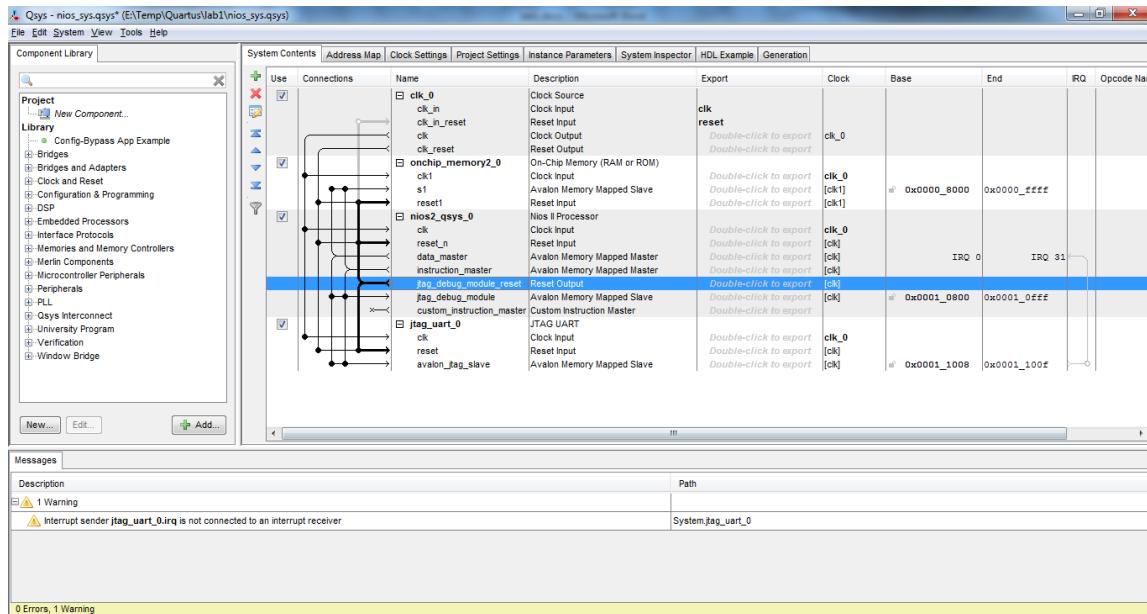
Kết nối interface “data master” từ module “nios2\_qsys\_0” đến các interface khác



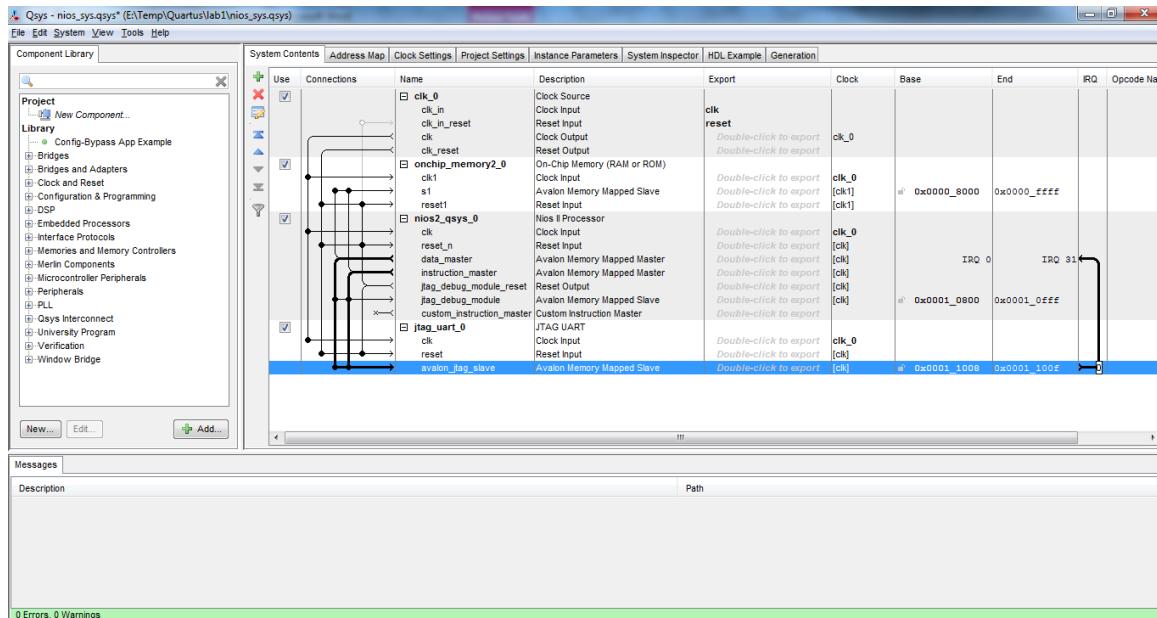
Kết nối interface “instruction master” từ module “nios2\_qsys\_0” đến các interface khác



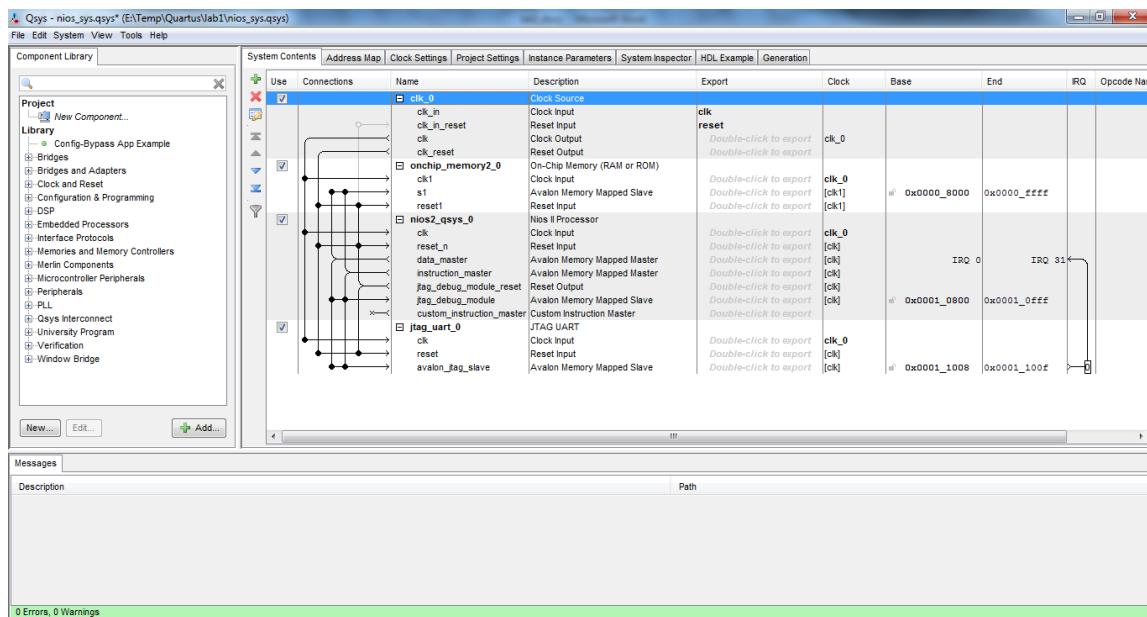
Kết nối interface “jtag\_debug\_module\_reset” từ module “nios2\_qsys\_0” đến các interface khác



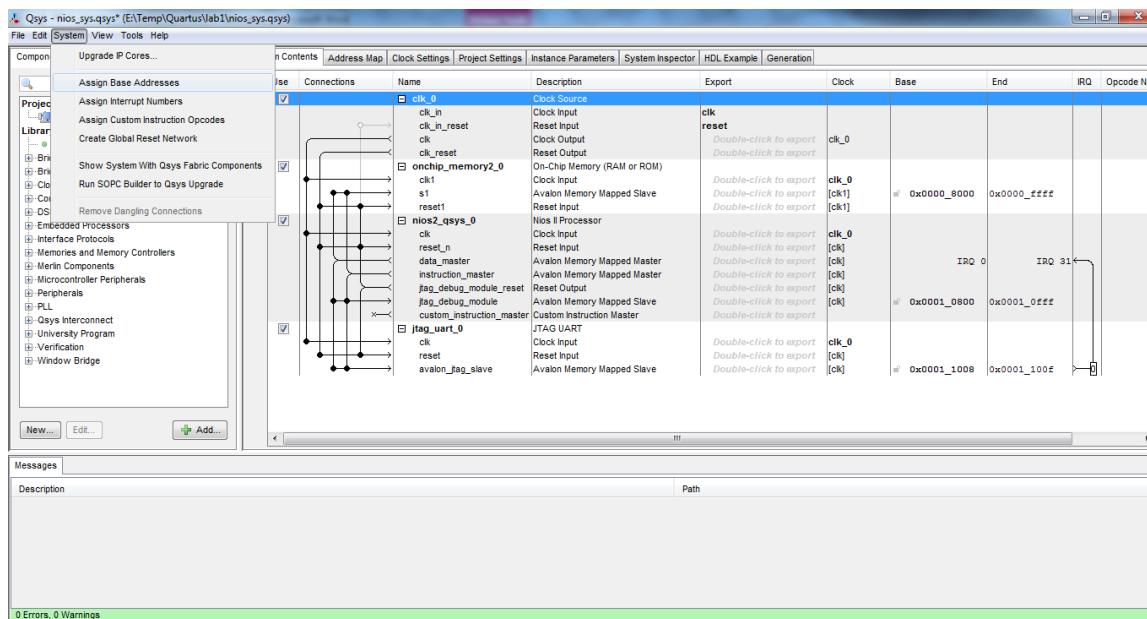
Kết nối tín hiệu “irq” từ module “jtag\_uart\_0” đến module “nios2\_qsys\_0”



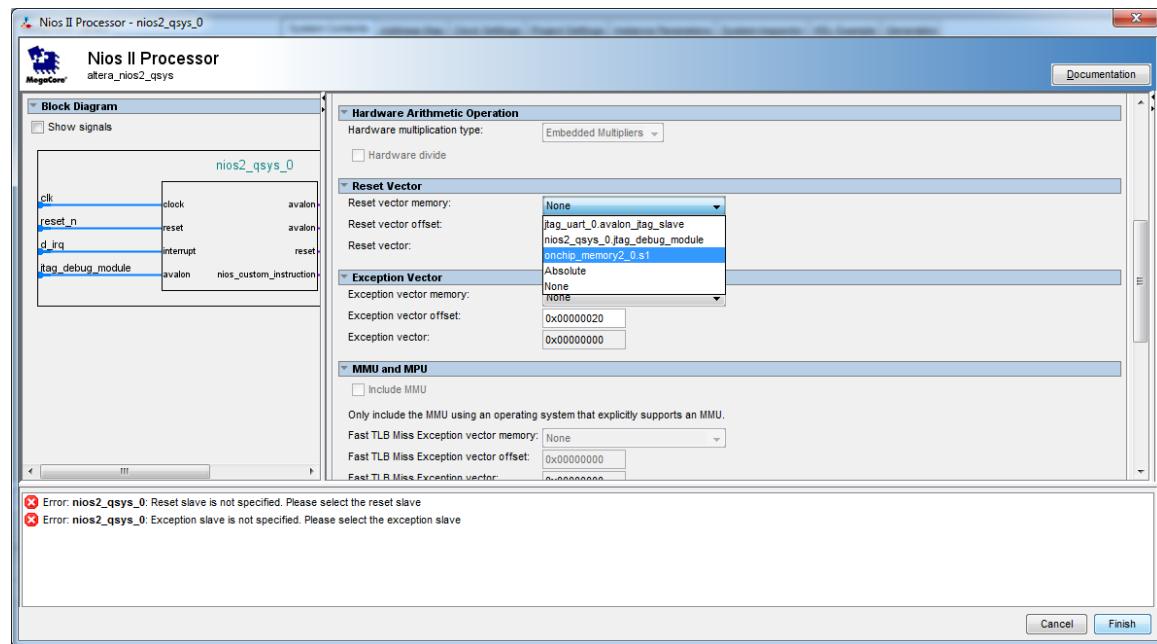
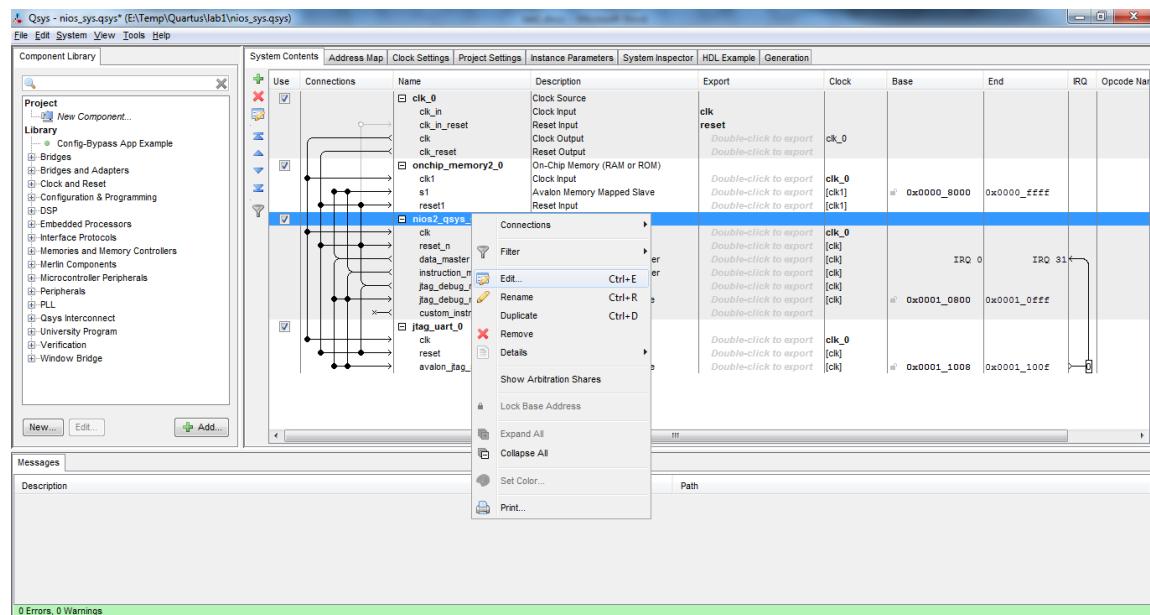
Sau khi kết nối xong sẽ được hệ thống như bên dưới

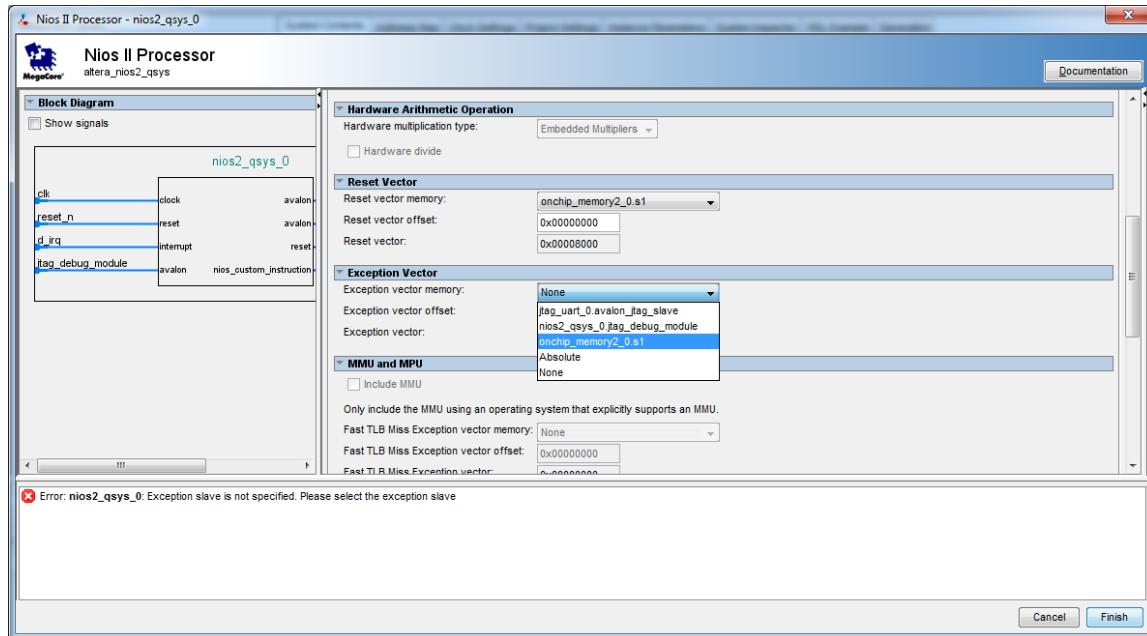


Gán địa chỉ cho các module



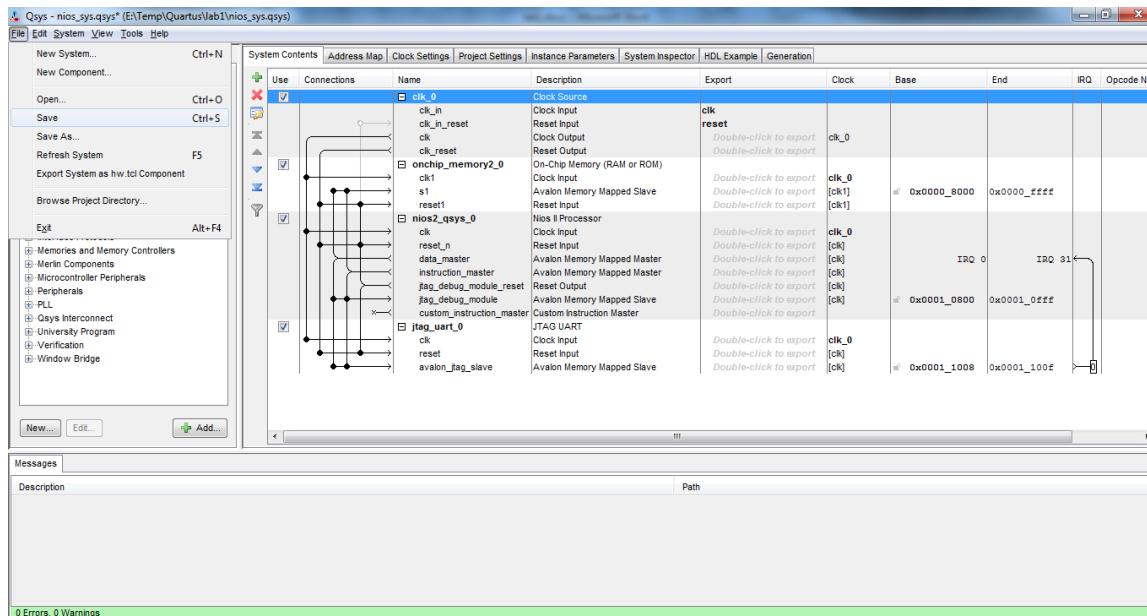
## Sửa lại cấu hình của module “nios\_qsys\_0”

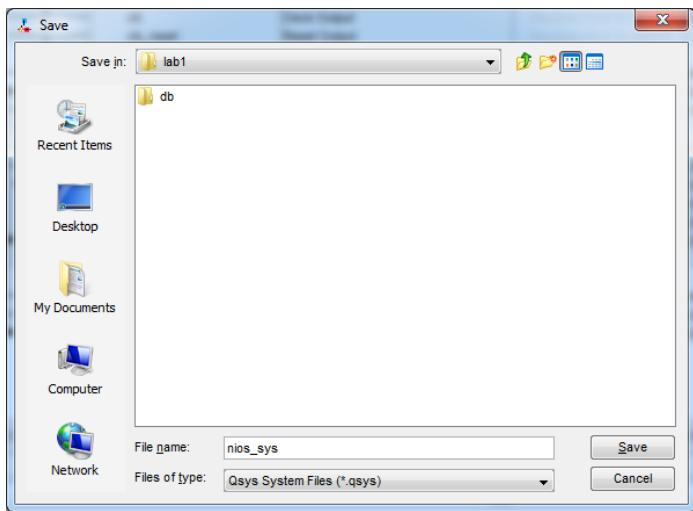




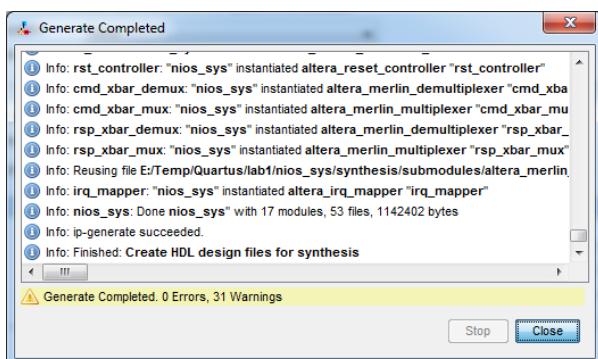
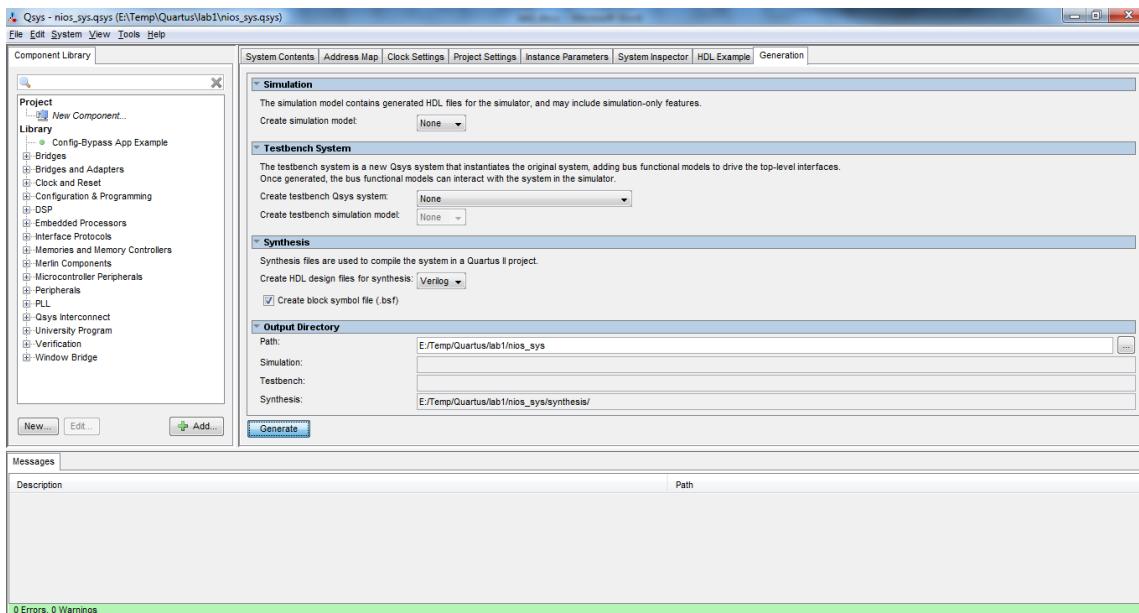
Click “Finish”

Hệ thống phần cứng đã hoàn thành, không còn thông báo lỗi. Save lại hệ thống với tên “nios\_sys”

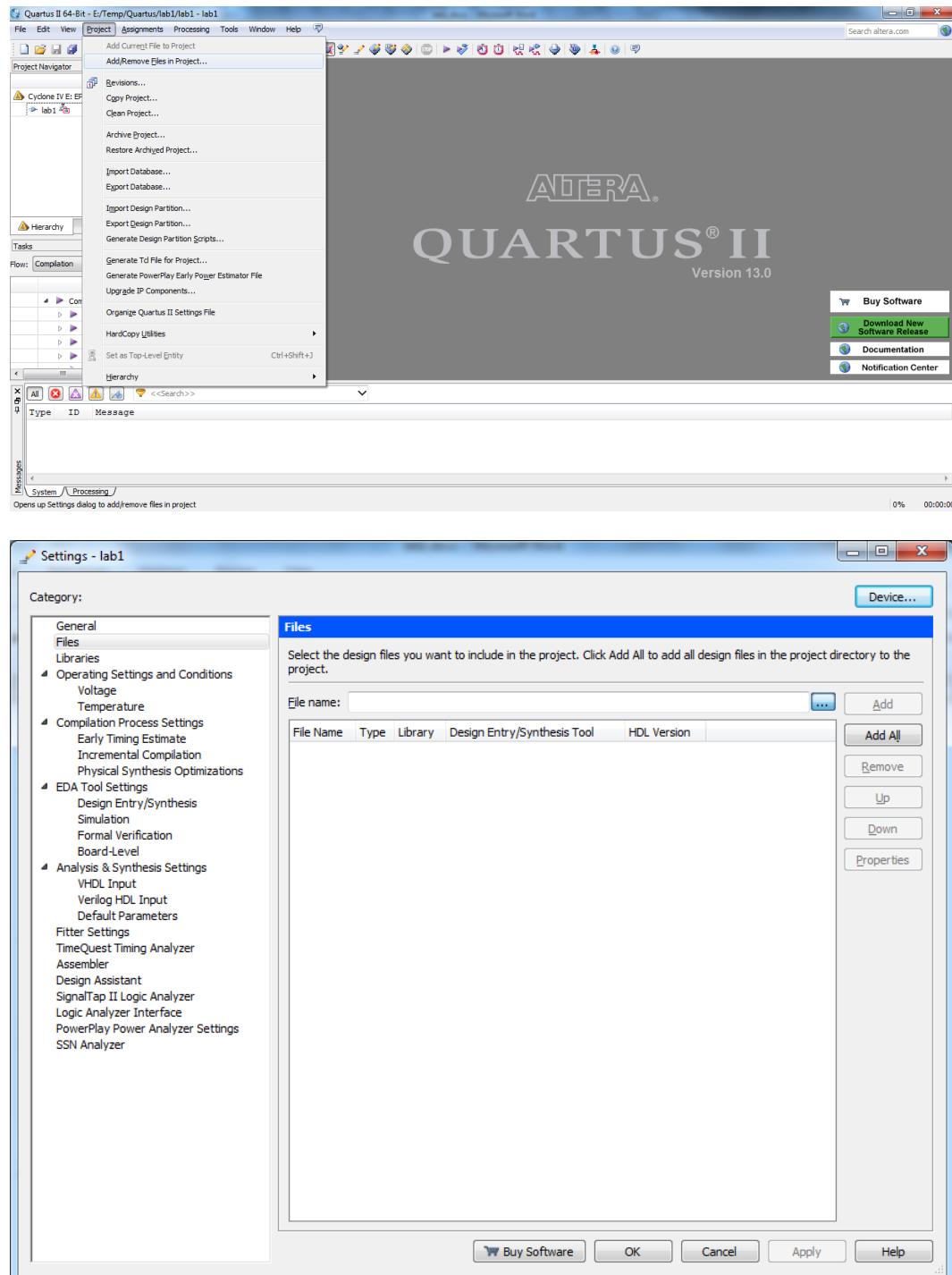




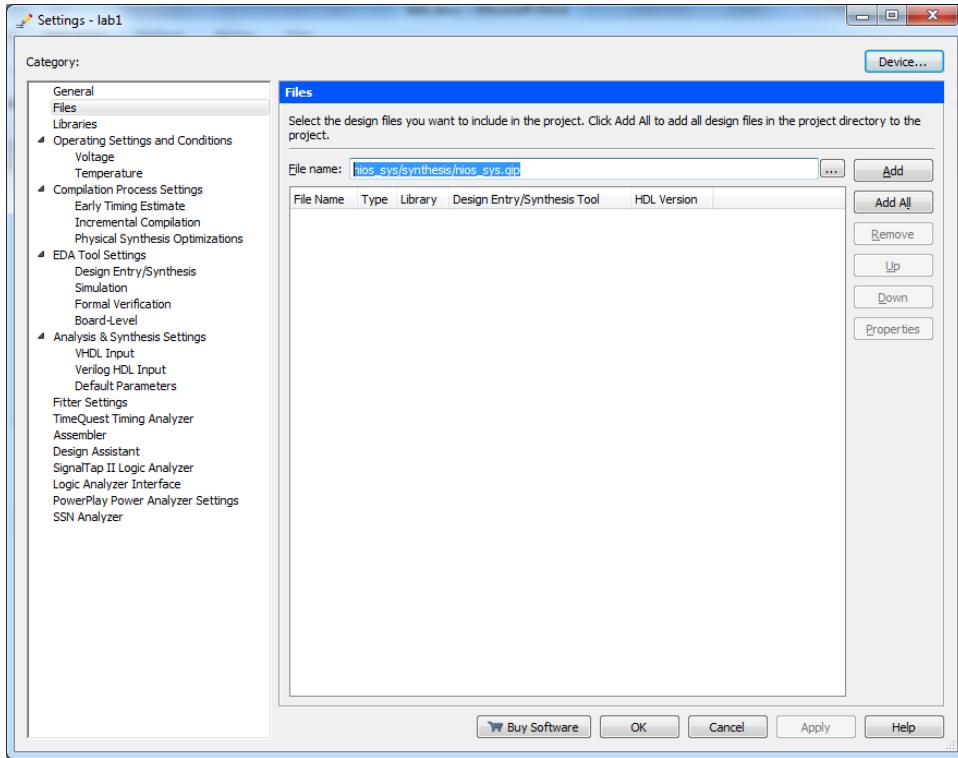
Chuyển sang tab “Generation”, click “Generate”



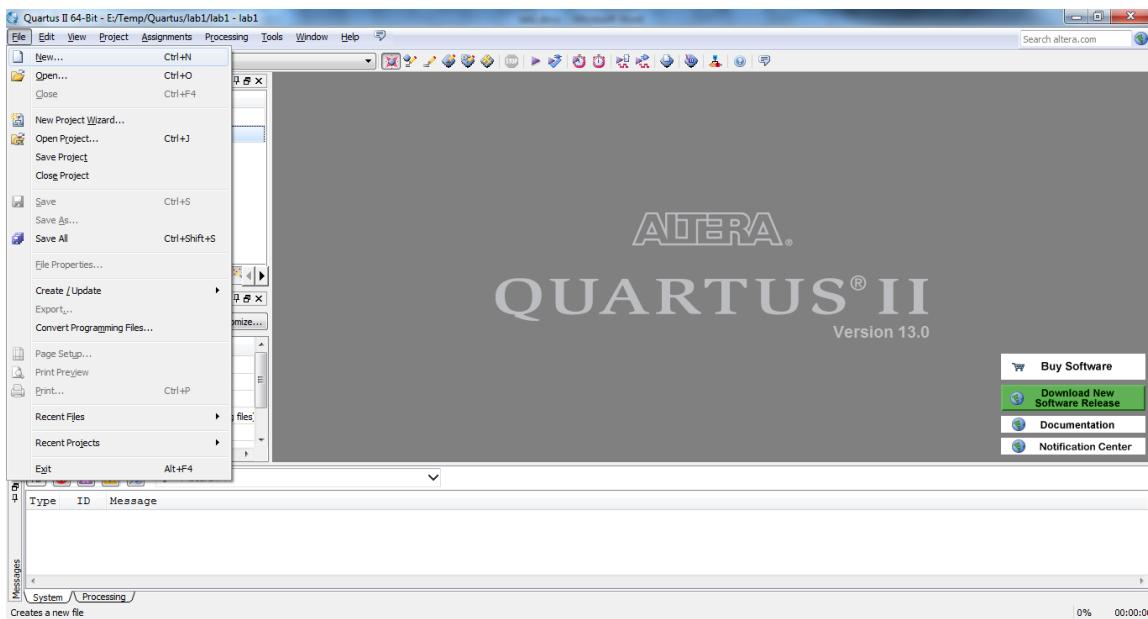
### 2.1.3. Tích hợp hệ thống vào project Quatus

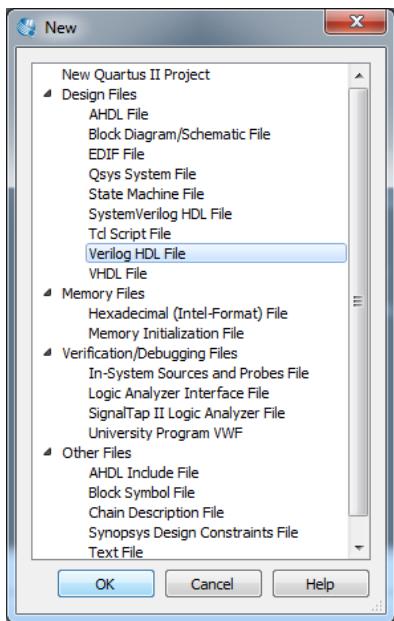


Gõ đường dẫn “`nios_sys/synthesis/nios_sys.qip`” vào ô “File name” và click “Add”, click “OK”



Tạo file top module, đặt tên là “`lab1.v`”





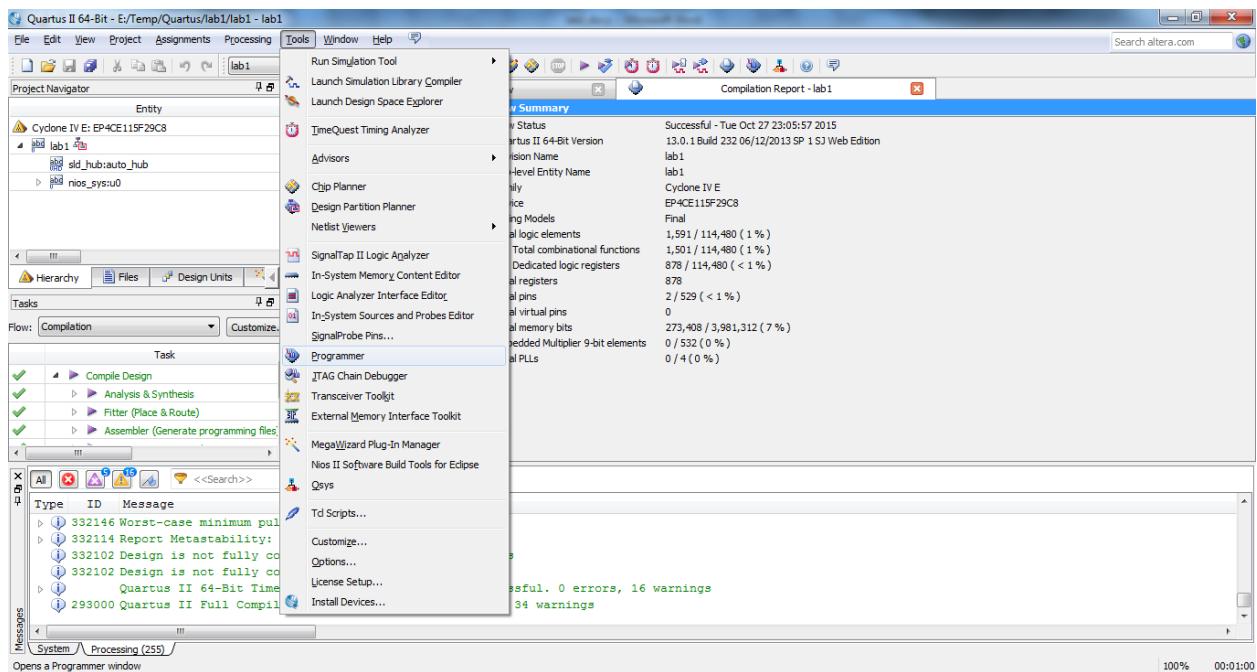
Nội dung của file “lab1.v” như hình bên dưới

The screenshot shows the Quartus II interface with the project 'lab1' open. The code editor displays the following Verilog module:

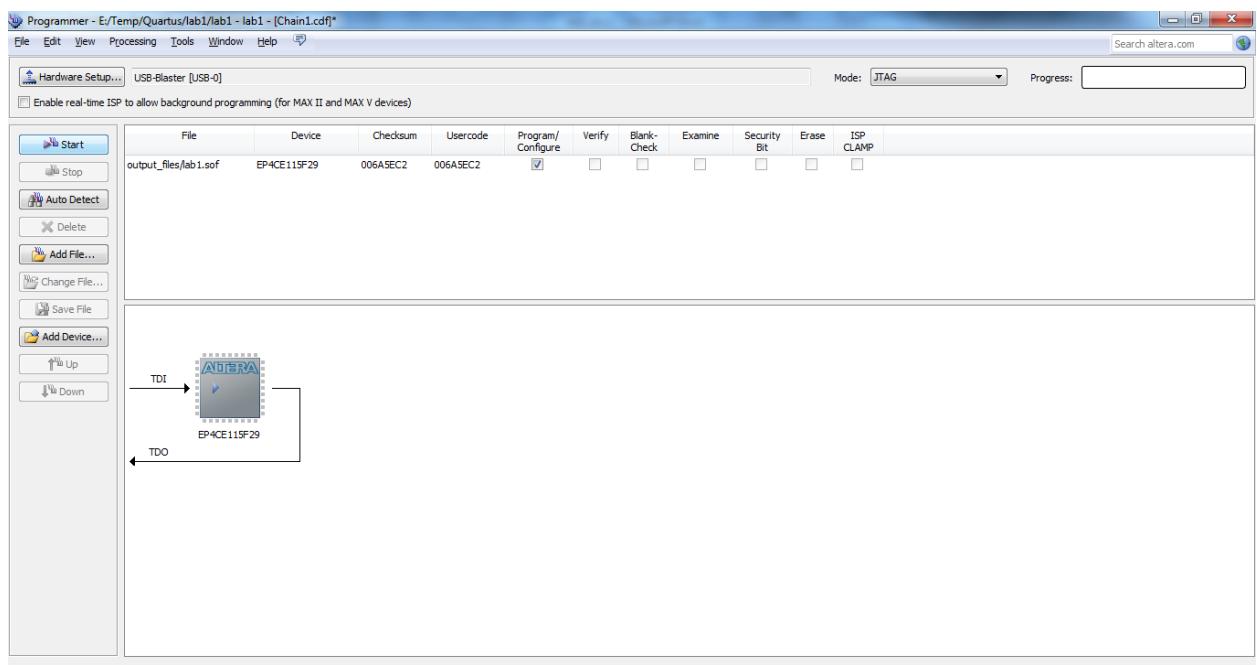
```
1 module lab1(CLOCK_50);
2   input CLOCK_50;
3   input [0:0]KEY;
4
5   nios_sys#(u0) u0 (
6     .clk(clk),           // CLOCK_50
7     .reset(reset_n)    // KEY[0]
8   );
9
10 endmodule
11
12
```

Gán pin cho các tín hiệu (Assignment > Import assignments...) và build project Quartus.

## Download hệ thống phần cứng xuống board

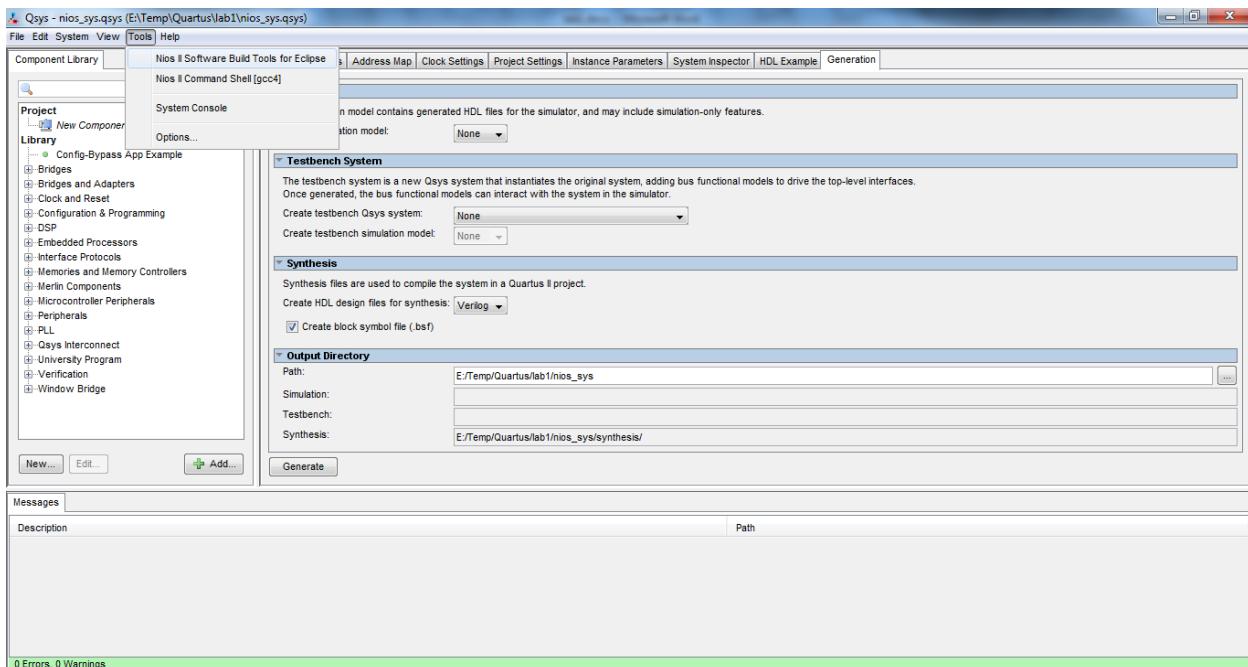


Click “Start”

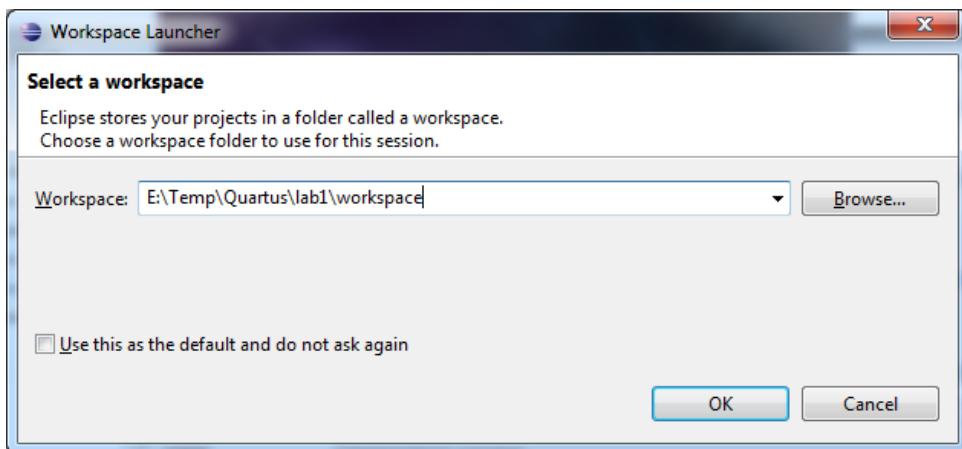


## 2.2. Lập trình phần mềm

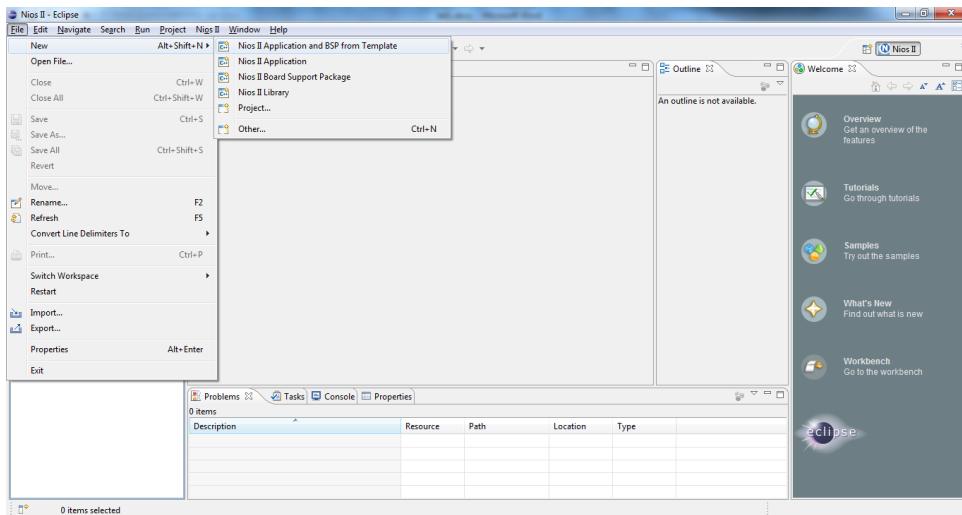
Khởi động chương trình “Nios II EDS” từ Qsys



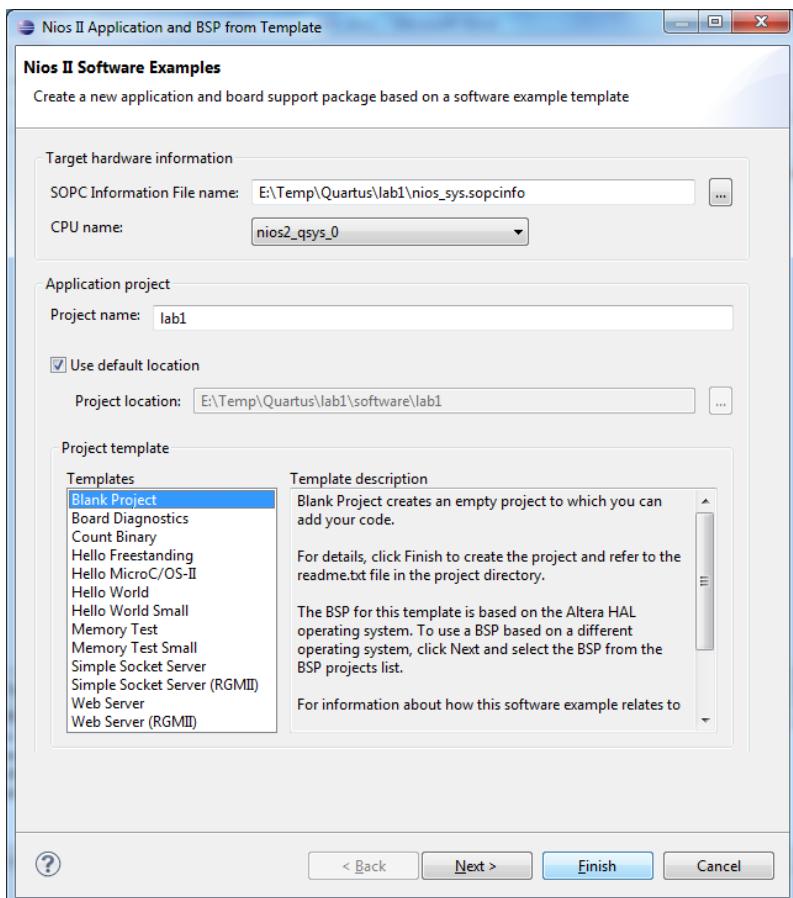
Chọn thư mục workspace, không được có khoảng trắng trong đường dẫn thư mục

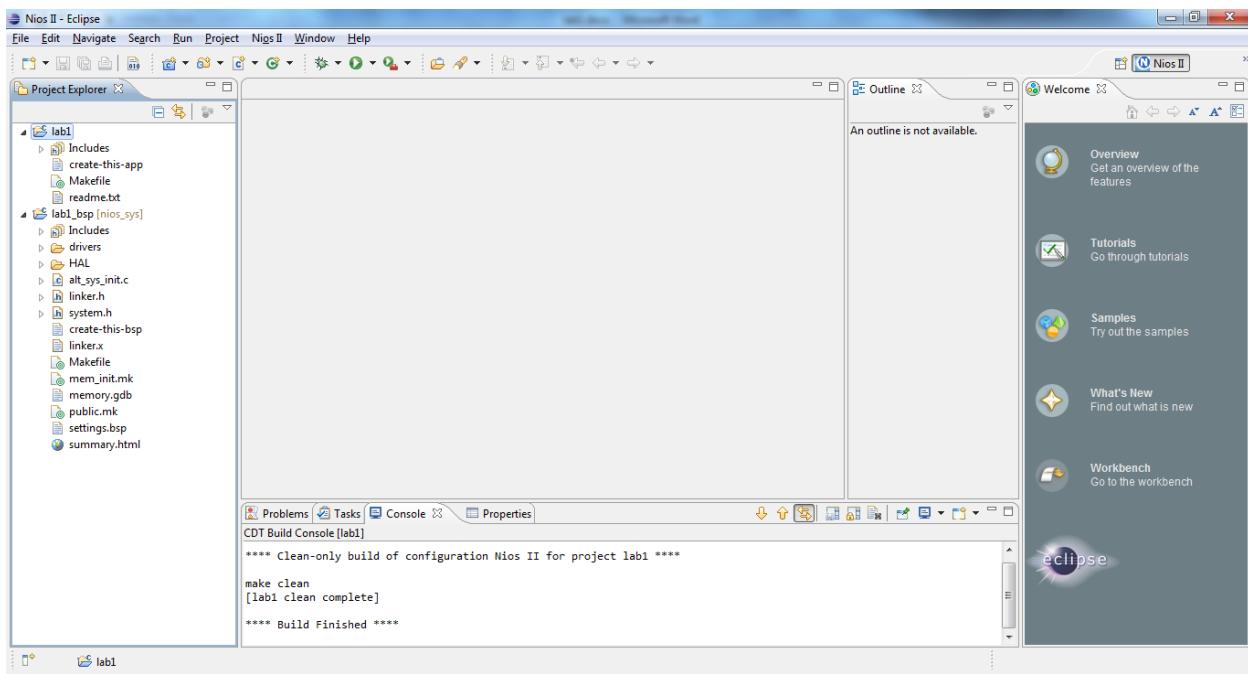


## Tạo project “NIOS II EDS”

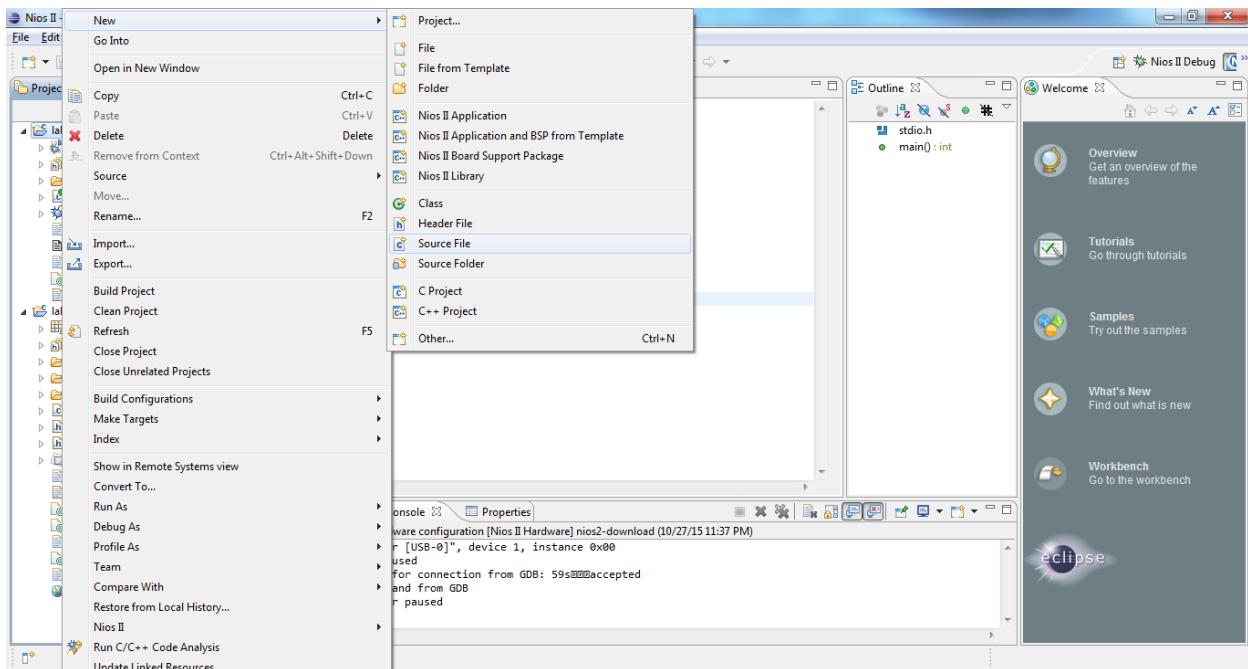


Ở mục “SOPC Information File name”, chọn file “nios\_sys.sopcinfo”. Đặt tên project là “lab1”. Chọn “Templates” là “Blank project”. Click “Finish”

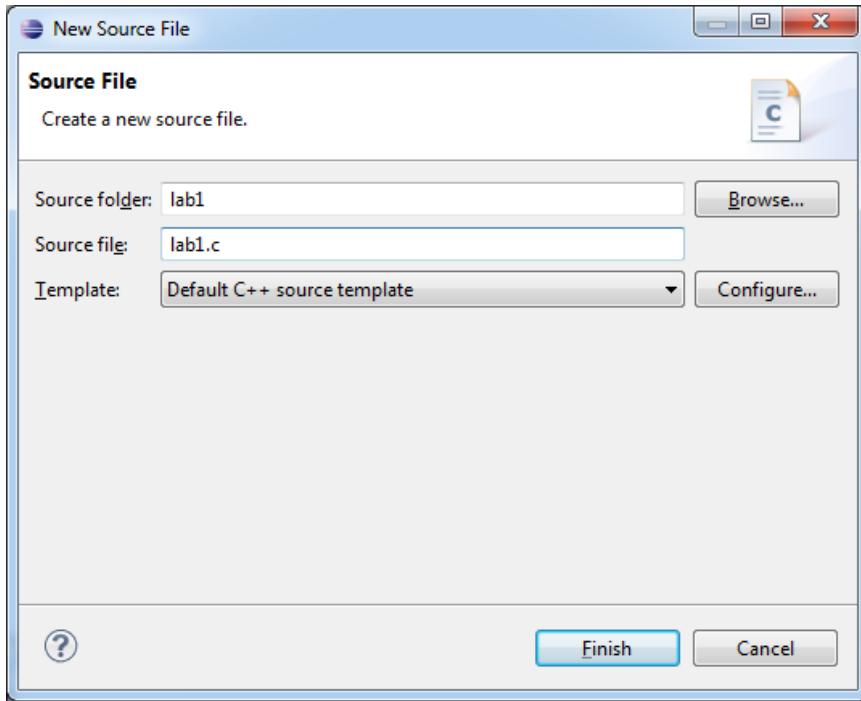




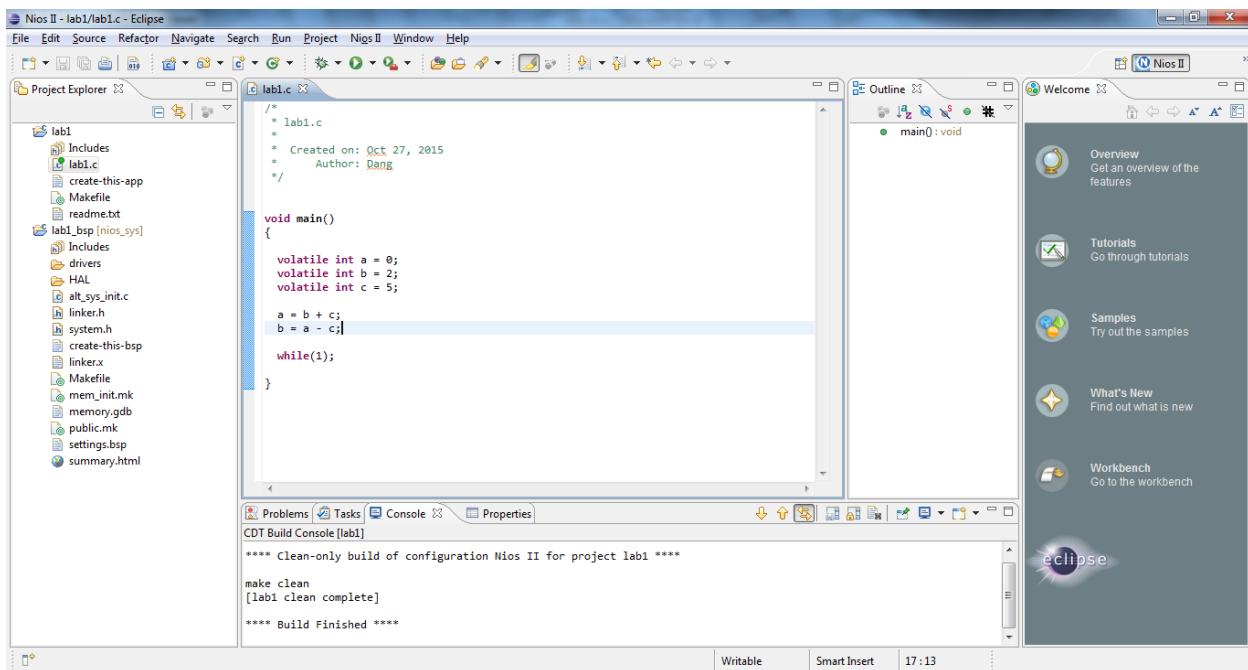
Click chuột phải vào lab1, chọn “New”, “Source File”



Đặt tên file là “lab1.c”, click “Finish”

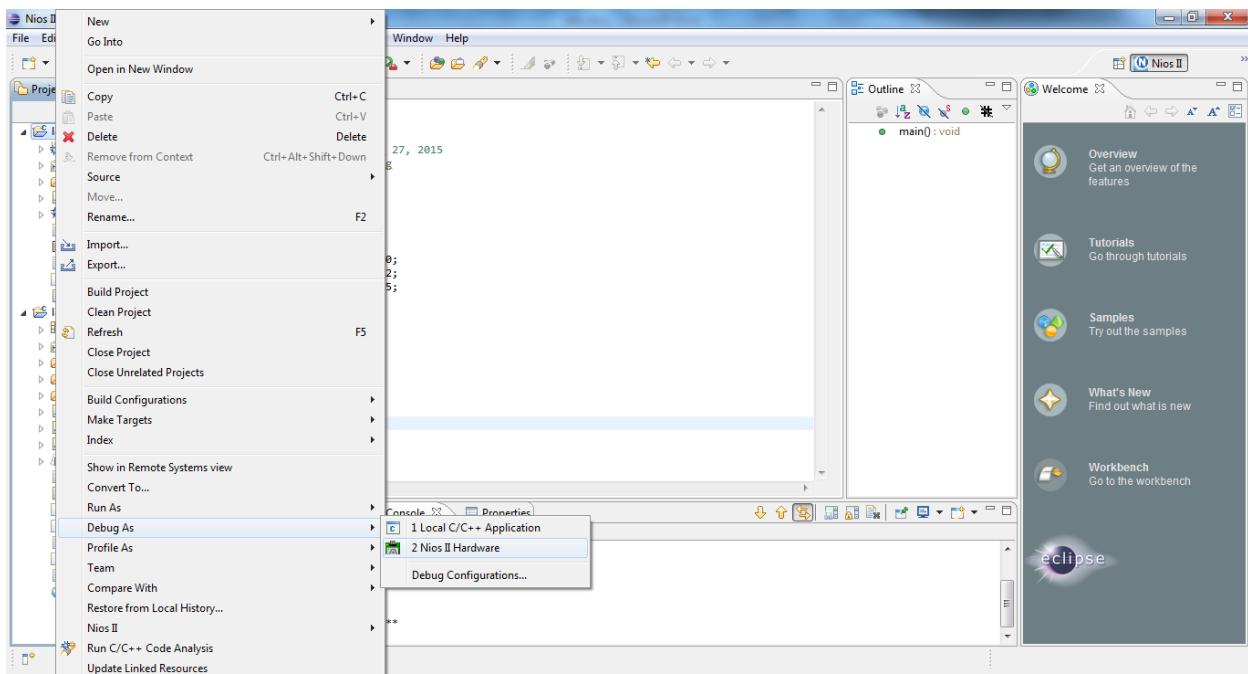


Nội dung của file “lab1.c” như bên dưới

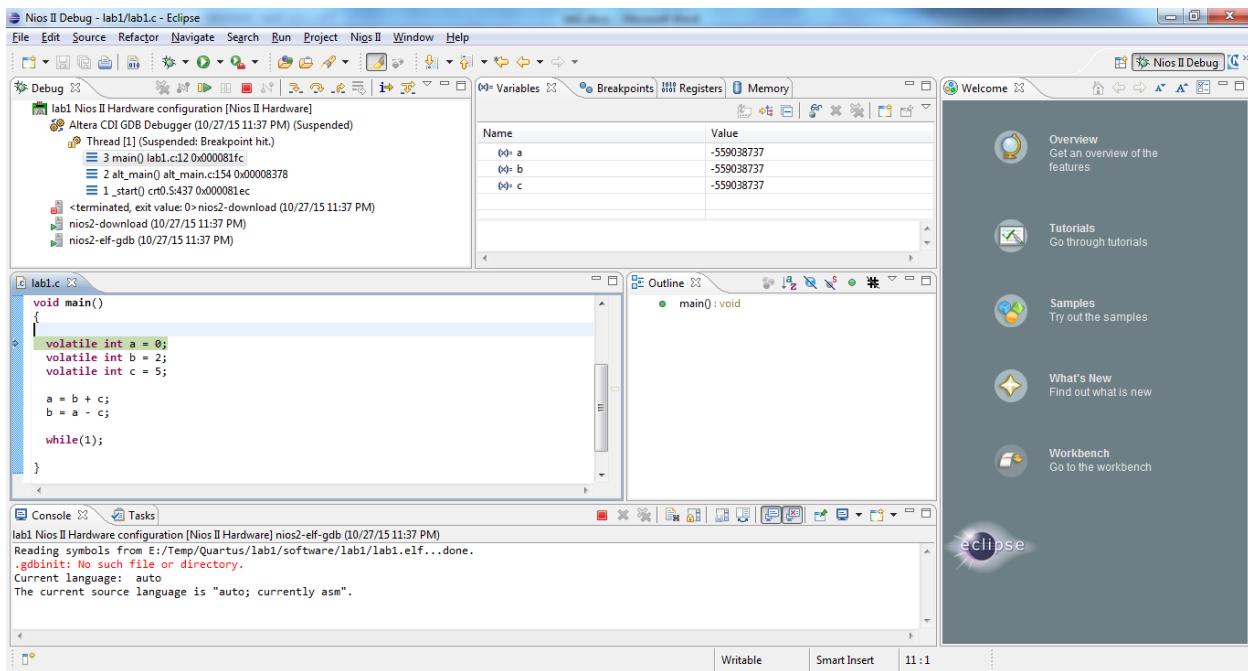


Vào menu “Project”, chọn “Build all”

## Download phần mềm xuống board



## Cửa sổ debug hiện ra như bên dưới



# BÁO CÁO THỰC HÀNH

## BÀI 1: GIỚI THIỆU

Sinh viên:

.....

Lớp: ..... Nhóm: .....

Bài 1: Cho biết ý nghĩa và phím tắt của các biểu tượng sau trong cửa sổ debug của NIOS II EDS



Bài 2: Biên dịch và debug đoạn code sau

```
#include <stdio.h>

int main()
{
    printf("Hello from Nios II!\n");

    while(1);
```

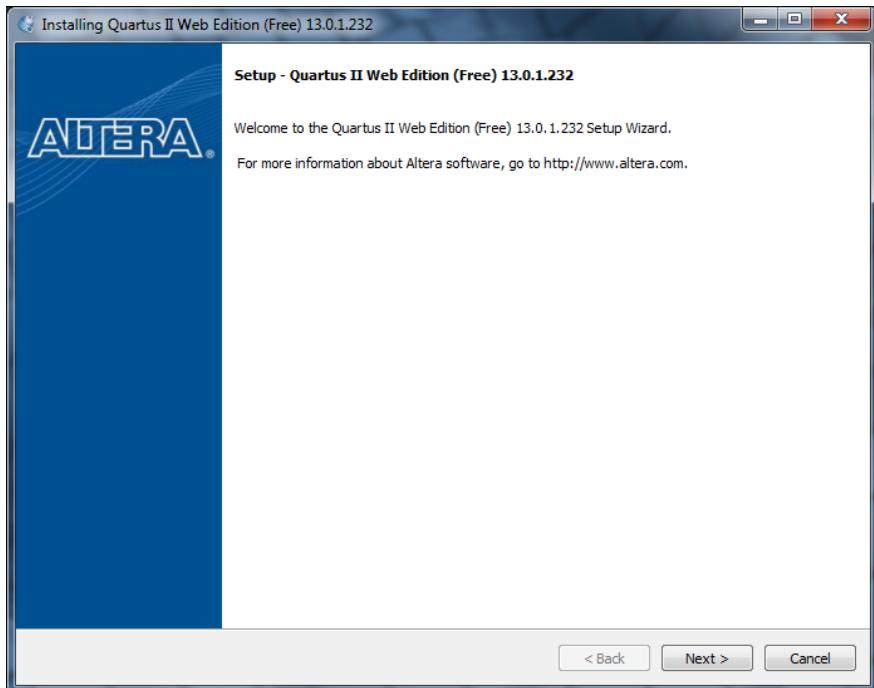
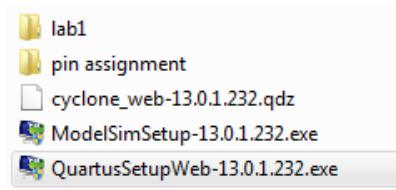
## Phụ lục – Cài đặt Quartus II, Altera Modelsim, NIOS 2 IDE (version 13.0.1)

\* Yêu cầu

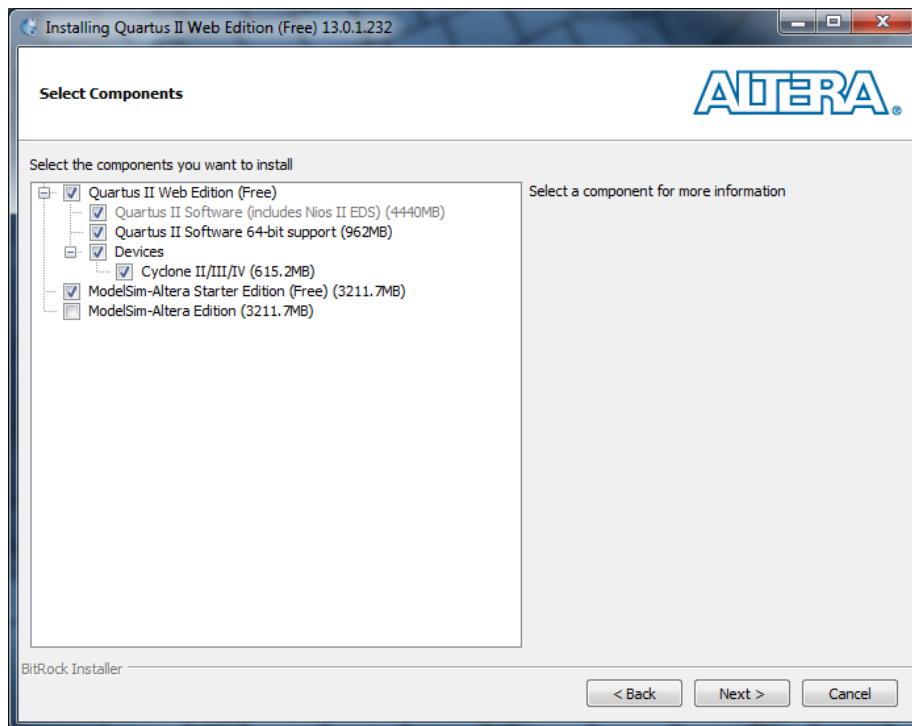
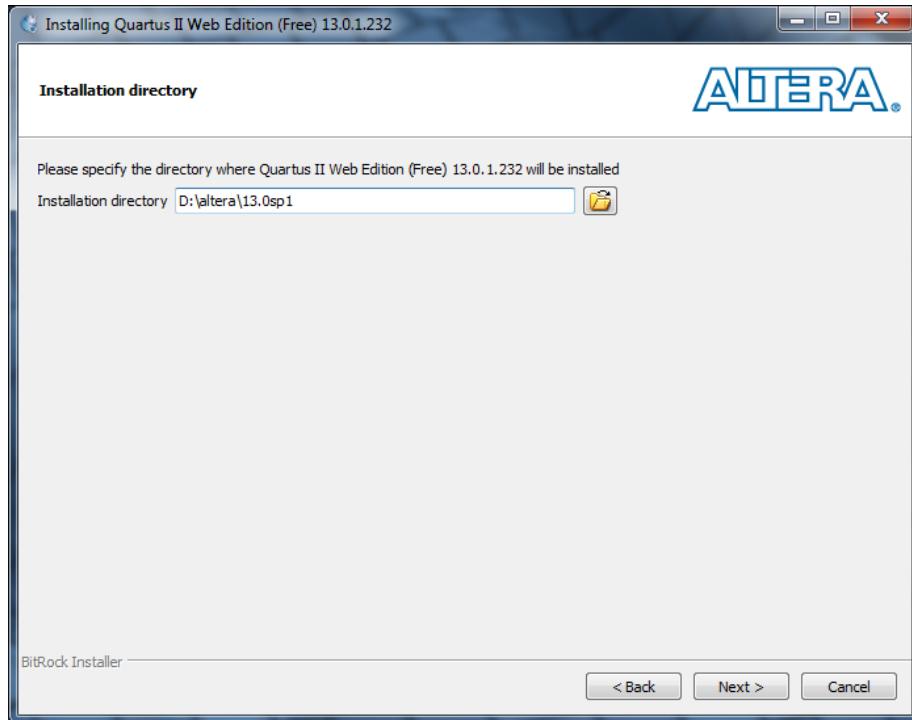
- Window 32-bit/64-bit
- Ổ cứng trống tối thiểu 10GB

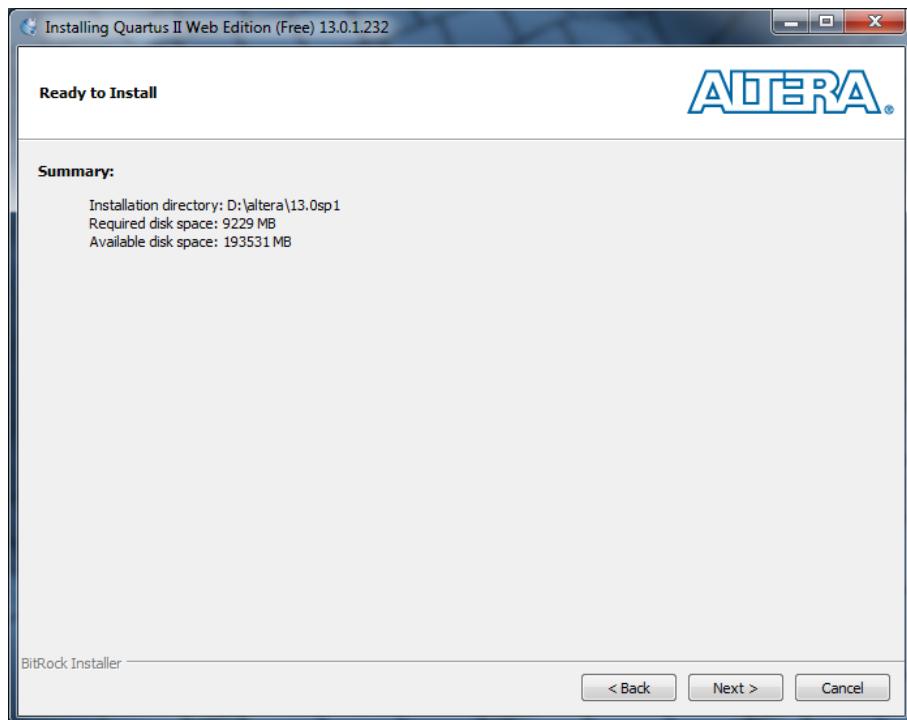
\* Các bước cài đặt

Chạy file cài đặt “QuartusSetupWeb-13.0.1.232”



Dường dẫn thư mục cài đặt không được có khoảng trống





Sau khi cài đặt xong, khởi động Quartus 2 và chọn như bên dưới

