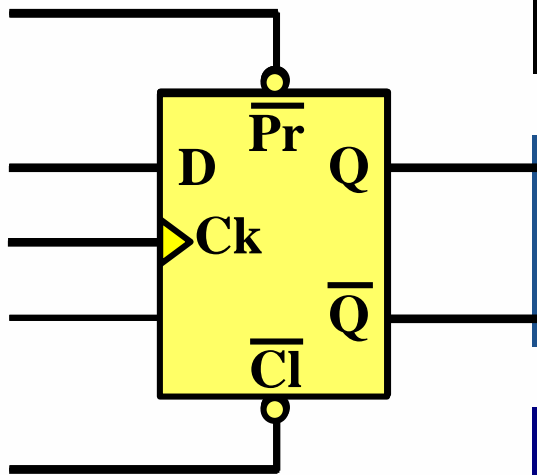
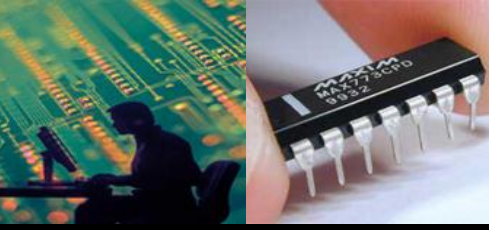


ĐIỆN TỬ SỐ - CHƯƠNG 5



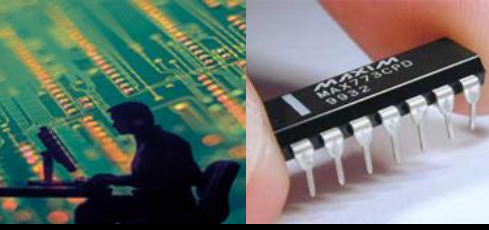
MẠCH LOGIC TUẦN TỰ

Bộ môn Kỹ thuật vi xử lý
Khoa Vô tuyến điện tử
Học viện Kỹ thuật quân sự



NỘI DUNG CHƯƠNG 5





1. KIẾN THỨC CHUNG

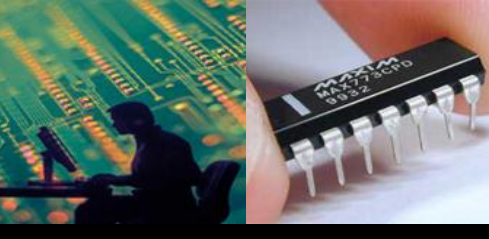
1.1. Định nghĩa mạch tuần tự

1.2. Các mô hình mạch tuần tự

1.3. Các phương pháp mô tả mạch tuần tự

1.4. Chuyển đổi MTT dạng Mealy và Moore

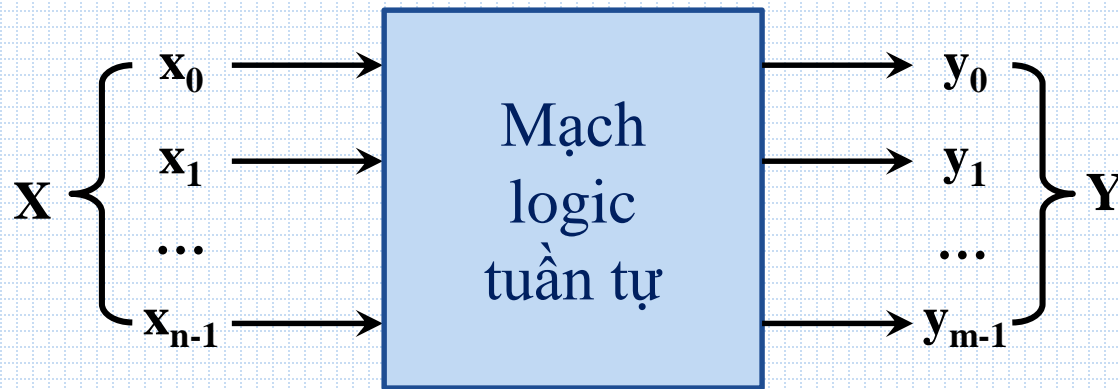
1.5. Phân loại mạch tuần tự



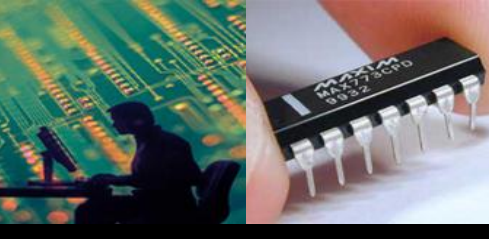
1.1. Định nghĩa mạch tuần tự



Mạch logic tuần tự (mạch dãy - Sequential Logic Circuit) là một mạch số có tổ hợp tín hiệu ra tại một thời điểm không chỉ phụ thuộc tổ hợp các tín hiệu vào tại thời điểm đó mà còn phụ thuộc vào trạng thái trước đó của các tín hiệu này



- ❑ Mạch tuần tự còn được gọi là mạch có nhớ
- ❑ Để thực hiện được mạch tuần tự nhất thiết phải có phần tử nhớ, ngoài ra còn phải có thêm các phần tử logic cơ bản



1. KIẾN THỨC CHUNG

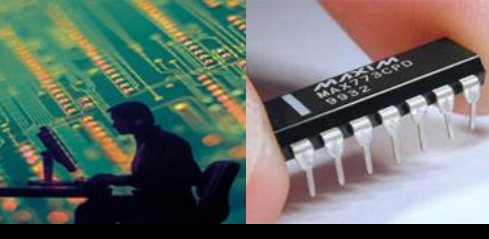
1.1. Định nghĩa mạch tuần tự

1.2. Các mô hình mạch tuần tự

1.3. Các phương pháp mô tả mạch tuần tự

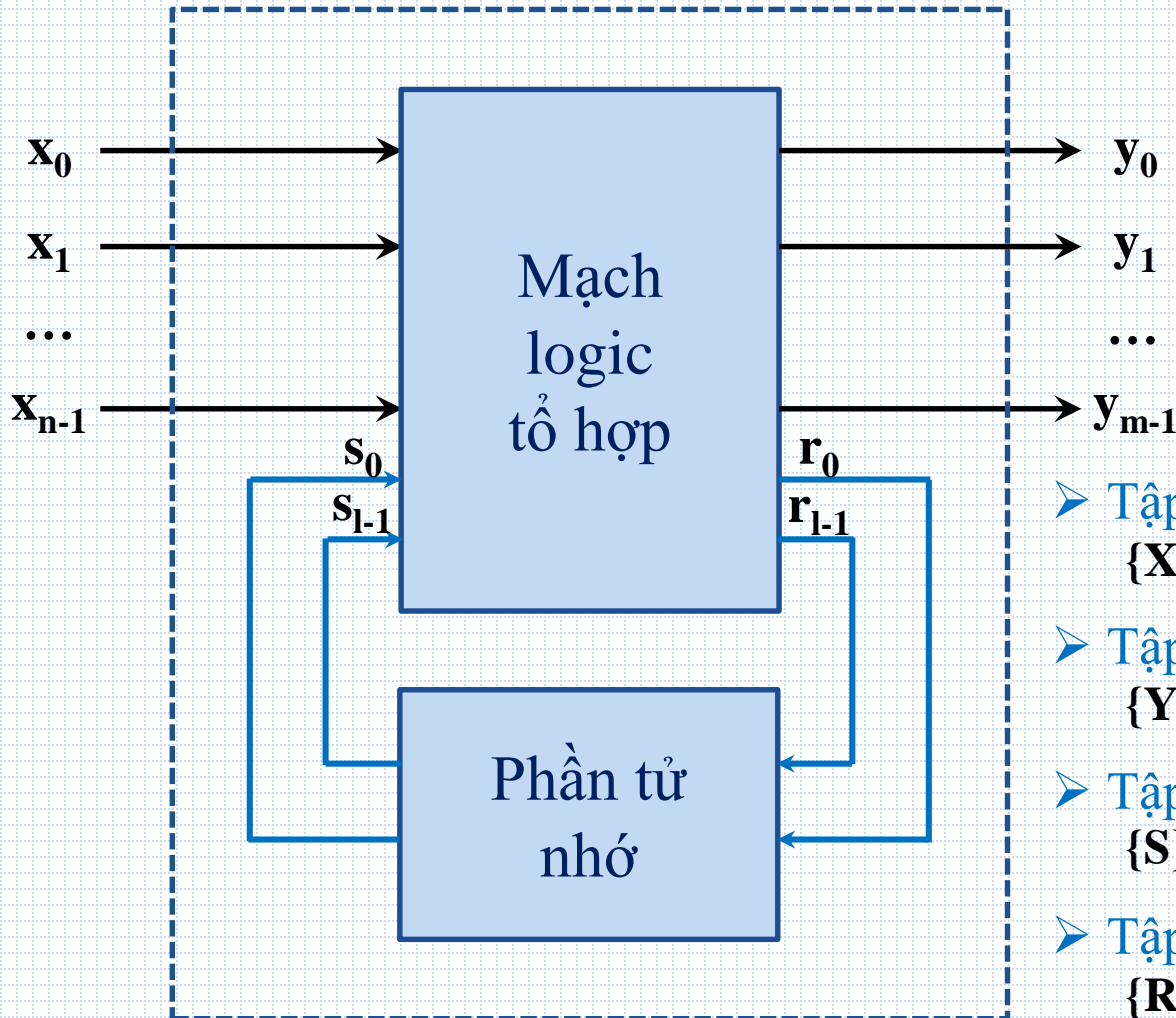
1.4. Chuyển đổi MTT dạng Mealy và Moore

1.5. Phân loại mạch tuần tự

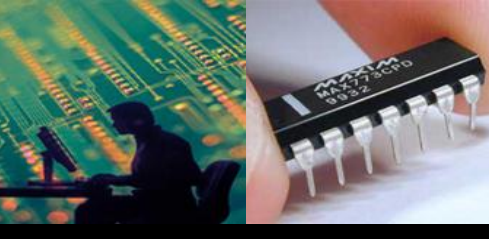


1.2. Các mô hình mạch tuần tự

□ Mô hình kỹ thuật mạch tuần tự (dạng cơ bản)



- Tập các tổ hợp tín hiệu vào
 $\{X\} = \{X_0, X_1, \dots, X_{N-1}\}, N \leq 2^n$
- Tập các tổ hợp tín hiệu ra
 $\{Y\} = \{Y_0, Y_1, \dots, Y_{M-1}\}, M \leq 2^m$
- Tập các tổ hợp tín hiệu trạng thái
 $\{S\} = \{S_0, S_1, \dots, S_{L-1}\}, L \leq 2^l$
- Tập các tổ hợp tín hiệu kích
 $\{R\} = \{R_0, R_1, \dots, R_{L-1}\}, L \leq 2^l$



1.2. Các mô hình mạch tuần tự

□ Mô hình toán học mạch tuần tự

- **Mô hình Mealy:** Mô tả hệ mạch tuần tự theo 5 tham số

$\mathbf{X} = \{x_0, x_1, \dots, x_{n-1}\} \rightarrow$ Tập hợp hữu hạn n tín hiệu đầu vào

$\mathbf{Y} = \{y_0, y_1, \dots, y_{m-1}\} \rightarrow$ Tập hợp hữu hạn m tín hiệu đầu ra

$\mathbf{S} = \{s_0, s_1, \dots, s_{l-1}\} \rightarrow$ Tập hợp hữu hạn l tín hiệu trạng thái

$\mathbf{F_S}(\mathbf{X}, \mathbf{S}) \rightarrow$ Hàm biến đổi trạng thái trong

$\mathbf{F_Y}(\mathbf{X}, \mathbf{S}) \rightarrow$ Hàm tính giá trị đầu ra

- **Mô hình Moore:** Mô tả hệ mạch tuần tự theo 5 tham số

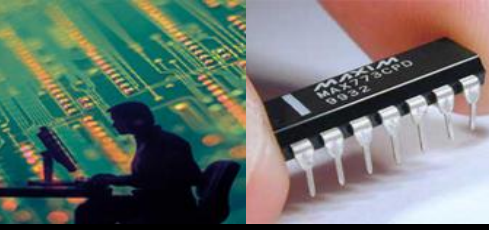
$\mathbf{X} = \{x_0, x_1, \dots, x_{n-1}\} \rightarrow$ Tập hợp hữu hạn n tín hiệu đầu vào

$\mathbf{Y} = \{y_0, y_1, \dots, y_{m-1}\} \rightarrow$ Tập hợp hữu hạn m tín hiệu đầu ra

$\mathbf{S} = \{s_0, s_1, \dots, s_{l-1}\} \rightarrow$ Tập hợp hữu hạn l tín hiệu trạng thái

$\mathbf{F_S}(\mathbf{X}, \mathbf{S}) \rightarrow$ Hàm biến đổi trạng thái trong

$\mathbf{F_Y}(\mathbf{S}) \rightarrow$ Hàm tính giá trị đầu ra



1. KIẾN THỨC CHUNG

1.1. Định nghĩa mạch tuần tự

1.2. Các mô hình mạch tuần tự

1.3. Các phương pháp mô tả mạch tuần tự

1.4. Chuyển đổi MTT dạng Mealy và Moore

1.5. Phân loại mạch tuần tự

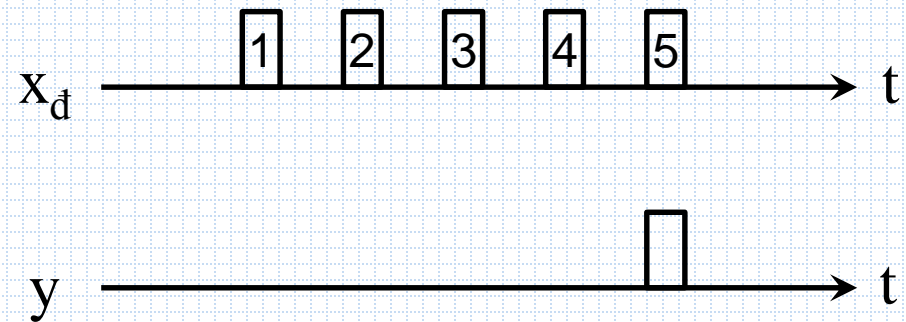
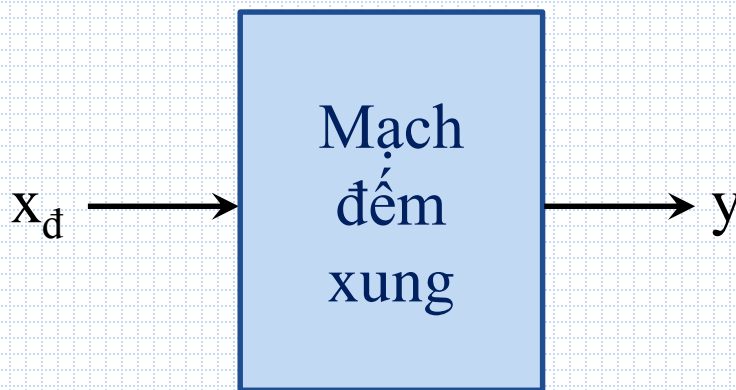


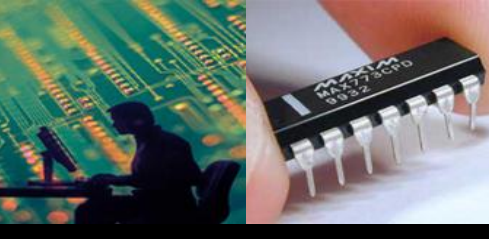
1.3. Các phương pháp mô tả mạch tuần tự

❑ Mô tả bằng lời

- Mạch đếm xung có hệ số đếm $K_d = 5$
- Mạch có một đầu vào X_d để đưa xung vào đếm, một đầu ra Y
- Mạch hoạt động theo nguyên lý cứ 5 xung vào cho 1 xung ra

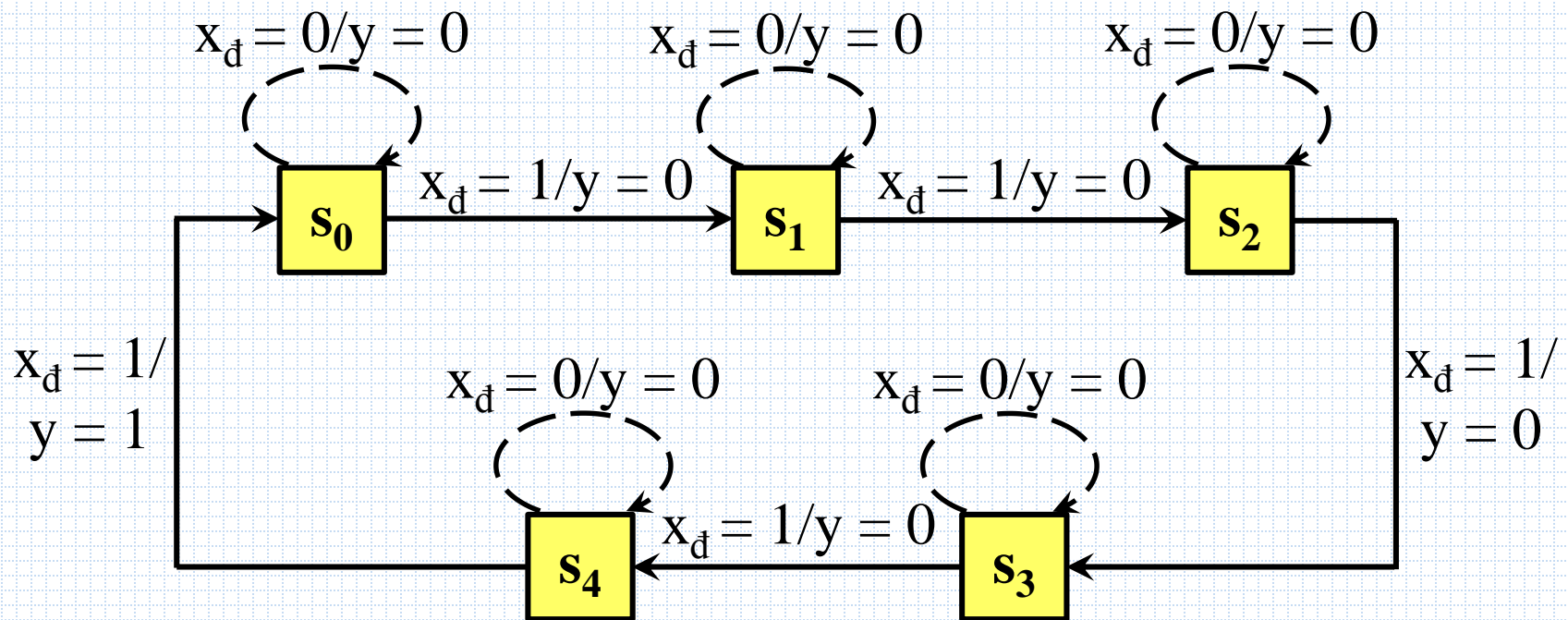
❑ Mô tả bằng đồ thị thời gian

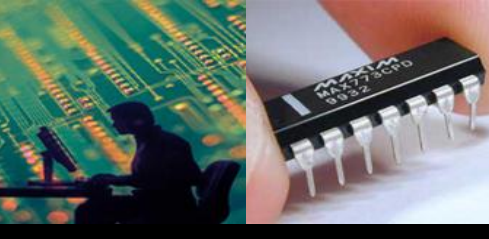




1.3. Các phương pháp mô tả mạch tuần tự

□ Mô tả bằng đồ hình trạng thái





1.3. Các phương pháp mô tả mạch tuần tự

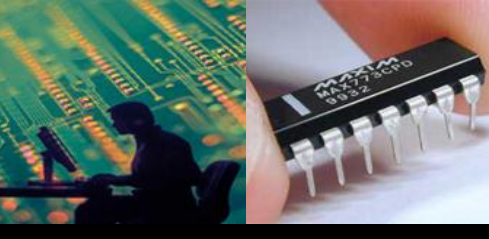
□ Mô tả bằng bảng chuyển trạng thái

➤ Mô hình Mealy

S	F_S/F_Y		
	x_0	...	x_{n-1}
s_0	$F_S(x_0, s_0)/F_Y(x_0, s_0)$...	$F_S(x_{n-1}, s_0)/F_Y(x_{n-1}, s_0)$
...
s_{l-1}	$F_S(x_0, s_{l-1})/F_Y(x_0, s_{l-1})$...	$F_S(x_{n-1}, s_{l-1})/F_Y(x_{n-1}, s_{l-1})$

➤ Mô hình Moore

S	F_S			F_Y
	x_0	...	x_{n-1}	
s_0	$F_S(x_0, s_0)$...	$F_S(x_{n-1}, s_0)$	$F_Y(s_0)$
...
s_{l-1}	$F_S(x_0, s_{l-1})$...	$F_S(x_{n-1}, s_{l-1})$	$F_Y(s_{l-1})$



1. KIẾN THỨC CHUNG

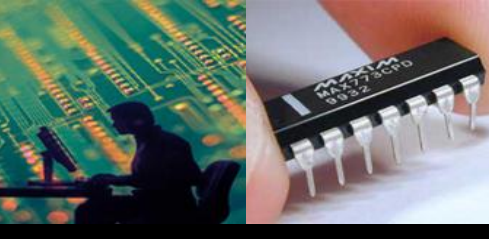
1.1. Định nghĩa mạch tuần tự

1.2. Các mô hình mạch tuần tự

1.3. Các phương pháp mô tả mạch tuần tự

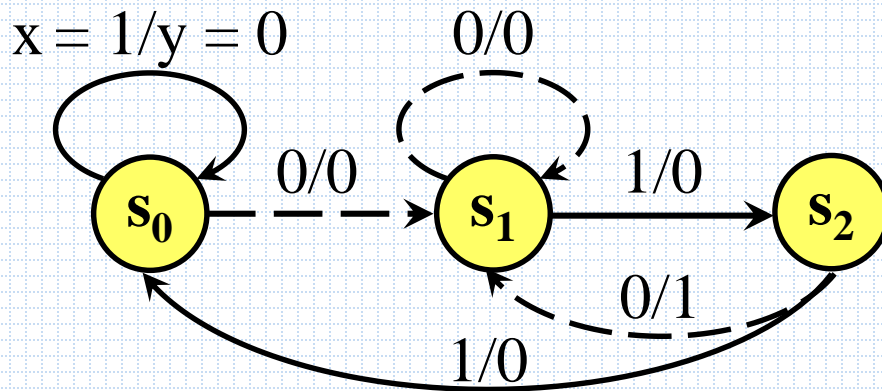
1.4. Chuyển đổi MTT dạng Mealy và Moore

1.5. Phân loại mạch tuần tự



1.4. Chuyển đổi mạch tuần tự dạng Mealy và Moore

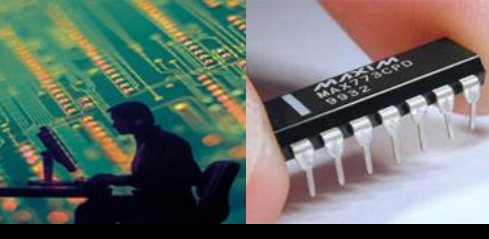
❑ Mạch tuần tự dạng Mealy



S_{i-1}	S_i/Y	
	$x_0 = 0$	$x_1 = 1$
s_0	$s_1/0$	$s_0/0$
s_1	$s_1/0$	$s_2/0$
s_2	$s_1/1$	$s_3/0$

❑ Các bước chuyển đổi mạch tuần tự từ dạng Mealy sang Moore

- **Bước 1:** Gán mỗi cặp giá trị S_i/Y của mạch tuần tự dạng Mealy cho một trạng thái tương ứng của dạng Moore
- **Bước 2:** Lập bảng chuyển trạng thái của dạng Moore với số cột không đổi, số hàng tương ứng với số trạng thái dạng Moore thu được ở bước 1



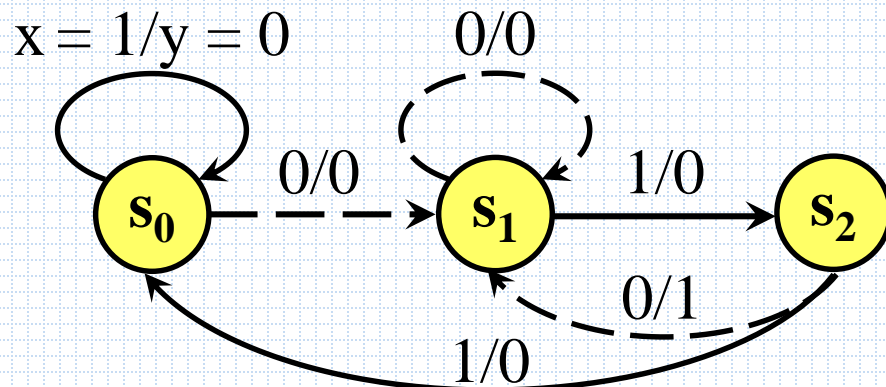
1.4. Chuyển đổi mạch tuần tự dạng Mealy và Moore

❑ Mạch tuần tự dạng Moore

➤ **Bước 1:** Gán các trạng thái từ dạng Mealy sang Moore như sau:

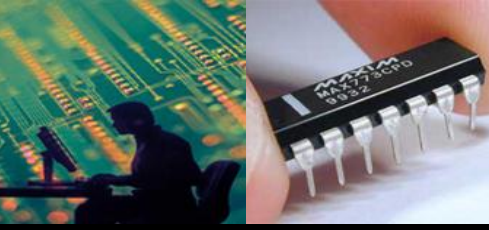
$$q_0 = s_0/0; q_1 = s_1/0; q_2 = s_2/0; q_3 = s_1/1$$

➤ **Bước 2:** Lập bảng chuyển trạng thái từ dạng Mealy sang Moore



Đồ hình trạng thái dạng Mealy

Q_{i-1}	Q_i		Y
	$x_0 = 0$	$x_1 = 1$	
q_0	q_1	q_0	0
q_1	q_1	q_2	0
q_2	q_3	q_0	0
q_3	q_1	q_2	1

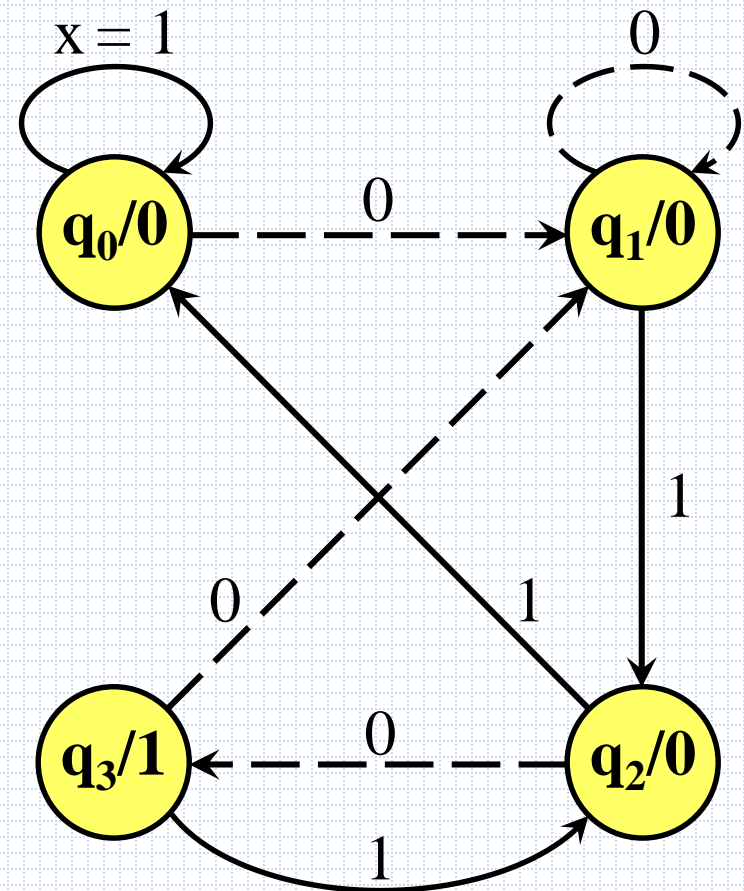


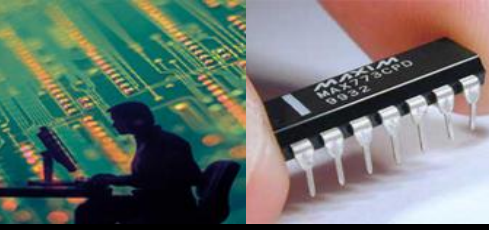
1.4. Chuyển đổi mạch tuần tự dạng Mealy và Moore

❑ Mạch tuần tự dạng Moore

➤ Đồ hình trạng thái

Q_{i-1}	Q_i		Y
	$x_0 = 0$	$x_1 = 1$	
q_0	q_1	q_0	0
q_1	q_1	q_2	0
q_2	q_3	q_0	0
q_3	q_1	q_2	1





1. KIẾN THỨC CHUNG

1.1. Định nghĩa mạch tuần tự

1.2. Các mô hình mạch tuần tự

1.3. Các phương pháp mô tả mạch tuần tự

1.4. Chuyển đổi MTT dạng Mealy và Moore

1.5. Phân loại mạch tuần tự

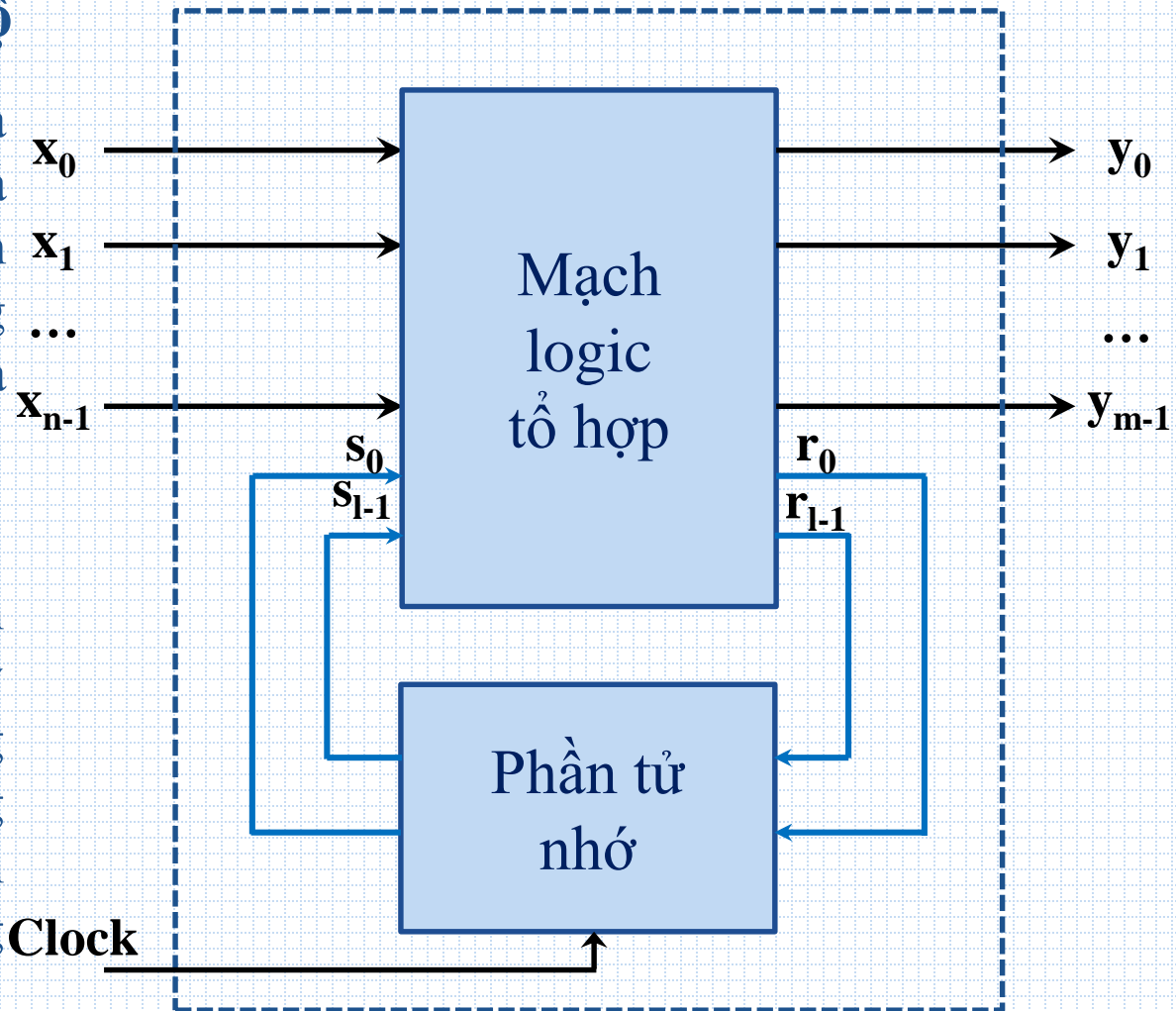


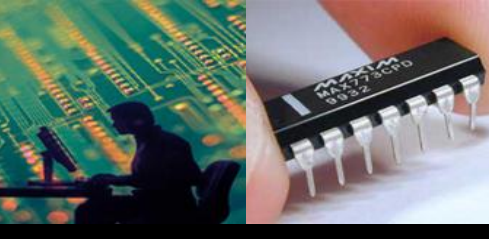
1.5. Phân loại mạch tuần tự

❑ Mạch tuần tự đồng bộ

➤ Các tín hiệu trạng thái của mạch tuần tự thay đổi giá trị khi và chỉ khi xuất hiện xung đồng bộ, hay xung đồng hồ Clock – Ck đưa tới phần tử nhớ.

➤ Các tín hiệu vào mạch tuần tự đồng bộ phải thay đổi đồng bộ với xung đồng bộ Ck. Mạch tuần tự đồng bộ nhanh hơn mạch tuần tự không đồng bộ nhưng thiết kế phức tạp hơn

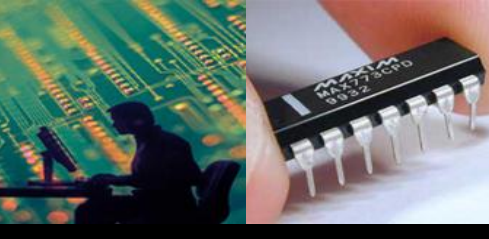




1.5. Phân loại mạch tuần tự

❑ Mạch tuần tự không đồng bộ

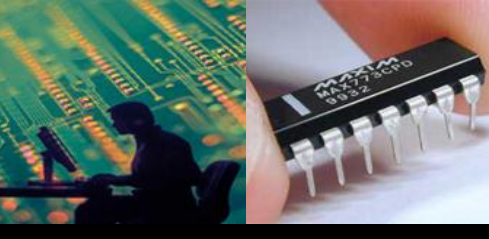
- **Khái niệm chung:** MTT không đồng bộ là MTT hoạt động không cần đến sự điều khiển của xung đồng bộ Ck . Có hai loại MTT không đồng bộ: mạch không đồng bộ dạng xung và mạch không đồng bộ dạng thế, tùy thuộc tín hiệu vào là tín hiệu dạng xung hay dạng thế.
- **Tín hiệu dạng xung:** Tín hiệu có thời gian tồn tại đủ lớn để có thể so sánh với thời gian quá độ trong mạch. Độ rộng xung phải lớn hơn thời gian giữ chậm trên đường đi dài nhất của mạch có để tạo ra một sự chuyển biến trạng thái trong mạch
- **Mạch không đồng bộ dạng xung:** Có mô hình giống mô hình mạch tuần tự dạng cơ bản. Tại mỗi thời điểm chỉ một tín hiệu vào được phép thay đổi giá trị. Khoảng thời gian giữa các xung vào phải lớn hơn thời gian đáp ứng của phần tử nhớ chậm nhất để tất cả các phần tử nhớ được ổn định trước khi có xung mới đưa vào



1.5. Phân loại mạch tuần tự

❑ Mạch tuần tự không đồng bộ

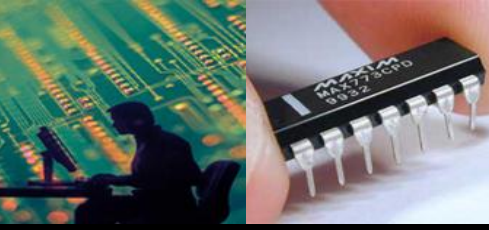
- **Tín hiệu dạng thế:** Tín hiệu có thời gian tồn tại không được xác định trước nhưng phải đủ lớn để mạch có thời gian đi từ trạng thái ổn định ban đầu, qua các quá trình quá độ trung gian để chuyển sang trạng thái ổn định mới
- **Mạch không đồng bộ dạng thế:** Có mô hình giống mô hình mạch tuần tự dạng cơ bản. Tương tự mạch tuần tự không đồng bộ dạng xung, tại mỗi thời điểm chỉ 1 tín hiệu vào được phép thay đổi giá trị, bởi nếu có sự thay đổi thứ hai của tín hiệu đầu vào trong khi mạch vẫn đang đáp ứng với sự thay đổi thứ nhất sẽ dẫn tới tranh chấp trạng thái. Khoảng thời gian giữa 2 sự thay đổi tín hiệu đầu vào phải không nhỏ hơn khoảng thời gian đủ để mạch đi vào ổn định
- Trong thực tế các quá trình không đồng bộ có tín hiệu vào dạng thế chiếm đa số



1.5. Phân loại mạch tuần tự

❑ Mạch tuần tự không đồng bộ

- **Tín hiệu dạng thế:** Tín hiệu có thời gian tồn tại không được xác định trước nhưng phải đủ lớn để mạch có thời gian đi từ trạng thái ổn định ban đầu, qua các quá trình quá độ trung gian để chuyển sang trạng thái ổn định mới
- **Mạch không đồng bộ dạng thế:** Có mô hình giống mô hình mạch tuần tự dạng cơ bản. Tương tự mạch tuần tự không đồng bộ dạng xung, tại mỗi thời điểm chỉ 1 tín hiệu vào được phép thay đổi giá trị, bởi nếu có sự thay đổi thứ hai của tín hiệu đầu vào trong khi mạch vẫn đang đáp ứng với sự thay đổi thứ nhất sẽ dẫn tới tranh chấp trạng thái. Khoảng thời gian giữa 2 sự thay đổi tín hiệu đầu vào phải không nhỏ hơn khoảng thời gian đủ để mạch đi vào ổn định
- Trong thực tế các quá trình không đồng bộ có tín hiệu vào dạng thế chiếm đa số



2. PHẦN TỬ NHỚ MẠCH TUẦN TỰ

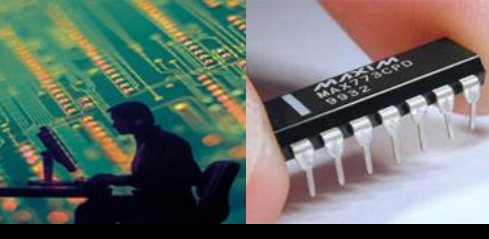
2.1. Khái niệm và phân loại phần tử nhớ

2.2. Các phần tử nhớ cơ bản của MTT

2.3. Các phương pháp đồng bộ phần tử nhớ

2.4. Xác định đầu vào kích cho Flip-Flop

2.5. Xây dựng Flip-Flop từ Flip-Flop khác



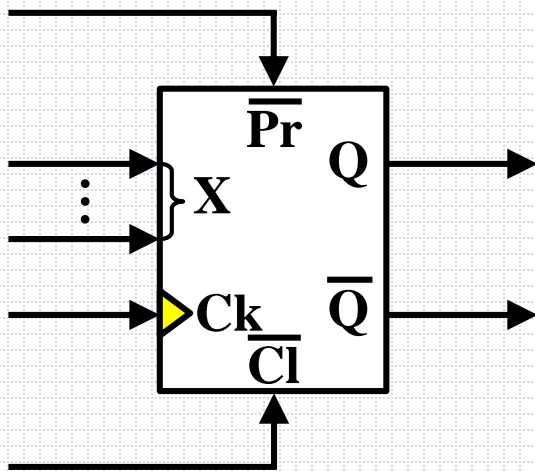
2.1. Khái niệm và phân loại phần tử nhớ

- ❑ **Phần tử nhớ trong mạch tuần tự dùng để nhớ các trạng thái trong của mạch. Mỗi phần tử có thể nhớ một trong hai trạng thái logic ổn định là 0 và 1**
- ❑ **Phần tử nhớ được xây dựng từ các cổng logic cơ bản nhưng do vai trò quan trọng trong mạch tuần tự nên được xem như các phần tử logic cơ bản, có cách ký hiệu và biểu diễn riêng cho từng phần tử**
- ❑ **Hai dạng phần tử nhớ cần phân biệt là Latch (chốt) và Flip-Flop (FF), tuy có cùng mục đích sử dụng nhưng khác biệt nhau ở cơ chế đồng bộ tín hiệu, sẽ được phân tích ở phần sau**
- ❑ **Latch được đồng bộ theo mức còn Flip-Flop đồng bộ theo sườn. Trong thiết kế mạch logic số Flip-Flop thường được sử dụng chủ yếu bởi nó an toàn hơn và loại bỏ được các Glitch ở đầu vào**

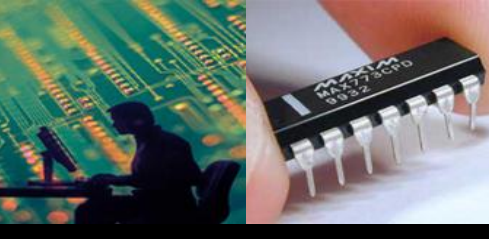


2.1. Khái niệm và phân loại phần tử nhớ

- ❑ **Định nghĩa Flip-Flop:** Flip-Flop (trigger, trigơ) là phần tử logic có khả năng nhớ (lưu trữ) một trong hai trạng thái logic 0 và 1. Bản chất của FF là mạch dao động đa hài 2 trạng thái bền xây dựng từ các cổng logic cơ bản và hoạt động theo bảng trạng thái cho trước
- ❑ **Sơ đồ khối tổng quát của Flip-Flop**



- **2 đầu ra Q và Q~:** Đầu ra Q được quy ước là trạng thái của FF, dữ liệu được đưa tới đầu vào và nhớ trên Q
- **Đầu vào xung đồng bộ Ck:** Có thể có hoặc không. Khi có Ck, đầu ra Q thay đổi giá trị tương ứng đầu vào khi và chỉ khi xuất hiện Ck. Khi không có Ck đầu ra Q thay đổi giá trị ngay sau khi đầu vào thay đổi
- **Đầu vào điều khiển trực tiếp Pr~ và Cl~:** còn gọi là đầu vào điều khiển bất đồng bộ, có thể có hoặc không. Pr~ luôn đặt Q về trạng thái 1, Cl~ luôn đặt Q về trạng thái 0, không phụ thuộc sự có mặt của xung đồng bộ Ck
- **Đầu vào dữ liệu X:** còn gọi là đầu vào điều khiển đồng bộ, hay đầu vào kích, làm đầu ra Q thay đổi tương ứng khi xuất hiện xung đồng bộ Ck. Có thể có một hay nhiều đầu vào



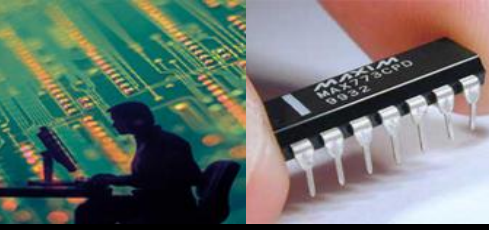
2.1. Khái niệm và phân loại phần tử nhớ

❑ Phân loại Flip-Flop

- **Phân loại theo đầu vào dữ liệu:** FF cơ bản loại có 1 đầu vào là D Flip-Flop và T Flip-Flop; loại có 2 đầu vào là SR-FF và JK-FF
- **Phân loại theo phương pháp đồng bộ:** Flip-Flop đồng bộ là loại có đầu vào xung đồng bộ Ck, FF không đồng bộ là loại không có đầu vào xung đồng bộ Ck.

❑ Các phương pháp biểu diễn Flip-Flop

- Biểu diễn bằng bảng trạng thái
- Biểu diễn bằng đồ hình trạng thái
- Biểu diễn bằng phương trình đặc trưng
- Biểu diễn bằng giản đồ thời gian
- Biểu diễn bằng sơ đồ mạch logic



2. PHẦN TỬ NHỚ MẠCH TUẦN TỰ

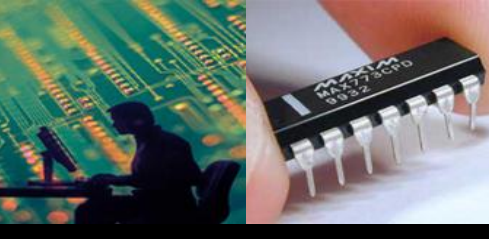
2.1. Khái niệm và phân loại phần tử nhớ

2.2. Các phần tử nhớ cơ bản của MTT

2.3. Các phương pháp đồng bộ phần tử nhớ

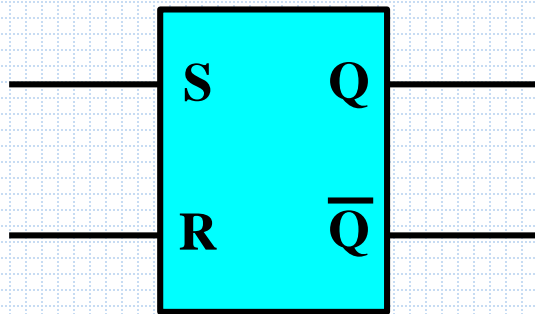
2.4. Xác định đầu vào kích cho Flip-Flop

2.5. Xây dựng Flip-Flop từ Flip-Flop khác



2.2.1 SR Flip-Flop

❑ Sơ đồ khối SR Flip-Flop (dạng cơ bản)

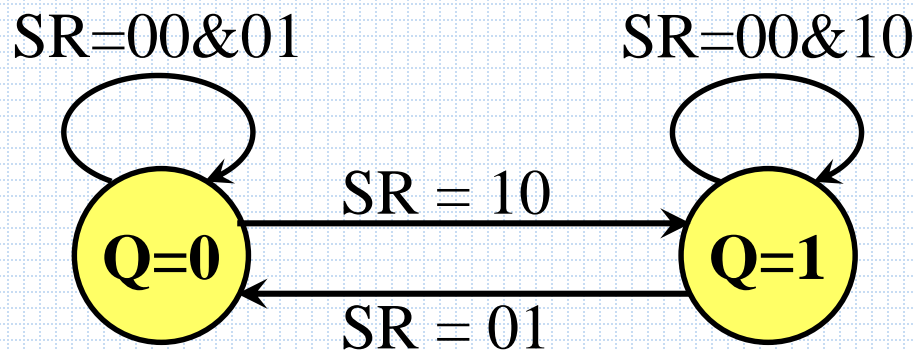


➤ Đầu vào dữ liệu **S – Set**: Thiết lập mức đầu ra, $Q = 1$

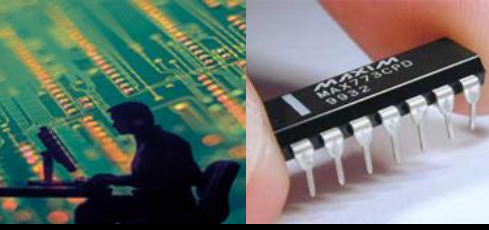
➤ Đầu vào dữ liệu **R – Reset**: Xóa mức đầu ra, $Q = 0$

❑ Bảng trạng thái SR Flip-Flop

❑ Đồ hình trạng thái SR Flip-Flop



S	R	Q	Q ⁺	
0	0	0	0	Nhớ
0	0	1	1	
0	1	0	0	Xóa
0	1	1	0	
1	0	0	1	Thiết lập
1	0	1	1	
1	1	0	cấm	Cấm
1	1	1	cấm	



2.2.1 SR Flip-Flop

❑ Tối thiểu hàm logic đầu ra SR Flip-Flop (Dạng cơ bản)

➤ Đầu ra Q

Q ⁺ \ SR	00	01	11	10
0	0	0	x	1
1	1	0	x	1

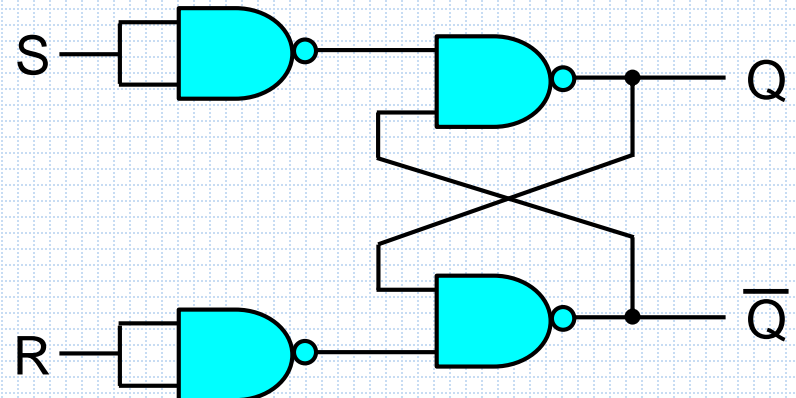
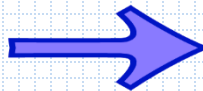
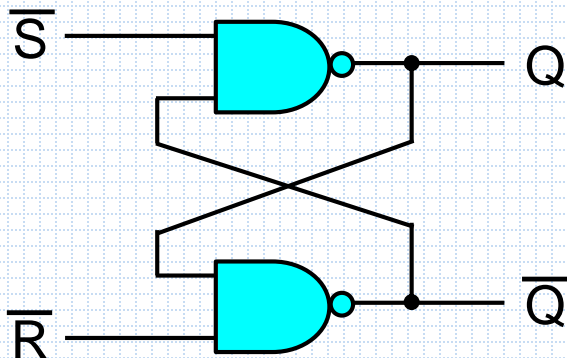
$$\rightarrow Q^+ = S + \overline{R} \cdot Q = \overline{\overline{S} \cdot (\overline{\overline{R} \cdot Q})}$$

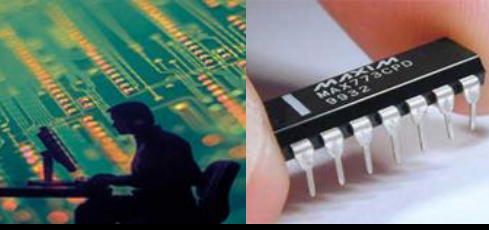
➤ Đầu ra Q~

\overline{Q}^+ \ SR	00	01	11	10
0	0	0	x	1
1	1	0	x	1

$$\rightarrow \overline{Q}^+ = R + \overline{S} \cdot \overline{Q} = \overline{\overline{R} \cdot (\overline{\overline{S} \cdot \overline{Q}})}$$

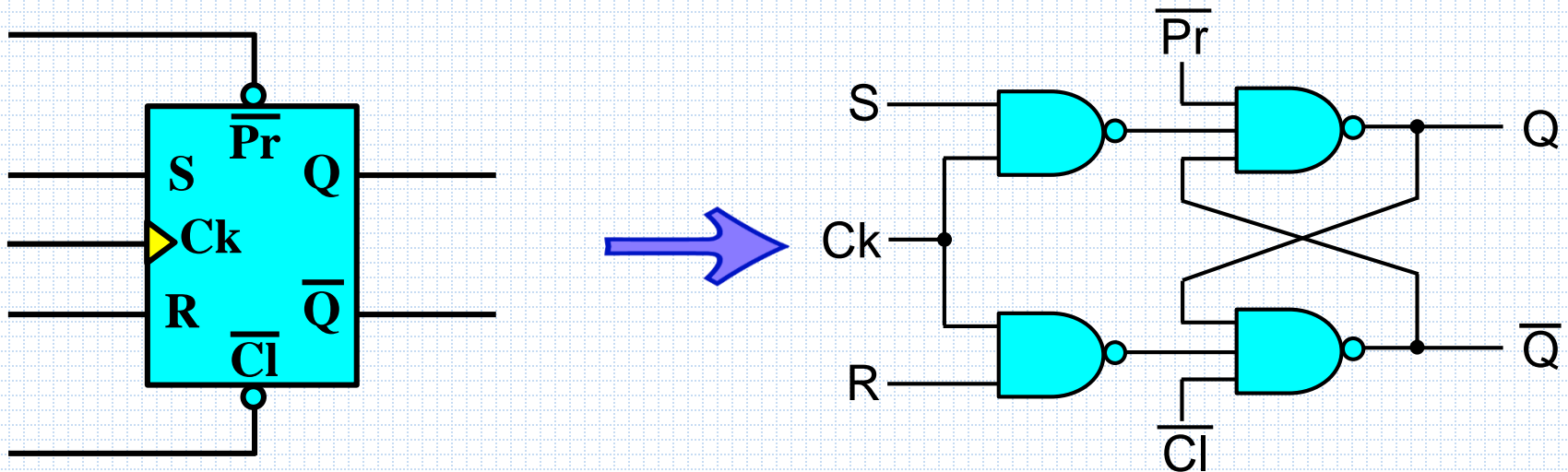
❑ Sơ đồ logic SR Flip-Flop (Dạng cơ bản)



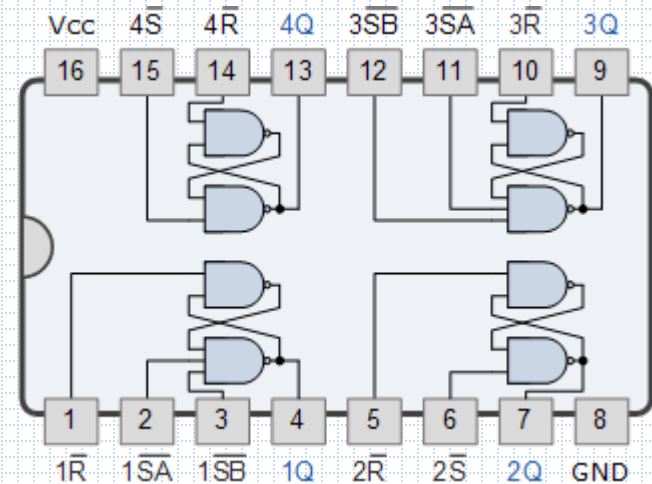


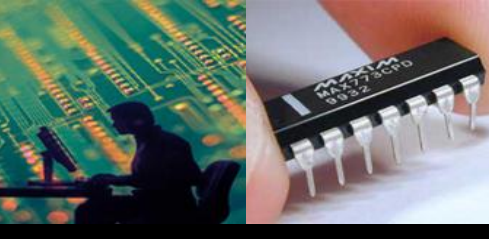
2.2.1 SR Flip-Flop

□ Sơ đồ khối và sơ đồ logic SR Flip-Flop dạng đầy đủ



□ Quad SR Bistable Latch 74LS279

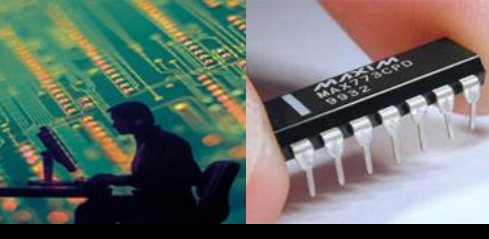




2.2.1 SR Flip-Flop

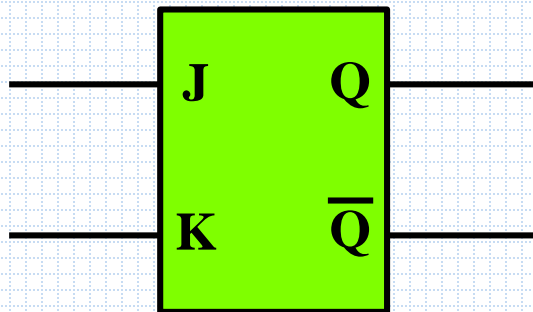
□ Bảng trạng thái SR Flip-Flop dạng đầy đủ

$\overline{\text{Pr}}$	$\overline{\text{Cl}}$	Ck	S	R	Q	Q^+
0	1	x	x	x	x	1
1	0	x	x	x	x	0
1	1	—	x	x	0	0
1	1	—	x	x	1	1
1	1	↑	0	0	0	0
1	1	↑	0	0	1	1
1	1	↑	0	1	0	0
1	1	↑	0	1	1	0
1	1	↑	1	0	0	1
1	1	↑	1	0	1	1
1	1	↑	1	1	0	cắm
1	1	↑	1	1	1	cắm



2.2.2 JK Flip-Flop

❑ Sơ đồ khối JK Flip-Flop (dạng cơ bản)



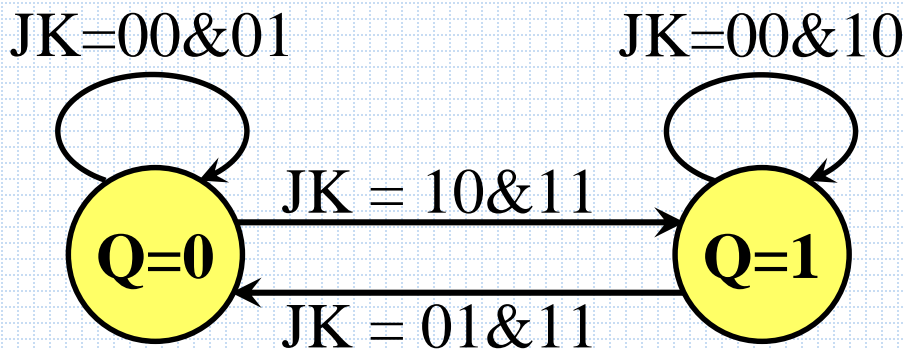
➤ Đầu vào dữ liệu J (Jordan) ~ S – Set:
Thiết lập mức đầu ra, $Q = 1$

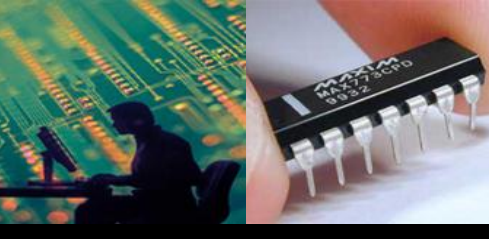
➤ Đầu vào dữ liệu K (Kelly) ~ R – Reset:
Xóa mức đầu ra, $Q = 0$

❑ Bảng trạng thái JK Flip-Flop

❑ Đồ hình trạng thái JK Flip-Flop

J	K	Q	Q ⁺	
0	0	0	0	Nhớ
0	0	1	1	
0	1	0	0	Xóa
0	1	1	0	
1	0	0	1	Thiết lập
1	0	1	1	
1	1	0	1	Đảo
1	1	1	0	

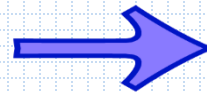




2.2.2 JK Flip-Flop

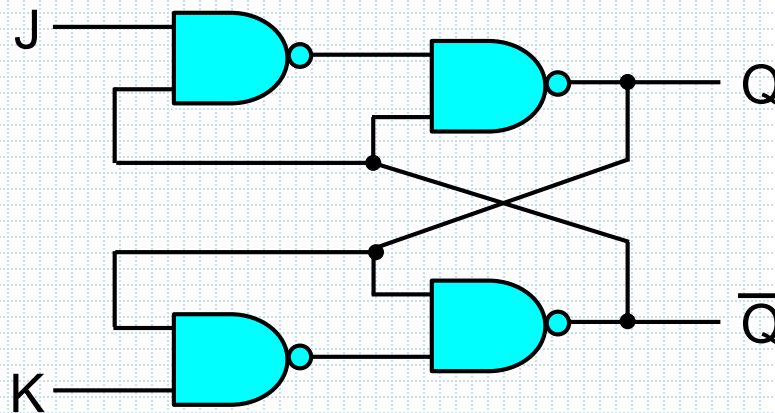
❑ Tối thiểu hàm logic đầu ra JK Flip-Flop (Dạng cơ bản)

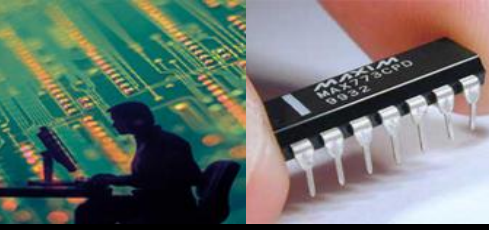
Q ⁺ \ JK		00	01	11	10
Q	0	0	0	1	1
	1	1	0	0	1



$$Q^+ = J \cdot \bar{Q} + \bar{K} \cdot Q$$

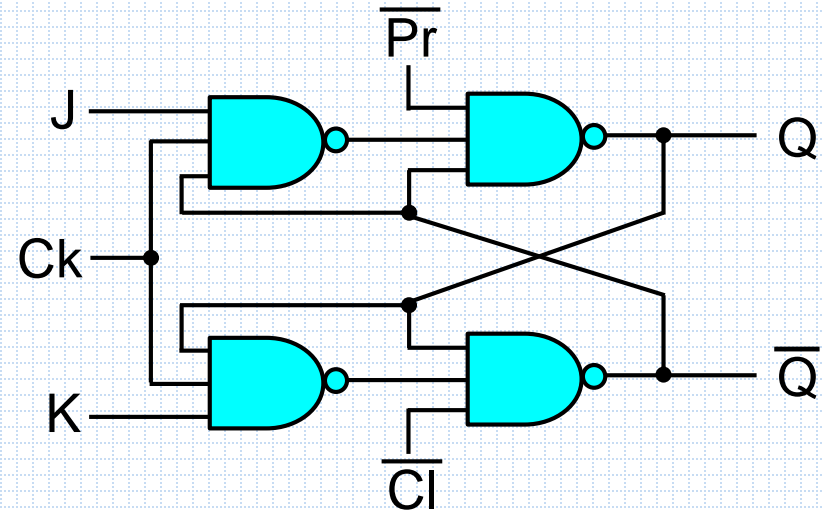
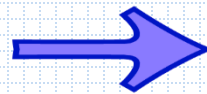
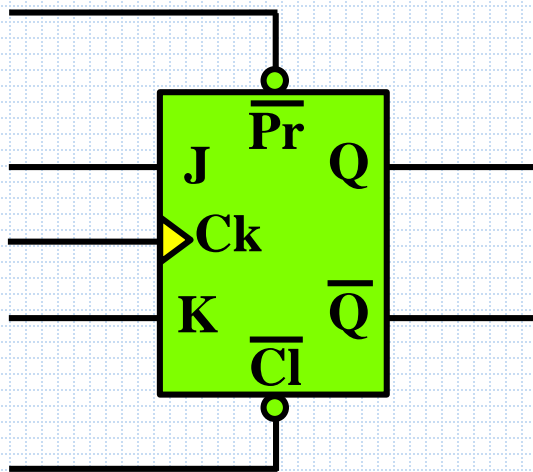
❑ Sơ đồ logic JK Flip-Flop (Dạng cơ bản)



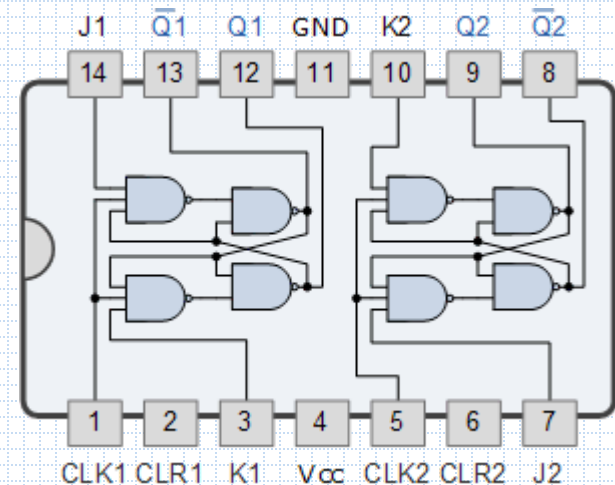


2.2.2 JK Flip-Flop

□ Sơ đồ khối và sơ đồ logic JK Flip-Flop dạng đầy đủ



□ Dual JK Flip-flop 74LS73

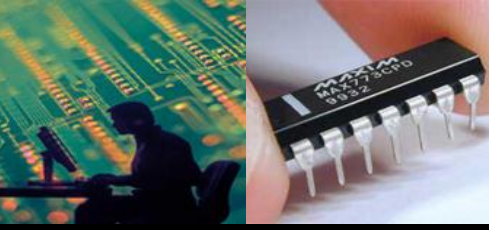




2.2.2 JK Flip-Flop

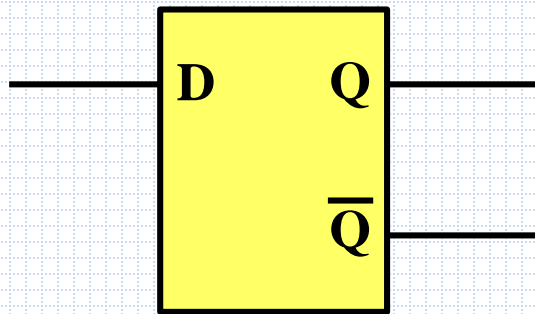
□ Bảng trạng thái JK Flip-Flop dạng đầy đủ

$\overline{\text{Pr}}$	$\overline{\text{Cl}}$	Ck	J	K	Q	Q^+
0	1	x	x	x	x	1
1	0	x	x	x	x	0
1	1	—	x	x	0	0
1	1	—	x	x	1	1
1	1	↑	0	0	0	0
1	1	↑	0	0	1	1
1	1	↑	0	1	0	0
1	1	↑	0	1	1	0
1	1	↑	1	0	0	1
1	1	↑	1	0	1	1
1	1	↑	1	1	0	1
1	1	↑	1	1	1	0



2.2.3 D Flip-Flop

❑ Sơ đồ khối D Flip-Flop (dạng cơ bản)

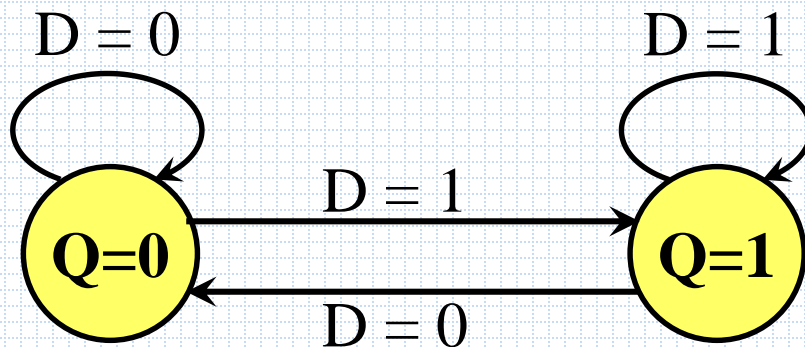


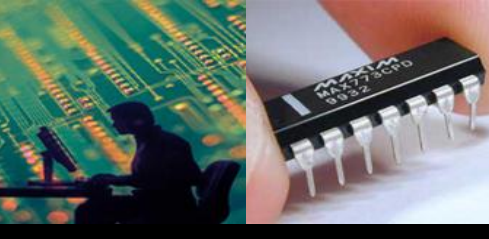
➤ **Đầu vào dữ liệu D – Data:** Được nhớ (lưu, ghi) giá trị vào đầu ra Q. Khi đầu vào $D = 0$ thì đầu ra $Q = 0$; khi đầu vào $D = 1$ thì đầu ra $Q = 1$

❑ Bảng trạng thái D Flip-Flop

❑ Đồ hình trạng thái D Flip-Flop

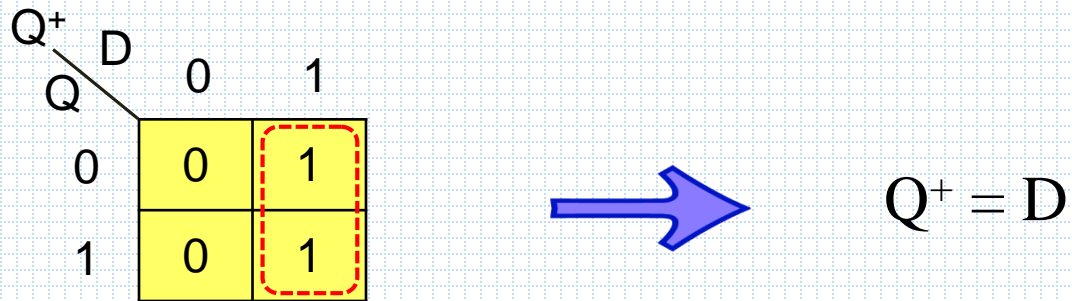
D	Q	Q ⁺
0	0	0
0	1	0
1	0	1
1	1	1



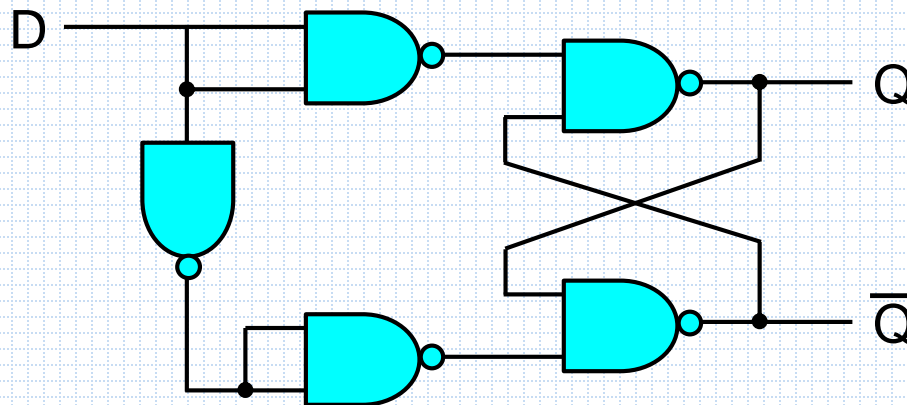


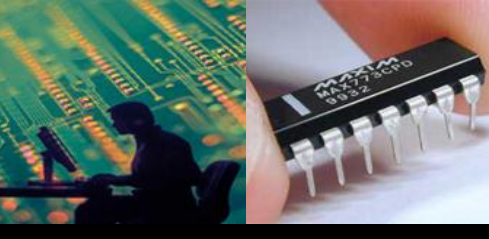
2.2.3 D Flip-Flop

❑ Tối thiểu hàm logic đầu ra D Flip-Flop (Dạng cơ bản)



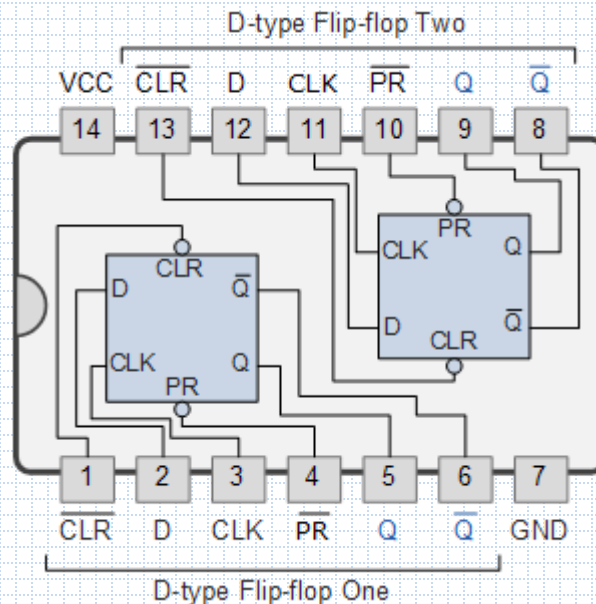
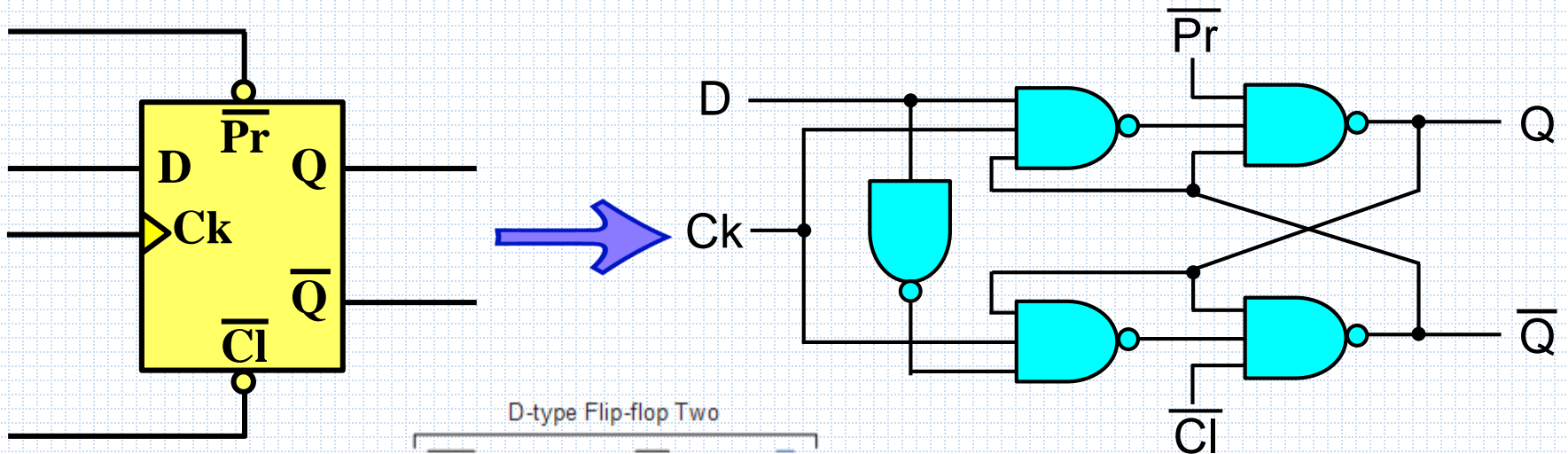
❑ Sơ đồ logic D Flip-Flop (Dạng cơ bản) xây dựng từ SR Flip-Flop



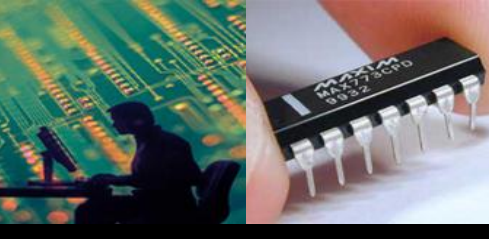


2.2.3 D Flip-Flop

□ Sơ đồ khối và sơ đồ logic D Flip-Flop dạng đầy đủ (từ JK-FF)



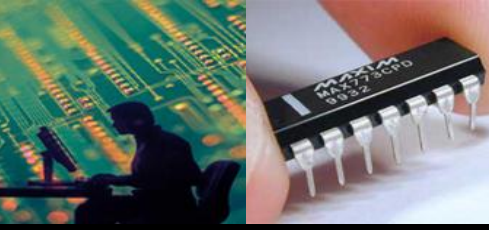
□ Dual D-type Flip Flop
74LS74



2.2.3 D Flip-Flop

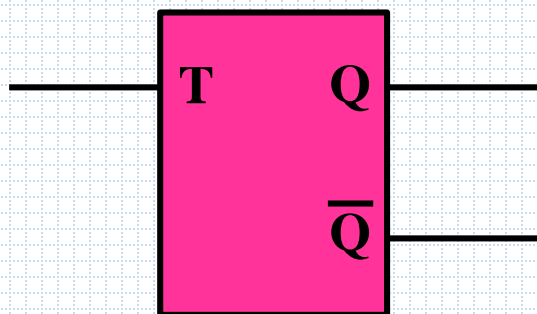
□ Bảng trạng thái D Flip-Flop dạng đầy đủ

\overline{Pr}	\overline{Cl}	Ck	D	Q	Q^+
0	1	x	x	x	1
1	0	x	x	x	0
1	1	—	x	0	0
1	1	—	x	1	1
1	1	↑	0	0	0
1	1	↑	0	1	0
1	1	↑	1	0	1
1	1	↑	1	1	1



2.2.4 T Flip-Flop

□ Sơ đồ khối T Flip-Flop (dạng cơ bản)

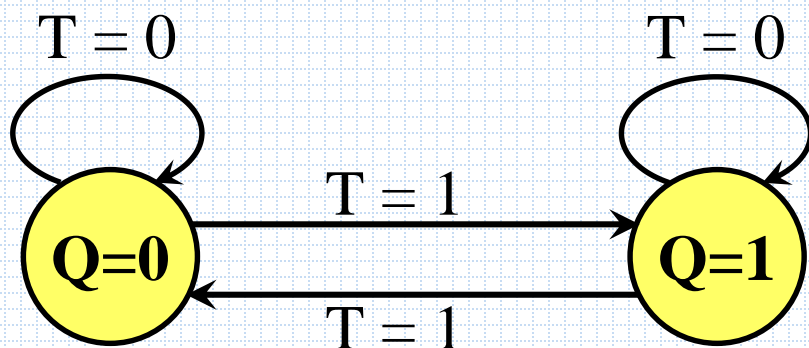


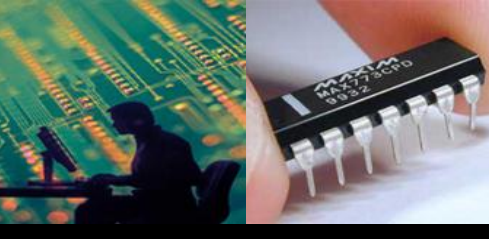
➤ **Đầu vào dữ liệu T – Toggle (Lật, Bật bênh):** Đảo chiều (lật) giá trị của đầu ra Q khi $T = 1$, giữ nguyên giá trị của đầu ra Q khi $T = 0$

□ Bảng trạng thái T Flip-Flop

□ Đồ hình trạng thái T Flip-Flop

T	Q	Q ⁺
0	0	0
0	1	1
1	0	1
1	1	0

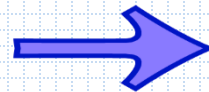




2.2.4 T Flip-Flop

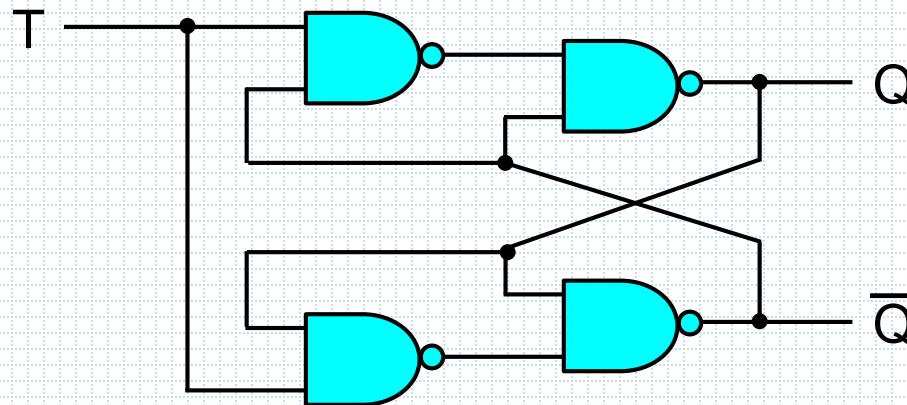
❑ Tối thiểu hàm logic đầu ra T Flip-Flop (Dạng cơ bản)

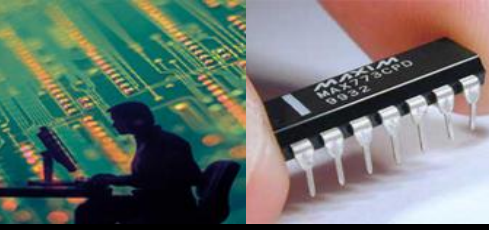
		T	
		0	1
Q	0	0	1
	1	1	0



$$Q^+ = \overline{T} \cdot Q + T \cdot \overline{Q} = T \oplus Q$$

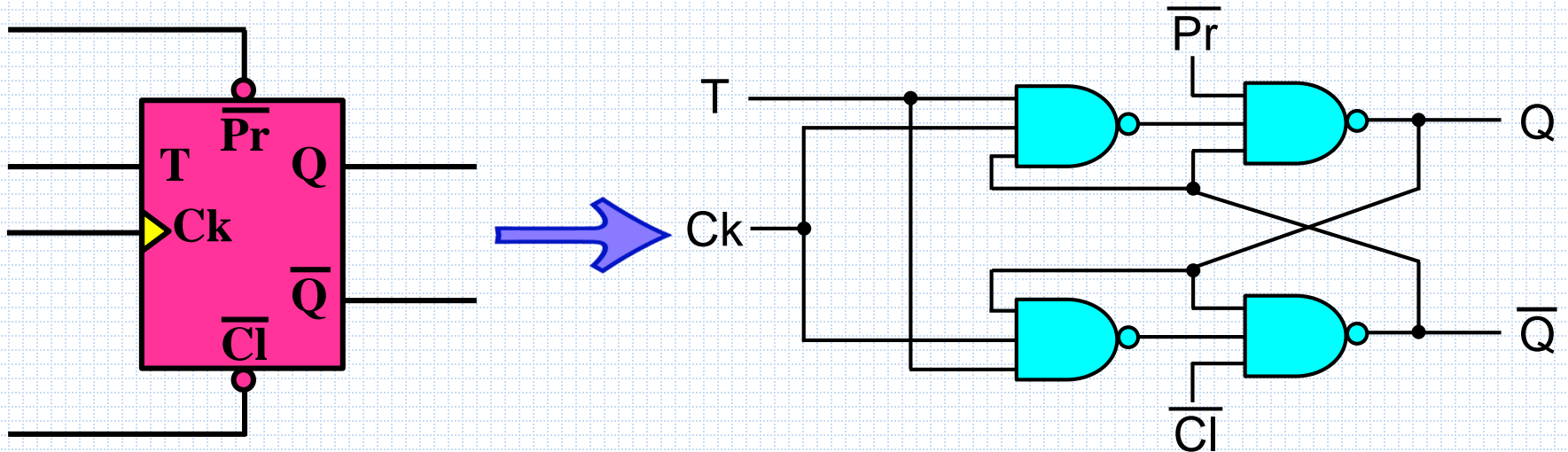
❑ Sơ đồ logic T Flip-Flop (Dạng cơ bản) xây dựng từ JK Flip-Flop



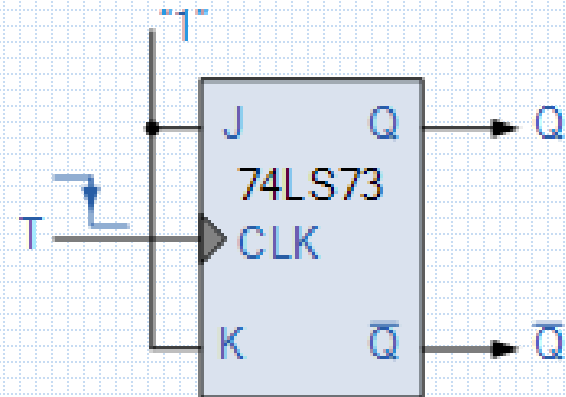


2.2.4 T Flip-Flop

□ Sơ đồ khối và sơ đồ logic T Flip-Flop dạng đầy đủ (từ JK-FF)



□ Toggle Flip Flop 74LS73

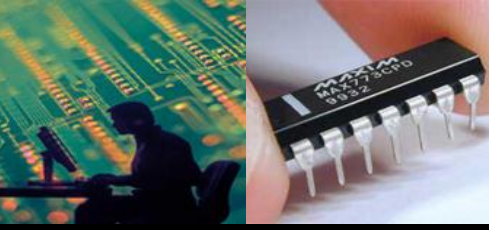




2.2.4 T Flip-Flop

□ Bảng trạng thái T Flip-Flop dạng đầy đủ

\overline{Pr}	\overline{Cl}	Ck	T	Q	Q^+
0	1	x	x	x	1
1	0	x	x	x	0
1	1	—	x	0	0
1	1	—	x	1	1
1	1	↑	0	0	0
1	1	↑	0	1	1
1	1	↑	1	0	1
1	1	↑	1	1	0



2. PHẦN TỬ NHỚ MẠCH TUẦN TỰ

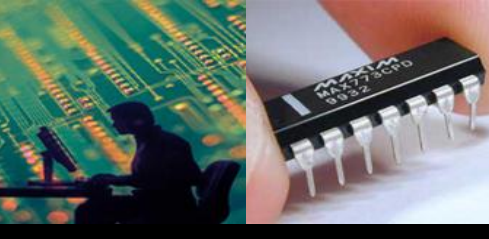
2.1. Khái niệm và phân loại phần tử nhớ

2.2. Các phần tử nhớ cơ bản của MTT

2.3. Các phương pháp đồng bộ phần tử nhớ

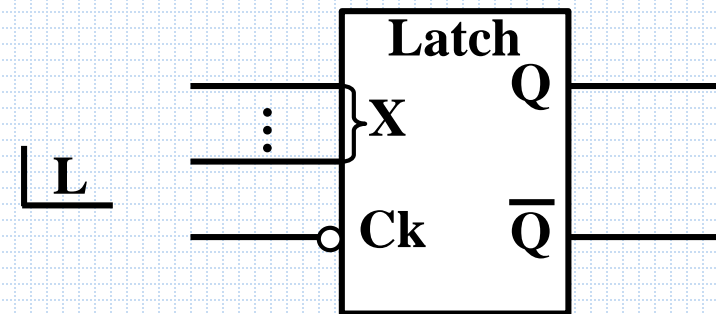
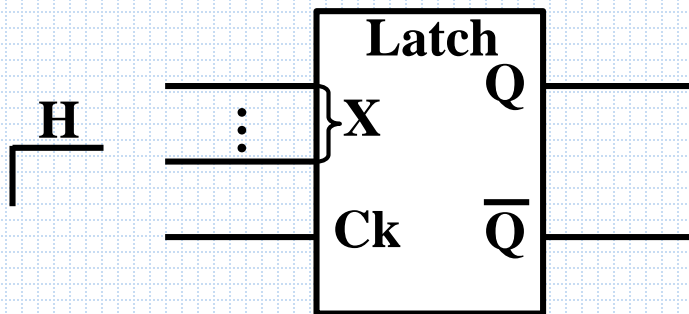
2.4. Xác định đầu vào kích cho Flip-Flop

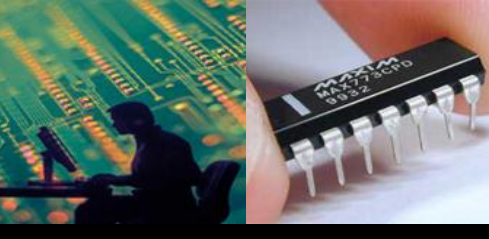
2.5. Xây dựng Flip-Flop từ Flip-Flop khác



2.3.1 Đồng bộ theo mức

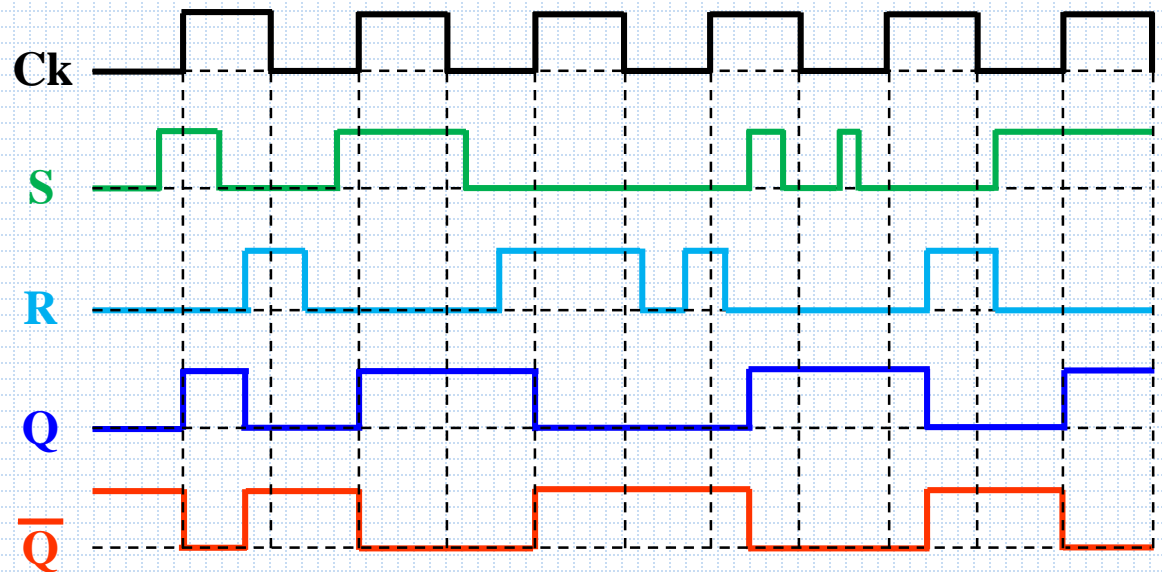
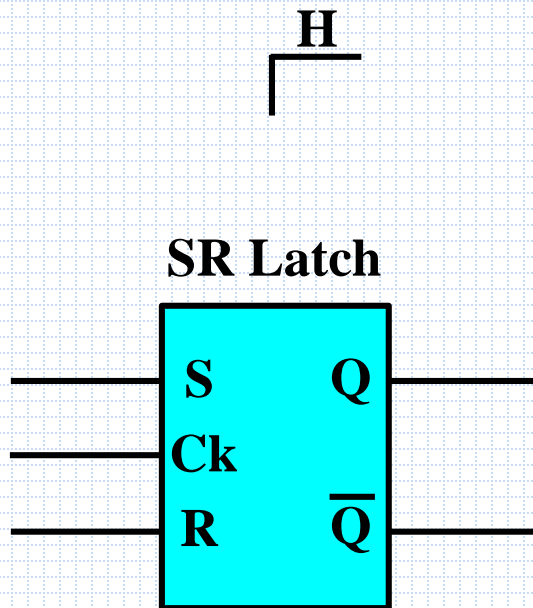
- ❑ **Cơ chế đồng bộ của Flip-Flop đồng bộ:** Đầu ra Q của Flip-Flop thay đổi giá trị tương ứng với tác động của đầu vào dữ liệu khi và chỉ khi xuất hiện xung đồng bộ Ck. Hai phương pháp đồng bộ cơ bản: đồng bộ theo mức và đồng bộ theo sườn của tín hiệu xung đồng bộ Ck
- ❑ **Đồng bộ mức cao (mức dương, mức H, mức '1')**
 - **Nguyên lý đồng bộ:** Khi xung đồng bộ ở mức cao hệ làm việc, khi ở mức thấp hệ nghỉ (giữ nguyên trạng thái)
- ❑ **Đồng bộ mức thấp (mức âm, mức L, mức '0')**
 - **Nguyên lý đồng bộ:** Khi xung đồng bộ ở mức thấp hệ làm việc, khi ở mức cao hệ nghỉ (giữ nguyên trạng thái)

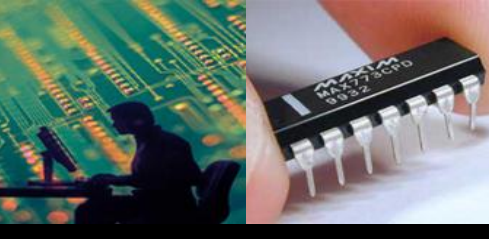




2.3.1 Đồng bộ theo mức

□ VD1: SR Latch đồng bộ mức cao





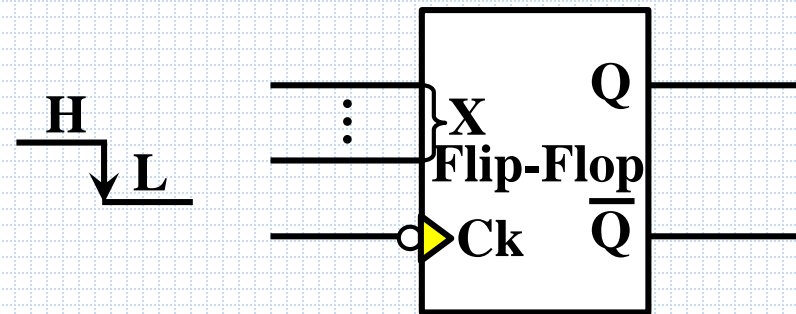
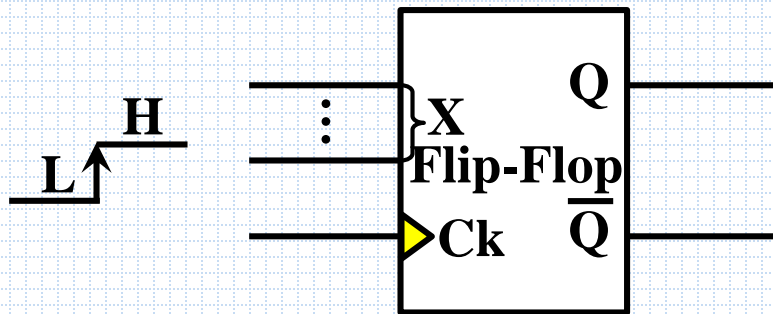
2.3.2 Đồng bộ theo sườn

❑ Đồng bộ sườn lên (sườn dương)

➤ **Nguyên lý đồng bộ:** Khi xung đồng bộ từ sườn thấp lên sườn cao (sườn đi lên, từ mức 0 lên mức 1) mạch làm việc, trong các trường hợp còn lại hệ nghỉ (giữ nguyên trạng thái)

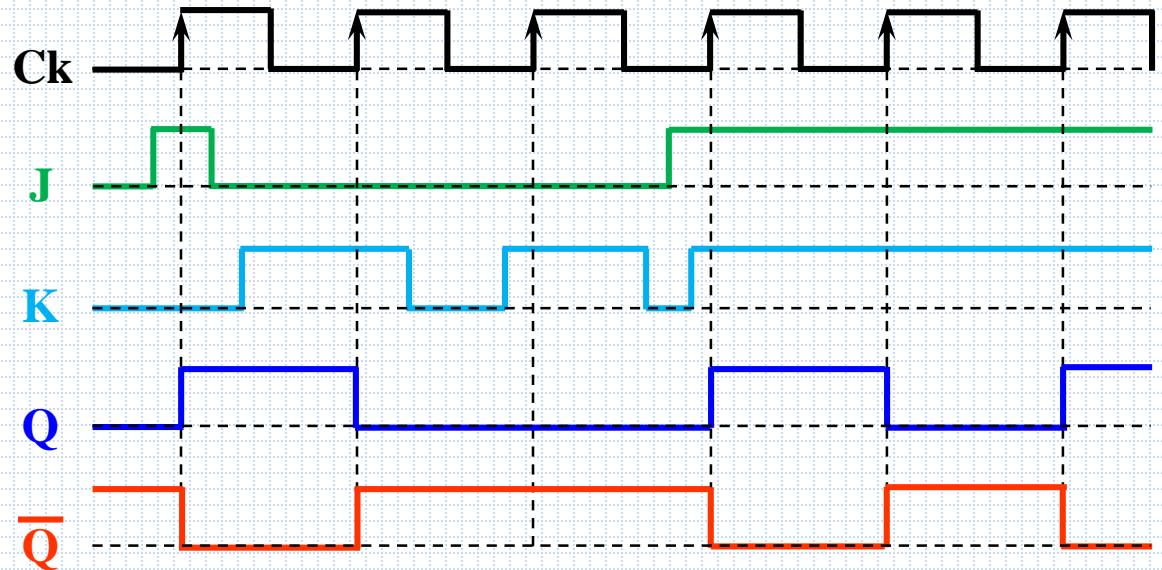
❑ Đồng bộ sườn xuống (sườn âm)

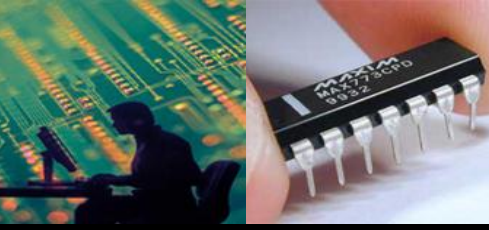
➤ **Nguyên lý đồng bộ:** Khi xung đồng bộ từ sườn cao xuống sườn thấp (sườn đi xuống, từ mức 1 về mức 0) mạch làm việc, trong các trường hợp còn lại hệ nghỉ (giữ nguyên trạng thái)





The diagram shows a JK Flip-Flop with three inputs on the left: J, Ck (clock, indicated by a triangle), and K. It has two outputs on the right: Q and \overline{Q} . Above the flip-flop is a timing diagram for the clock input Ck, showing a square wave that transitions from low (L) to high (H) at a specific point.





2. PHẦN TỬ NHỚ MẠCH TUẦN TỰ

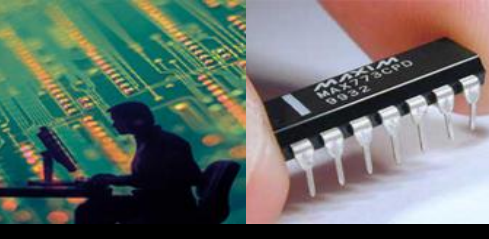
2.1. Khái niệm và phân loại phần tử nhớ

2.2. Các phần tử nhớ cơ bản của MTT

2.3. Các phương pháp đồng bộ phần tử nhớ

2.4. Xác định đầu vào kích cho Flip-Flop

2.5. Xây dựng Flip-Flop từ Flip-Flop khác



2.4. Xác định đầu vào kích cho Flip-Flop

- ❑ **Bài toán thuận:** Từ giá trị đầu vào (SR, JK, D, T) và trạng thái trong hiện tại của Flip-Flop xác định giá trị đầu ra đáp ứng theo đầu vào. Kết quả của bài toán thuận chính là bảng trạng thái của từng FF.
- ❑ **Bài toán ngược:** Từ trạng thái trong hiện tại và trạng thái trong sẽ chuyển biến đến được ấn định trước của FF, xác định giá trị đầu vào (SR, JK, D, T) thích hợp để tạo nên sự chuyển biến đó. Quá trình giải bài toán ngược được gọi là xác định đầu vào kích cho Flip-Flop

Q	Q ⁺	SR-FF		JK-FF		D-FF	T-FF
		S	R	J	K	D	T
0	0	0	x	0	x	0	0
0	1	1	0	1	x	1	1
1	0	0	1	x	1	0	1
1	1	x	0	x	0	1	0



2. PHẦN TỬ NHỚ MẠCH TUẦN TỰ

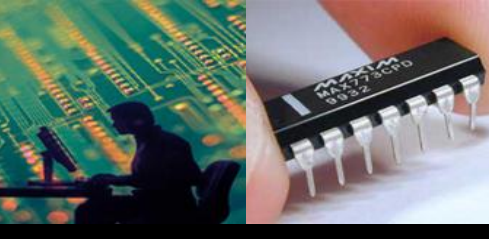
2.1. Khái niệm và phân loại phần tử nhớ

2.2. Các phần tử nhớ cơ bản của MTT

2.3. Các phương pháp đồng bộ phần tử nhớ

2.4. Xác định đầu vào kích cho Flip-Flop

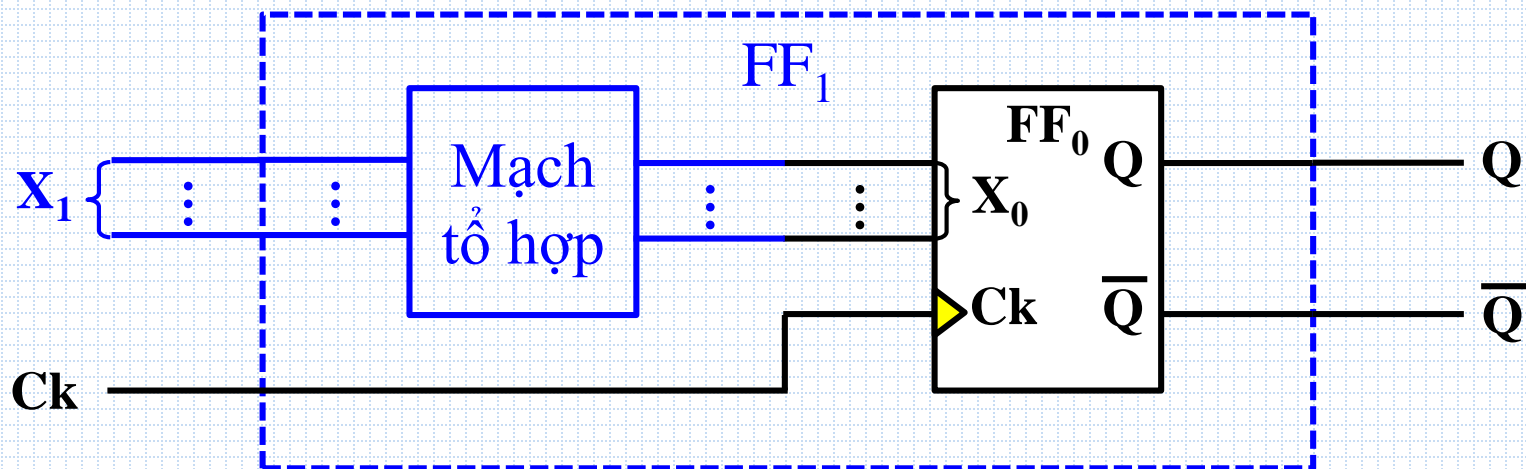
2.5. Xây dựng Flip-Flop từ Flip-Flop khác

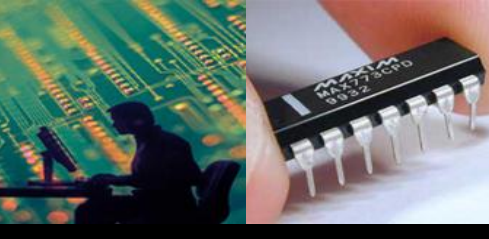


2.5. Xây dựng Flip-Flop từ Flip-Flop khác

❑ Đặt vấn đề bài toán

- Flip-Flop có sẵn FF_0 và Flip-Flop cần tạo FF_1 có chung các tín hiệu xung đồng bộ Ck và các tín hiệu điều khiển bất đồng bộ Pr và Cl
- Đầu ra Q và $Q\sim$ của Flip-Flop cần tạo FF_1 cũng là đầu ra của FF_0
- Đầu vào dữ liệu của Flip-Flop cần tạo FF_1 là của chính nó
- Cần xây dựng một mạch tổ hợp nằm ở vị trí trung gian có đầu vào là đầu vào của FF_1 , đầu ra nối trực tiếp với đầu vào của FF_0



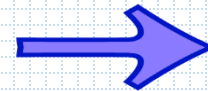


2.5. Xây dựng Flip-Flop từ Flip-Flop khác

❑ Các bước xây dựng FF từ FF khác: Xây dựng FF-D từ FF-JK

➤ **Bước 1:** Viết lại bảng trạng thái của FF cần tạo

D	Q	Q ⁺	J	K
0	0	0	0	x
0	1	0	x	1
1	0	1	1	x
1	1	1	x	0

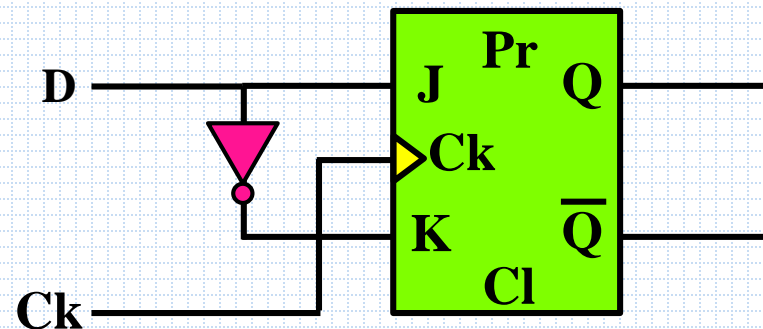
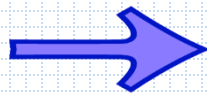


D	J	K
0	0	x
0	x	1
1	1	x
1	x	0

➤ **Bước 2:** Từ các cột Q và Q~ đã có, viết thêm các cột đầu vào kích của FF có sẵn, rút ra bảng giá trị hàm của mạch tổ hợp cần xây dựng

➤ **Bước 3:** Tối thiểu (hệ) hàm logic và xây dựng sơ đồ logic của FF

$$\begin{cases} J = D \\ K = \overline{D} \end{cases}$$



Kết thúc chương 5