

NGÂN HÀNG BÀI TẬP LỚN MÔN ĐIỆN TỬ SỐ
Giảng viên: Tạ Văn Thành - BM KTVXL – Khoa VTĐT
Đề 1:

Bài 1. Xác định tính đúng đắn của các đẳng thức logic sau bằng phương pháp bảng giá trị hàm và phương pháp đại số

$$AB + BCD + \overline{A}C + \overline{B}C = AB + C$$

$$A \oplus B \oplus C \oplus D = A \oplus \overline{B} \oplus C \oplus \overline{D}$$

Bài 2. Tối thiểu các hàm logic sau bằng phương pháp biến đổi đại số

$$AB + \overline{A}C + \overline{B}C + \overline{C}D + D$$

$$A(\overline{A}C + BD) + B(C + DE) + B\overline{C}$$

Bài 3. Tối thiểu các hàm logic sau bằng phương pháp đại số và phương pháp bảng Các-nô

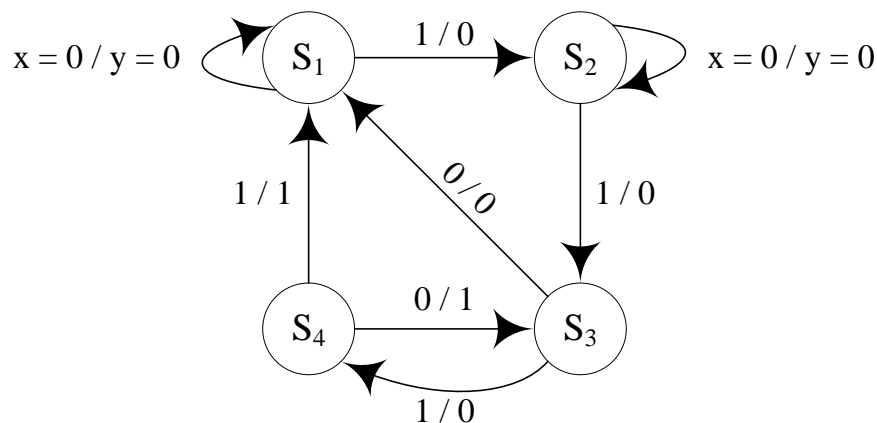
$$Y = f(A, B, C, D) = \sum(0, 2, 4, 6, 7, 9, 10, 11, 13, 15)$$

$$Y = f(A, B, C, D) = \sum(0, 1, 2, 4, 6, 7, 9, 10, 11, 15)$$

Bài 4. Một hệ thống đèn đặt theo kiểu ma trận có khả năng hiển thị các chữ cái như hình vẽ. Trên hình, ma trận đang hiển thị chữ E. Hãy thiết kế mạch điều khiển cho ma trận đèn trên để có thể sáng các chữ số A, B, C, E, F, H, I, L, P

1	2	3
4	5	6
7	8	9
10	11	12
13	14	15

Bài 5. Cho mạch tuần tự có đồ hình trạng thái như sau. Lập bảng chuyển trạng thái cho mạch tuần tự đó theo mô hình Mealy. Biến đổi đồ hình và bảng chuyển trạng thái đã cho theo mô hình Moore



Đề 2:

Bài 1. Xác định tính đúng đắn của các đẳng thức logic sau bằng phương pháp bảng giá trị hàm và phương pháp đại số

$$ABCD + \overline{A} \overline{B} \overline{C} \overline{D} = \overline{AB} + \overline{BC} + \overline{CD} + \overline{DA}$$
$$\overline{AB} + \overline{BC} + \overline{CA} = \overline{AB} + \overline{BC} + \overline{CA}$$

Bài 2. Tối thiểu các hàm logic sau bằng phương pháp đại số và phương pháp bảng Các-nô

$$Y = f(A, B, C, D) = \sum(1, 2, 4, 5, 6, 7, 9, 10, 11, 15)$$

$$Y = f(A, B, C, D) = \sum(1, 2, 4, 5, 6, 7, 9, 10, 12, 15)$$

Bài 3. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng chuyển mã nhị phân 4 bit đầu vào thành mã dư ba ở đầu ra

Bài 4. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₂ /y = 0
S ₂	S ₄ /y = 0	S ₁ /y = 1
S ₃	S ₅ /y = 0	S ₆ /y = 0
S ₄	S ₆ /y = 0	S ₂ /y = 1
S ₅	S ₃ /y = 0	S ₆ /y = 0
S ₆	S ₂ /y = 0	S ₃ /y = 1
S ₇	S ₇ /y = 0	S ₂ /y = 0
S ₈	S ₈ /y = 0	S ₇ /y = 1

Bài 5. Thiết kế bộ đếm đồng bộ: Hệ số đếm K_d = 6, mã nhị phân, đếm thuận.

Đề 3:

Bài 1. Xác định tính đúng đắn của các đẳng thức logic sau bằng phương pháp bảng giá trị hàm và phương pháp đại số

$$\overline{A \oplus B \oplus C} = \overline{A} \oplus \overline{B} \oplus \overline{C}$$
$$\overline{AB} + BD + DCE + D\overline{A} = \overline{AB} + D$$

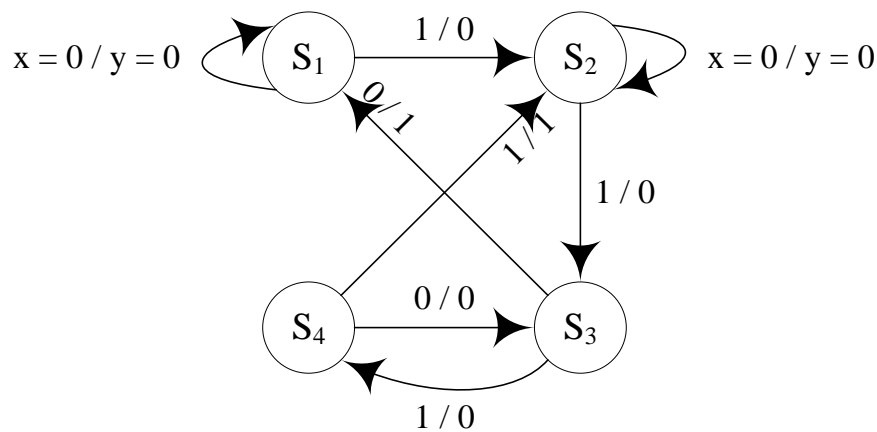
Bài 2. Tối thiểu các hàm logic sau bằng phương pháp Mc-Cluskey và vẽ sơ đồ mạch logic tối thiểu

$$Y = f(A, B, C, D) = \sum(0, 2, 4, 6, 7, 9, 10, 11, 13, 15)$$

$$Y = f(A, B, C, D) = \sum(0, 1, 2, 4, 6, 7, 9, 10, 11, 15)$$

Bài 3. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng chuyển mã nhị phân 4 bit đầu vào thành mã Gray ở đầu ra

Bài 4. Cho mạch tuần tự có đồ hình trạng thái như sau. Lập bảng chuyển trạng thái cho mạch tuần tự đó theo mô hình Mealy. Biến đổi đồ hình và bảng chuyển trạng thái đã cho theo mô hình Moore



Bài 5. Xây dựng SR Flip-Flop từ JK Flip-Flop.

Đề 4:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp biến đổi đại số

$$A + \overline{\overline{B}} + \overline{\overline{CD}} + \overline{\overline{AD}} \overline{B}$$
$$AD + BC\overline{D} + C(\overline{A} + \overline{B})$$

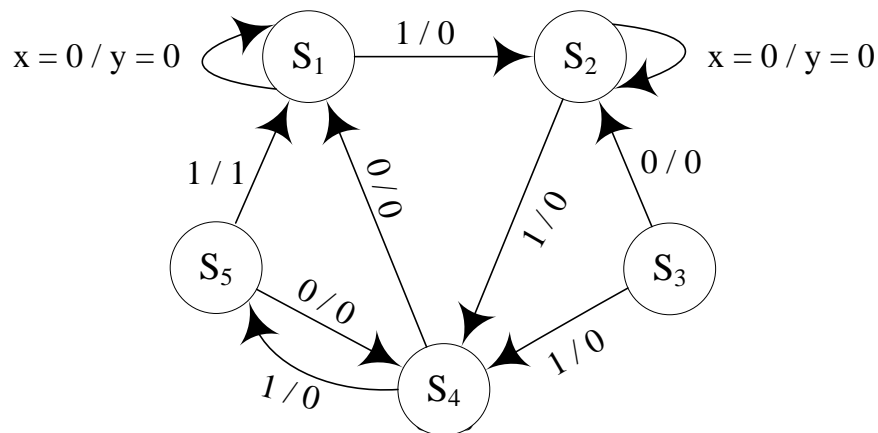
Bài 2. Tối thiểu các hàm logic sau bằng phương pháp đại số và phương pháp bảng Các-nô

$$Y = f(A, B, C, D) = \sum(1, 2, 4, 5, 7, 8, 10, 12, 13, 15)$$

$$Y = f(A, B, C, D) = \sum(1, 2, 4, 5, 6, 7, 8, 10, 12, 15)$$

Bài 3. Xây dựng SR Flip-Flop từ D Flip-Flop

Bài 4. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng JK Flip-Flop



Bài 5. Thiết kế bộ đếm không đồng bộ: Hệ số đếm Kđ = 6, mã nhị phân, đếm thuận

Đề 5:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp Mc-Cluskey và vẽ sơ đồ mạch logic tối thiểu

$$Y = f(A, B, C, D) = \sum(1, 2, 4, 5, 6, 7, 9, 10, 11, 15)$$

$$Y = f(A, B, C, D) = \sum(1, 2, 4, 5, 6, 7, 9, 10, 12, 15)$$

Bài 2. Tối thiểu các hàm logic sau bằng phương pháp bảng Các-nô và vẽ sơ đồ mạch logic tối thiểu trong các trường hợp: chỉ được sử dụng cổng logic 2 đầu vào; chỉ được sử dụng cổng NAND

$$Y = f(A, B, C, D, E) = \Pi(1, 5, 9, 10, 11, 18, 19, 24, 28, 29)$$

$$Y = f(A, B, C, D, E) = \Pi(0, 3, 9, 10, 11, 18, 19, 24, 28, 29)$$

Bài 3. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng chuyển mã BCD 4 bit đầu vào thành mã dư ba ở đầu ra.

Bài 4. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₂ /y = 1
S ₂	S ₄ /y = 0	S ₃ /y = 0
S ₃	S ₅ /y = 0	S ₇ /y = 1
S ₄	S ₂ /y = 0	S ₃ /y = 0
S ₅	S ₈ /y = 0	S ₄ /y = 1
S ₆	S ₃ /y = 0	S ₈ /y = 0
S ₇	S ₇ /y = 0	S ₁ /y = 1
S ₈	S ₃ /y = 0	S ₆ /y = 0

Bài 5. Thiết kế bộ đếm không đồng bộ: Hệ số đếm K_d = 6, mã nhị phân, đếm thuận

Đề 6:

Bài 1. Xác định tính đúng đắn của các đẳng thức logic sau bằng phương pháp bảng giá trị hàm và phương pháp đại số

$$A(A \oplus B) = A\overline{B}$$
$$AB(C + D) + D + \overline{D}(A + B)(\overline{B} + \overline{C}) = A + B\overline{C} + D$$

Bài 2. Tối thiểu các hàm logic sau bằng phương pháp bảng Các-nô và vẽ sơ đồ mạch logic tối thiểu trong các trường hợp: chỉ được sử dụng cổng logic 2 đầu vào; chỉ được sử dụng cổng NAND

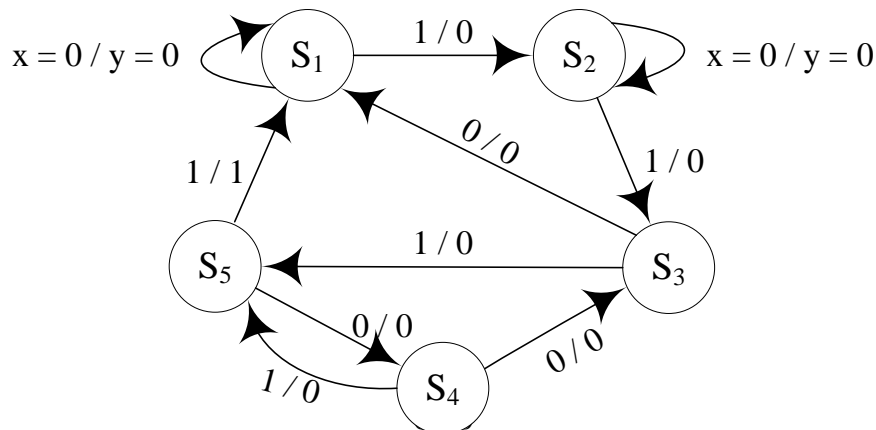
$$Y = f(A, B, C, D, E) = \Pi(1, 5, 7, 8, 11, 18, 19, 24, 28, 29)$$

$$Y = f(A, B, C, D, E) = \Pi(1, 5, 9, 10, 12, 16, 19, 24, 28, 29)$$

Bài 3. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng chuyển mã BCD 4 bit đầu vào thành mã Gray ở đầu ra

Bài 4. Tổng hợp bộ cộng nhanh thấy trước nhớ 4 bit tương tự như IC 74LS83

Bài 5. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng JK Flip-Flop



Đề 7:

Bài 1. Xác định tính đúng đắn của các đẳng thức logic sau bằng phương pháp bảng giá trị hàm và phương pháp đại số

$$AB + \overline{A}C + BC = AB + \overline{A}C$$

$$A \oplus B \oplus C = ABC + (A + B + C)(\overline{AB} + \overline{BC} + \overline{CA})$$

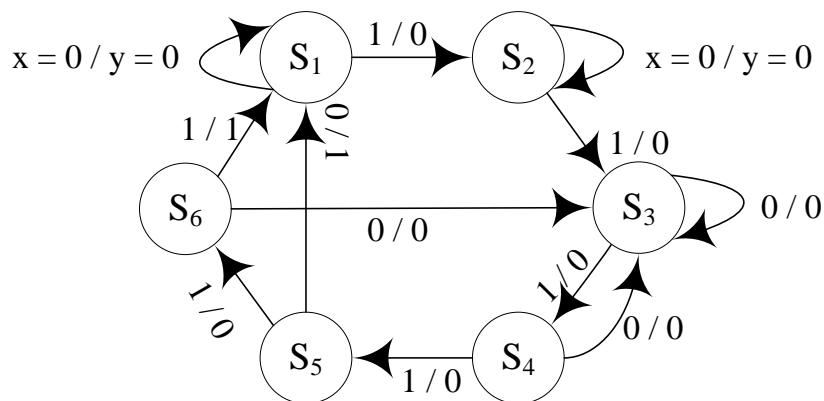
Bài 2. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng chuyển mã dư ba 4 bit đầu vào thành mã BCD ở đầu ra.

Bài 3. Tìm hiểu về IC giải mã nhị phân 74LS139. Sử dụng IC này để thiết kế bộ giải mã nhị phân 3 đầu vào 8 đầu ra. Phân tích cách làm và vẽ các sơ đồ cần thiết

Bài 4. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₂ /y = 1
S ₂	S ₆ /y = 0	S ₁ /y = 1
S ₃	S ₅ /y = 0	S ₄ /y = 1
S ₄	S ₄ /y = 0	S ₂ /y = 1
S ₅	S ₅ /y = 0	S ₇ /y = 0
S ₆	S ₃ /y = 0	S ₃ /y = 0
S ₇	S ₇ /y = 0	S ₆ /y = 0
S ₈	S ₈ /y = 0	S ₇ /y = 0

Bài 15. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng Flip-Flop tùy chọn



Đề 8:

Bài 1. Xác định tính đúng đắn của các đẳng thức logic sau bằng phương pháp bảng giá trị hàm và phương pháp đại số

$$ABC + \overline{A}\overline{B}\overline{C} = \overline{A}B + \overline{B}C + \overline{C}A$$

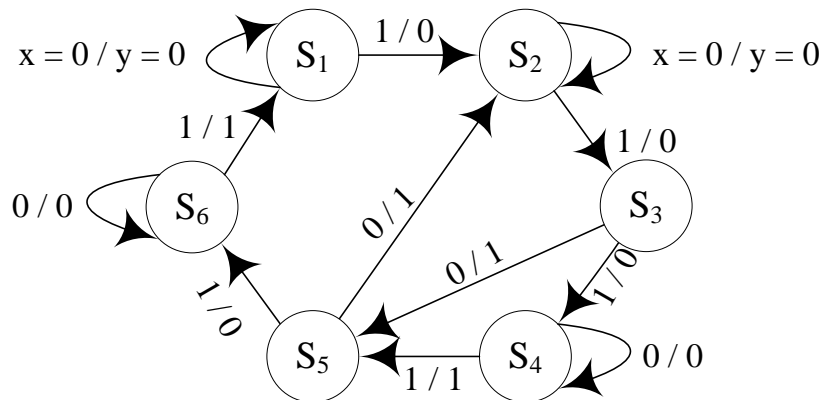
$$A(B \oplus C) = AB\overline{C} + A\overline{B}C$$

Bài 2. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₄ /y = 0
S ₂	S ₆ /y = 0	S ₁ /y = 0
S ₃	S ₃ /y = 0	S ₄ /y = 0
S ₄	S ₄ /y = 0	S ₂ /y = 0
S ₅	S ₅ /y = 0	S ₇ /y = 1
S ₆	S ₃ /y = 0	S ₃ /y = 1
S ₇	S ₇ /y = 0	S ₅ /y = 1
S ₈	S ₈ /y = 0	S ₆ /y = 1

Bài 3. Xây dựng SR Flip-Flop từ T Flip-Flop

Bài 4. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng Flip-Flop tùy chọn



Bài 5. Thiết kế bộ đếm đồng bộ: Hệ số đếm K_d = 12, mã nhị phân, đếm thuận

Đề 9:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp biến đổi đại số

$$\frac{\overline{A}\overline{B} + AC + BC + \overline{B}\overline{C}\overline{D} + B\overline{C}E + \overline{B}CF}{ABC + BD(\overline{A} + C) + (B + D)AC}$$

Bài 2. Tối thiểu các hàm logic sau bằng phương pháp Mc-Cluskey và vẽ sơ đồ mạch logic tối thiểu

$$Y = f(A, B, C, D) = \sum(1, 2, 4, 5, 7, 8, 10, 12, 13, 15)$$

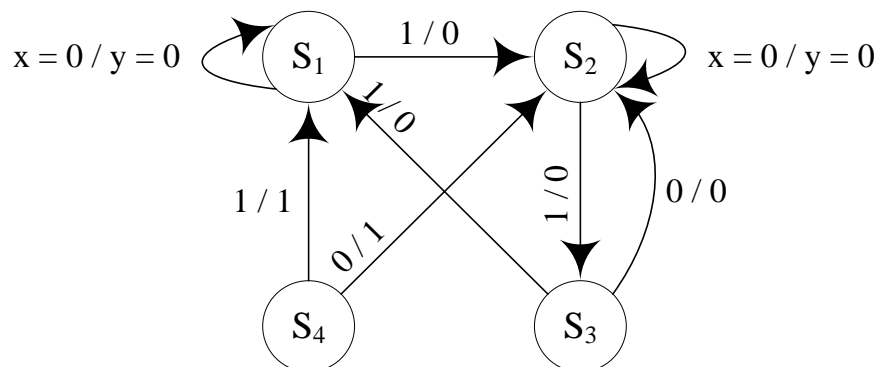
$$Y = f(A, B, C, D) = \sum(1, 2, 4, 5, 7, 8, 10, 12, 13, 15)$$

Bài 3. Tối thiểu các hàm logic sau bằng phương pháp bảng Các-nô và vẽ sơ đồ mạch logic tối thiểu trong các trường hợp: chỉ được sử dụng cổng logic 2 đầu vào; chỉ được sử dụng cổng NAND

$$Y = f(A, B, C, D, E) = \Pi(1, 5, 9, 10, 11, 18, 20, 23, 28, 29)$$

$$Y = f(A, B, C, D, E) = \Pi(1, 5, 9, 10, 11, 18, 19, 24, 30, 31)$$

Bài 4. Cho mạch tuần tự có đồ hình trạng thái như sau. Lập bảng chuyển trạng thái cho mạch tuần tự đó theo mô hình Mealy. Biến đổi đồ hình và bảng chuyển trạng thái đã cho theo mô hình Moore



Bài 5. Thiết kế bộ đếm không đồng bộ: Hệ số đếm $K_d = 8$, mã nhị phân, đếm thuận

Đề 10:

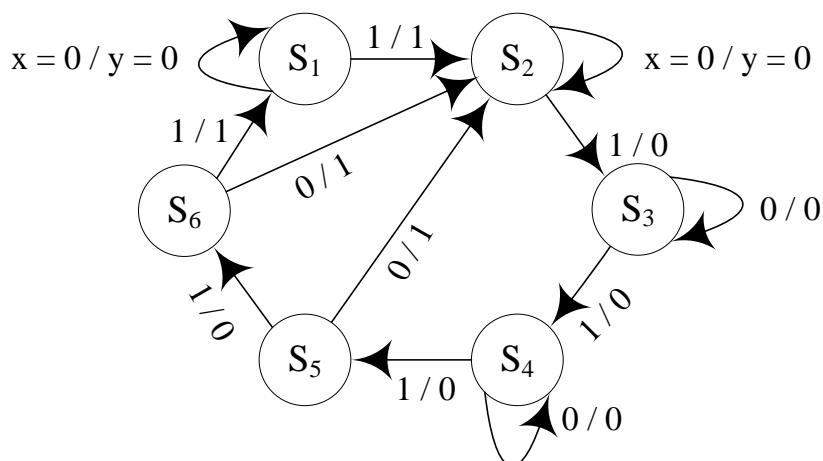
Bài 1. Tối thiểu các hàm logic sau bằng phương pháp Mc-Cluskey và vẽ sơ đồ mạch logic tối thiểu

$$Y = f(A, B, C, D) = \sum(1, 2, 5, 7, 8, 11, 12, 13, 14, 15)$$

$$Y = f(A, B, C, D) = \sum(2, 5, 6, 7, 8, 9, 10, 12, 14, 15)$$

Bài 2. Xây dựng JK Flip-Flop từ SR Flip-Flop

Bài 3. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng Flip-Flop tùy chọn



Bài 4. Thiết kế bộ đếm không đồng bộ: Hệ số đếm $K_d = 6$, mã Gray, đếm thuận

Bài 5. Thiết kế một mạch điều khiển cấp điện cho một hệ thống hai máy bơm bơm nước lên bể cao tầng, M_1 là máy bơm công suất lớn và M_2 là máy bơm công suất nhỏ. Bể có ba mức nước quy định là MT (mức thấp), MG (mức giữa) và MC (mức cao) với yêu cầu như sau: Nếu mức nước trong bể $MN < MT$ thì cả hai máy bơm được cấp điện.

Đề 11:

Bài 1. Xác định tính đúng đắn của các đẳng thức logic sau bằng phương pháp bảng giá trị hàm và phương pháp đại số

$$\overline{AB} + \overline{A}B + BC = \overline{AB} + AC + \overline{A}B$$
$$\overline{A + BC + D} = \overline{A}(\overline{B} + \overline{C})\overline{D}$$

Bài 2. Tối thiểu các hàm logic sau bằng phương pháp Mc-Cluskey và vẽ sơ đồ mạch logic tối thiểu

$$Y = f(A, B, C, D) = \sum(1, 2, 5, 7, 8, 11, 12, 13, 14, 15)$$

$$Y = f(A, B, C, D) = \sum(2, 5, 6, 7, 8, 9, 10, 12, 14, 15)$$

Bài 3. Tìm hiểu về IC so sánh 4 bit Magnitude Comparator 74LS85 theo các nội dung: Chức năng và các chân tín hiệu; Mối quan hệ logic của các tín hiệu và giải thích trên sơ đồ mạch điện cổng của IC; Ví dụ mạch ứng dụng có phân tích

Bài 4. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₄ /y = 1
S ₂	S ₆ /y = 0	S ₁ /y = 1
S ₃	S ₃ /y = 0	S ₆ /y = 0
S ₄	S ₄ /y = 0	S ₂ /y = 0
S ₅	S ₅ /y = 0	S ₇ /y = 1
S ₆	S ₆ /y = 0	S ₄ /y = 1
S ₇	S ₇ /y = 0	S ₅ /y = 0
S ₈	S ₈ /y = 0	S ₆ /y = 0

Bài 5. Thiết kế một mạch điều khiển cấp điện cho một hệ thống hai máy bơm bơm nước lên bể cao tầng, M₁ là máy bơm công suất lớn và M₂ là máy bơm công suất nhỏ. Bể có ba mức nước quy định là MT (mức thấp), MG (mức giữa) và MC (mức cao) với yêu cầu như sau: Khi bơm nước đến MT ≤ MN < MG thì cả hai máy bơm được cấp điện.

Đề 12:

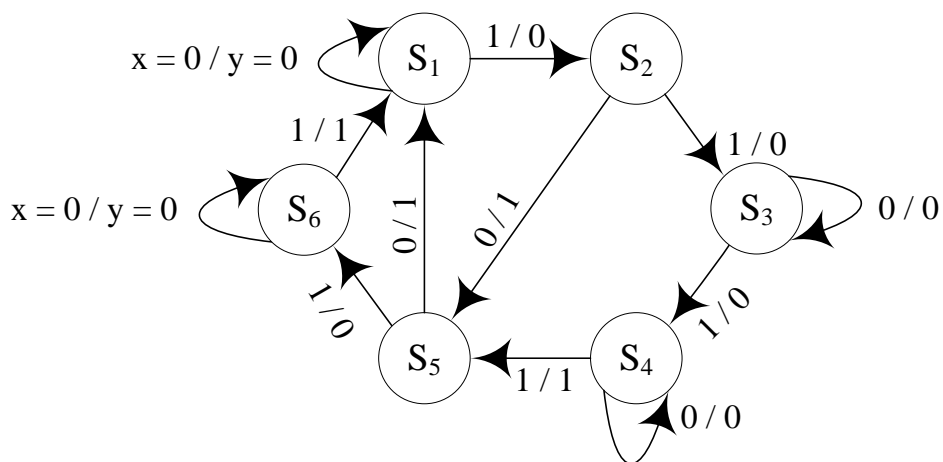
Bài 1. Xác định tính đúng đắn của các đẳng thức logic sau bằng phương pháp bảng giá trị hàm và phương pháp đại số

$$\overline{\overline{A} \overline{B} \overline{C}} \overline{AB + BC + CA} + ABC = \overline{(\overline{A} + \overline{B} + \overline{C}) \overline{\overline{A} \overline{B} + \overline{B} \overline{C} + \overline{C} \overline{A}} + \overline{A} \overline{B} \overline{C}}$$

Bài 2. Tối thiểu các hàm logic sau bằng phương pháp biến đổi đại số

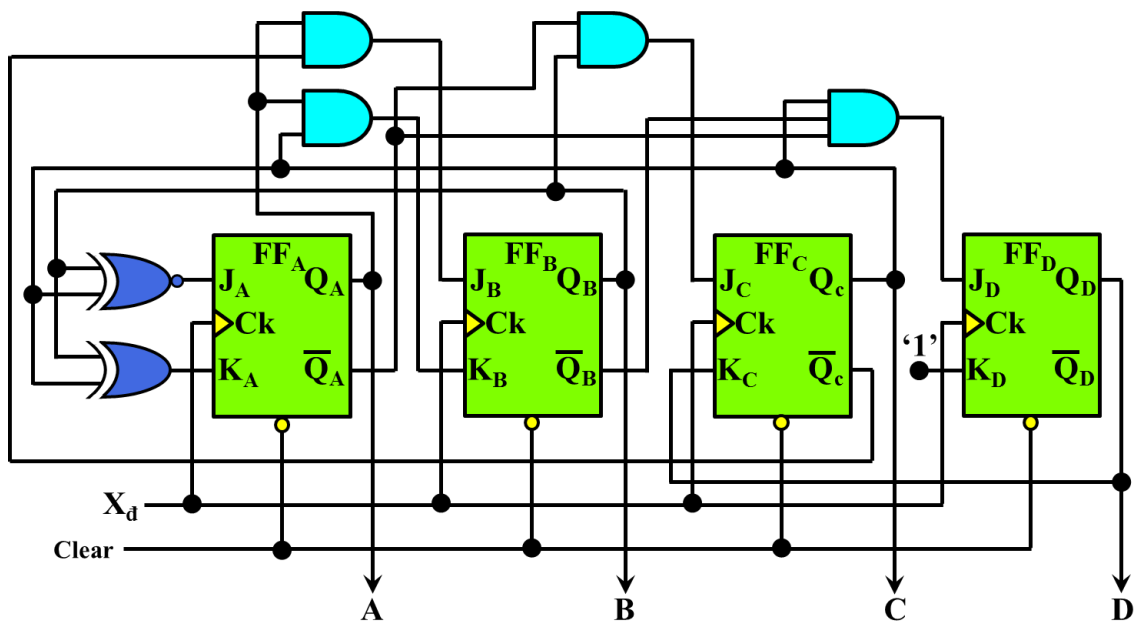
$$\frac{(\bar{A} + \bar{B} + \bar{C})(\bar{A} + B + C)(A + \bar{B} + C)(A + B + \bar{C})}{(A + D)BCA + (\bar{B} + C)AD} D$$

Bài 3. Thiết kế mạch tuần tự đồng bộ một đầu vào x , một đầu ra y , có đồ hình trạng thái như hình dưới, sử dụng Flip-Flop tùy chọn



Bài 4. Thiết kế bộ đếm đồng bộ: Hệ số đếm $K_d = 6$, mã dư 3, đếm thuận

Bài 5. Phân tích mạch tuần tự sau. Xác định hệ số đếm, mã của bộ đếm, hướng đếm, vẽ giản đồ thời gian của bộ đếm



Đề 13:

Bài 1. Xác định tính đúng đắn của các đẳng thức logic sau bằng phương pháp bảng giá trị hàm và phương pháp đại số

$$A \oplus B \oplus C = (\overline{A} + \overline{B} + \overline{C})(\overline{A} + B + C)(A + \overline{B} + C)(A + B + \overline{C})$$

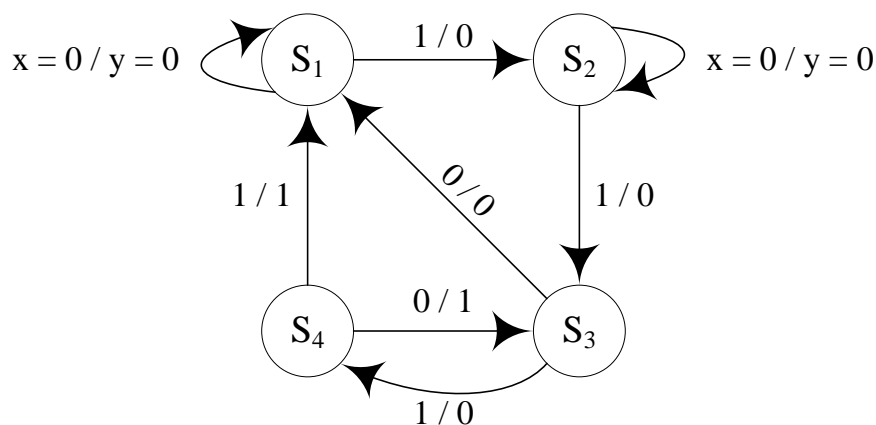
$$\overline{AB + \overline{A}\overline{B} + C} = (A \oplus B)C$$

Bài 2. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng chuyển mã dư ba 4 bit đầu vào thành mã Gray ở đầu ra

Bài 3. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₂ /y = 1
S ₂	S ₅ /y = 0	S ₃ /y = 1
S ₃	S ₃ /y = 0	S ₄ /y = 0
S ₄	S ₄ /y = 0	S ₅ /y = 0
S ₅	S ₂ /y = 0	S ₃ /y = 1
S ₆	S ₃ /y = 0	S ₁ /y = 1
S ₇	S ₇ /y = 0	S ₅ /y = 0
S ₈	S ₈ /y = 0	S ₆ /y = 0

Bài 4. Cho mạch tuần tự có đồ hình trạng thái như sau. Lập bảng chuyển trạng thái cho mạch tuần tự đó theo mô hình Mealy. Biến đổi đồ hình và bảng chuyển trạng thái đã cho theo mô hình Moore



Bài 5. Xây dựng JK Flip-Flop từ D Flip-Flop.

Đề 14:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp Mc-Cluskey và vẽ sơ đồ mạch logic tối thiểu

$$Y = f(A, B, C, D) = \sum(1, 5, 6, 7, 8, 9, 10, 12, 14, 15)$$

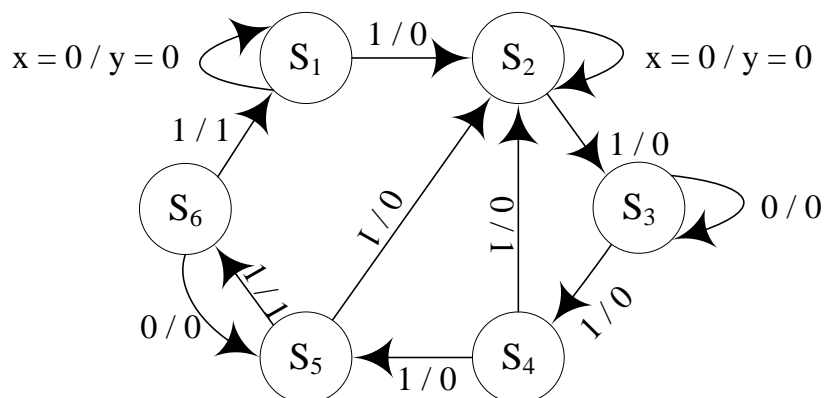
$$Y = f(A, B, C, D) = \sum(1, 5, 6, 7, 8, 9, 10, 12, 13, 15)$$

Bài 2. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₂ /y = 1
S ₂	S ₅ /y = 0	S ₁ /y = 1
S ₃	S ₆ /y = 0	S ₄ /y = 0
S ₄	S ₄ /y = 0	S ₅ /y = 0
S ₅	S ₂ /y = 0	S ₃ /y = 0
S ₆	S ₃ /y = 0	S ₄ /y = 0
S ₇	S ₇ /y = 0	S ₆ /y = 1
S ₈	S ₈ /y = 0	S ₂ /y = 1

Bài 3. Xây dựng JK Flip-Flop từ T Flip-Flop

Bài 4. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng Flip-Flop tùy chọn



Bài 5. Thiết kế bộ đếm đồng bộ: Hệ số đếm $K_d = 9$, mã dư 3, đếm thuận

Đề 15:

Bài 1. Xác định tính đúng đắn của các đẳng thức logic sau bằng phương pháp bảng giá trị hàm và phương pháp đại số

$$A + \overline{A(B + C)} = A + \overline{B} \overline{C}$$

$$\overline{A \oplus B} \overline{B \oplus C} \overline{C \oplus D} = \overline{AB} + \overline{BC} + \overline{CD} + \overline{DA}$$

Bài 2. Tối thiểu các hàm logic sau bằng phương pháp đại số và phương pháp bảng Các-nô

$$Y = f(A, B, C, D) = \sum(1, 2, 4, 5, 7, 8, 10, 12, 13, 15)$$

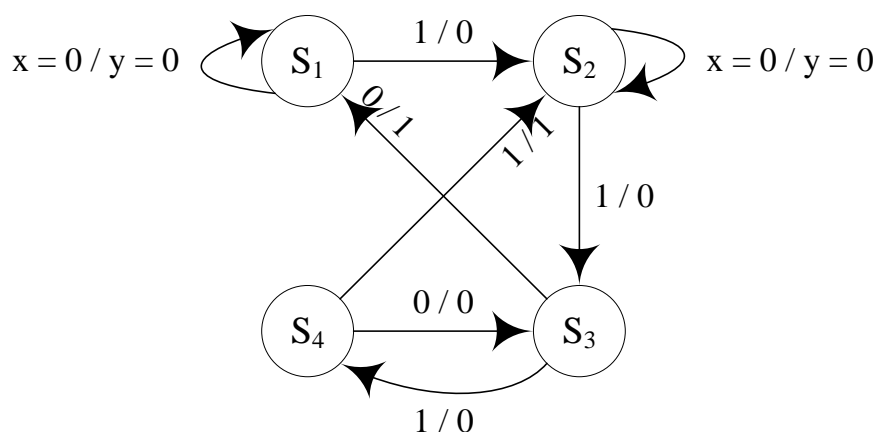
$$Y = f(A, B, C, D) = \sum(1, 2, 4, 5, 6, 7, 8, 10, 12, 15)$$

Bài 3. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng chuyển mã Gray 4 bit đầu vào thành mã BCD ở đầu ra

Bài 4. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₂ /y = 1
S ₂	S ₇ /y = 0	S ₃ /y = 1
S ₃	S ₃ /y = 0	S ₄ /y = 0
S ₄	S ₄ /y = 0	S ₅ /y = 0
S ₅	S ₂ /y = 0	S ₈ /y = 0
S ₆	S ₆ /y = 0	S ₄ /y = 0
S ₇	S ₂ /y = 0	S ₃ /y = 1
S ₈	S ₈ /y = 0	S ₆ /y = 1

Bài 5. Cho mạch tuần tự có đồ hình trạng thái như sau. Lập bảng chuyển trạng thái cho mạch tuần tự đó theo mô hình Mealy. Biến đổi đồ hình và bảng chuyển trạng thái đã cho theo mô hình Moore



Đề 16:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp biến đổi đại số

$$ABC + (A + B + C)(\overline{AB + BC + CA})$$

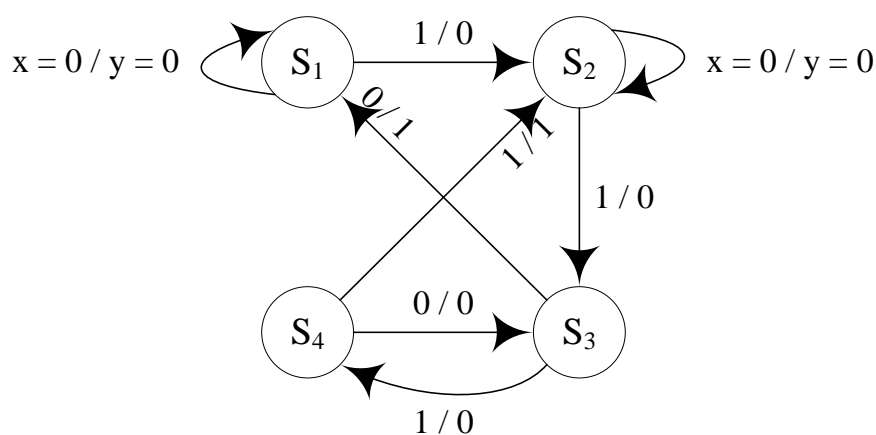
$$AB + BCD + \overline{AC} + \overline{BC}$$

Bài 2. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng chuyển mã Gray 4 bit đầu vào thành mã dư ba ở đầu ra.

Bài 3. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₂ /y = 0
S ₂	S ₇ /y = 0	S ₃ /y = 0
S ₃	S ₃ /y = 0	S ₄ /y = 1
S ₄	S ₄ /y = 0	S ₅ /y = 1
S ₅	S ₂ /y = 0	S ₈ /y = 1
S ₆	S ₆ /y = 0	S ₄ /y = 1
S ₇	S ₂ /y = 0	S ₃ /y = 0
S ₈	S ₈ /y = 0	S ₂ /y = 0

Bài 4. Cho mạch tuần tự có đồ hình trạng thái như sau. Lập bảng chuyển trạng thái cho mạch tuần tự đó theo mô hình Mealy. Biến đổi đồ hình và bảng chuyển trạng thái đã cho theo mô hình Moore



Bài 5. Tìm hiểu về IC đếm 74LS90. Sử dụng IC đếm 7490 để thiết kế bộ đếm đồng bộ có hệ số đếm $K_d = 120$. Phân tích và vẽ sơ đồ mạch tuần tự.

Đề 17:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp biến đổi đại số

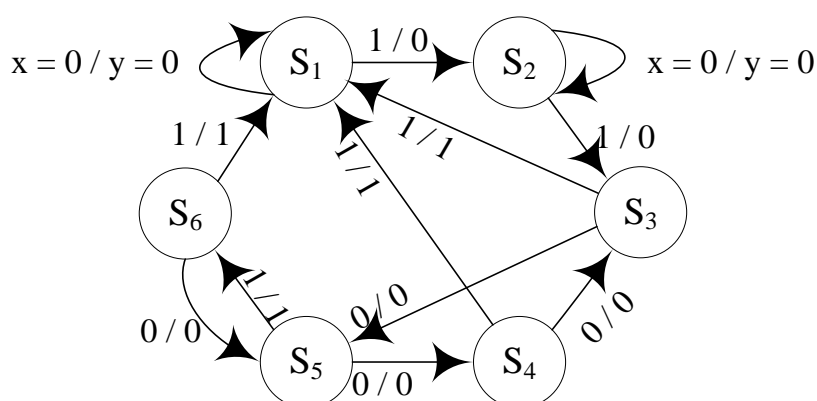
$$\overline{(\overline{A} + \overline{B} + \overline{C}) (\overline{A} \overline{B} + \overline{B} \overline{C} + \overline{C} \overline{A})} + \overline{A} \overline{B} \overline{C}$$

$$A\overline{B} + BD + DCE + D\overline{A}$$

Bài 2. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₂ /y = 0
S ₂	S ₇ /y = 0	S ₃ /y = 0
S ₃	S ₃ /y = 1	S ₄ /y = 0
S ₄	S ₄ /y = 1	S ₅ /y = 0
S ₅	S ₂ /y = 1	S ₈ /y = 0
S ₆	S ₆ /y = 1	S ₄ /y = 0
S ₇	S ₂ /y = 0	S ₃ /y = 0
S ₈	S ₈ /y = 0	S ₂ /y = 0

Bài 3. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng Flip-Flop tùy chọn



Bài 4. Thiết kế bộ đếm đồng bộ: Hệ số đếm K_d = 6, mã Gray, đếm thuận

Bài 5. Thiết kế một mạch điều khiển cấp điện cho một hệ thống hai máy bơm bơm nước lên bể cao tầng, M₁ là máy bơm công suất lớn và M₂ là máy bơm công suất nhỏ. Bể có ba mức nước quy định là MT (mức thấp), MG (mức giữa) và MC (mức cao) với yêu cầu: Khi bơm nước đến MT ≤ MN < MG thì cả hai máy bơm được cấp điện.

Đề 18:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp đại số và phương pháp bảng Các-nô

$$Y = f(A, B, C, D) = \sum(1, 2, 5, 7, 8, 11, 12, 13, 14, 15)$$

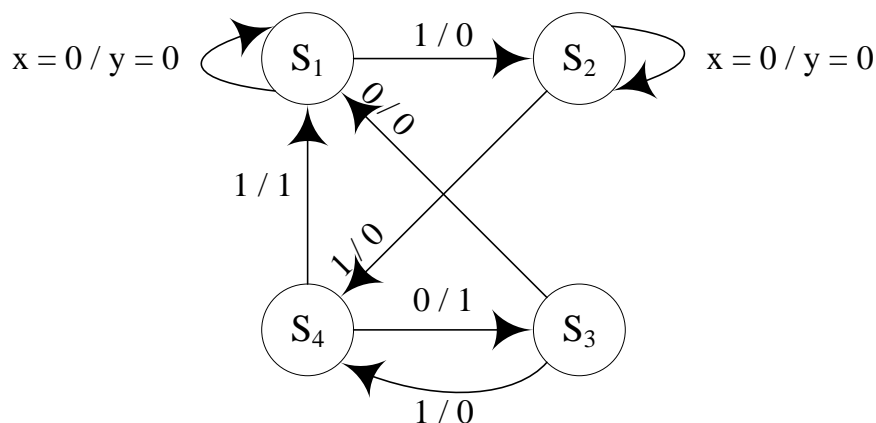
$$Y = f(A, B, C, D) = \sum(2, 5, 6, 7, 8, 9, 10, 12, 14, 15)$$

Bài 2. Một hệ thống đèn đặt theo kiểu ma trận có khả năng hiển thị các chữ cái như hình vẽ. Trên hình, ma trận đang hiển thị chữ E. Hãy thiết kế mạch điều khiển cho ma trận đèn trên để có thể sáng các chữ cái A, B, C, E, F, H, I, L, P và các số từ 0 đến 9.

1	2	3
4	5	6
7	8	9
10	11	12
13	14	15

Bài 3. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng Mạch biểu quyết đa số, 5 bit đầu vào, 1 bit đầu ra, đầu ra mức cao khi đa số đầu vào ở mức cao.

Bài 4. Cho mạch tuần tự có đồ hình trạng thái như sau. Lập bảng chuyển trạng thái cho mạch tuần tự đó theo mô hình Mealy. Biến đổi đồ hình và bảng chuyển trạng thái đã cho theo mô hình Moore



Bài 5. Xây dựng D Flip-Flop từ SR Flip-Flop

Đề 19:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp bảng Các-nô và vẽ sơ đồ mạch logic tối thiểu trong các trường hợp: chỉ được sử dụng cổng logic 2 đầu vào; chỉ được sử dụng cổng NAND

$$Y = f(A, B, C, D, E) = \Pi(2, 5, 8, 10, 11, 18, 19, 24, 28, 29)$$

$$Y = f(A, B, C, D, E) = \Pi(3, 5, 7, 10, 11, 18, 19, 24, 28, 29)$$

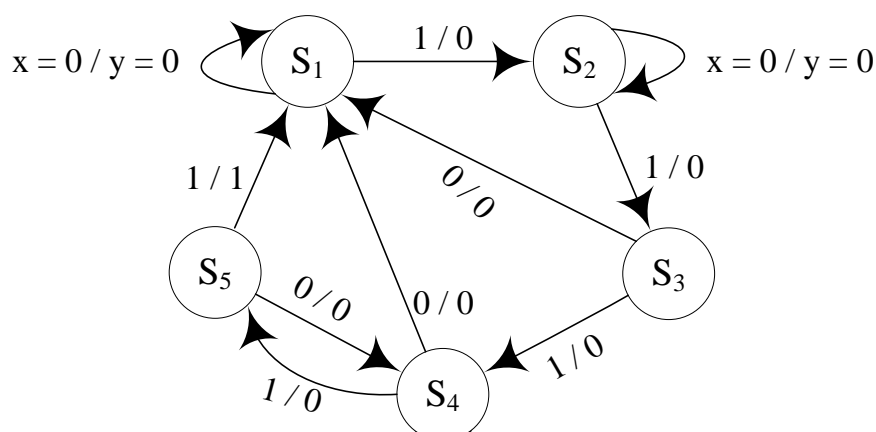
Bài 2. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng kiểm tra chẵn có 5 đầu vào, 1 đầu ra, nếu đầu vào có số chẵn ở mức cao thì đầu ra ở mức cao

Bài 3. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₂ /y = 0
S ₂	S ₄ /y = 1	S ₁ /y = 0
S ₃	S ₅ /y = 0	S ₆ /y = 0
S ₄	S ₆ /y = 1	S ₂ /y = 0
S ₅	S ₃ /y = 0	S ₆ /y = 0
S ₆	S ₂ /y = 1	S ₃ /y = 0
S ₇	S ₇ /y = 0	S ₂ /y = 0
S ₈	S ₈ /y = 1	S ₇ /y = 0

Bài 4. Thiết kế bộ đếm đồng bộ: Hệ số đếm K_d = 10, mã Gray, đếm thuận

Bài 5. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng JK Flip-Flop



Đề 20:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp biến đổi đại số

$$\overline{CD + \overline{C} \overline{D} \overline{A} C + \overline{D}}$$

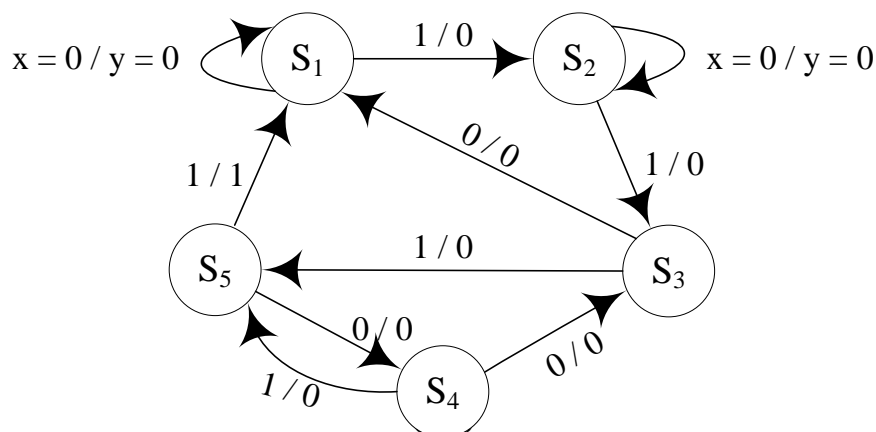
$$\overline{\overline{A} \overline{B} \overline{C} \overline{A} \overline{B} + \overline{B} \overline{C} + \overline{C} \overline{A}}$$

Bài 2. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng kiểm tra lẻ có 5 đầu vào, 1 đầu ra, nếu đầu vào có số lẻ ở mức cao thì đầu ra ở mức cao.

Bài 3. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 1	S ₂ /y = 0
S ₂	S ₄ /y = 0	S ₃ /y = 0
S ₃	S ₅ /y = 1	S ₇ /y = 0
S ₄	S ₂ /y = 0	S ₃ /y = 0
S ₅	S ₈ /y = 1	S ₄ /y = 0
S ₆	S ₃ /y = 0	S ₈ /y = 0
S ₇	S ₇ /y = 1	S ₁ /y = 0
S ₈	S ₃ /y = 0	S ₆ /y = 0

Bài 4. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng JK Flip-Flop



Bài 5. Thiết kế bộ đếm đồng bộ: Hệ số đếm K_d = 12, mã Gray, đếm thuận

Đề 21:

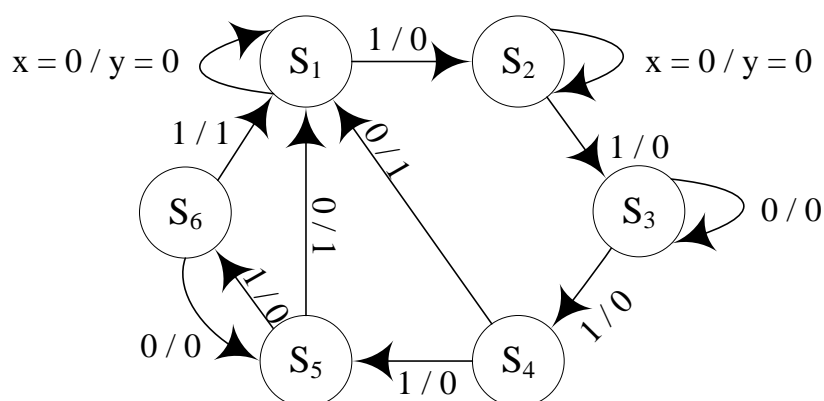
Bài 1. Tối thiểu các hàm logic sau bằng phương pháp bảng Các-nô và vẽ sơ đồ mạch logic tối thiểu trong các trường hợp: chỉ được sử dụng cổng logic 2 đầu vào; chỉ được sử dụng cổng NAND

$$Y = f(A, B, C, D, E) = \Pi(4, 5, 6, 10, 11, 18, 19, 24, 28, 29)$$

$$Y = f(A, B, C, D, E) = \Pi(1, 3, 9, 10, 12, 18, 19, 24, 28, 29)$$

Bài 2. Xây dựng D Flip-Flop từ T Flip-Flop

Bài 3. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng Flip-Flop tùy chọn



Bài 4. Thiết kế bộ đếm đồng bộ: Hệ số đếm $K_d = 12$, mã Gray, đếm thuận

Bài 5. Thiết kế một mạch điều khiển cấp điện cho một hệ thống hai máy bơm bơm nước lên bể cao tầng, M_1 là máy bơm công suất lớn và M_2 là máy bơm công suất nhỏ. Bể có ba mức nước quy định là MT (mức thấp), MG (mức giữa) và MC (mức cao) với yêu cầu: Mức nước tăng đến $MG \leq MN < MC$ thì M_1 cấp điện, M_2 cắt điện.

Đề 22:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp biến đổi đại số

$$\overline{A}C + AB + \overline{B}C + BCDE$$
$$AB(A \oplus B \oplus C)$$

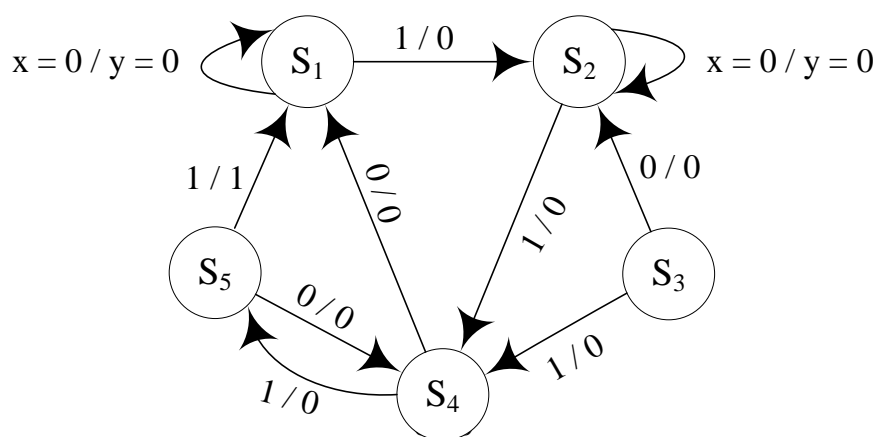
Bài 2. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng kiểm tra tính chia hết cho 2 có 5 đầu vào, 1 đầu ra, tín hiệu ra ở mức cao nếu số 5 bit ở đầu vào chia hết cho 2

Bài 3. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 1	S ₂ /y = 0
S ₂	S ₆ /y = 1	S ₁ /y = 0
S ₃	S ₅ /y = 1	S ₄ /y = 0
S ₄	S ₄ /y = 1	S ₂ /y = 0
S ₅	S ₅ /y = 0	S ₇ /y = 0
S ₆	S ₃ /y = 0	S ₃ /y = 0
S ₇	S ₇ /y = 0	S ₆ /y = 0
S ₈	S ₈ /y = 0	S ₇ /y = 0

Bài 4. Xây dựng T Flip-Flop từ SR Flip-Flop.

Bài 5. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng JK Flip-Flop



Đề 23:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp biến đổi đại số

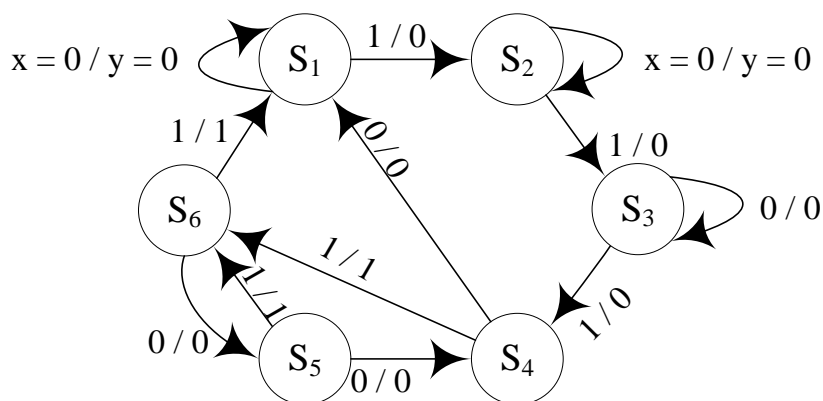
$$(A + B + \overline{C})(\overline{A} \overline{B} + C) \\ (B\overline{C} + \overline{A}D)(\overline{A}\overline{B} + C\overline{D})$$

Bài 2. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng Kiểm tra tính chia hết cho 3 có 5 đầu vào, 1 đầu ra, tín hiệu ra ở mức cao nếu số 5 bit ở đầu vào chia hết cho 3

Bài 3. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₂ /y = 0
S ₂	S ₇ /y = 0	S ₃ /y = 0
S ₃	S ₃ /y = 1	S ₄ /y = 0
S ₄	S ₄ /y = 1	S ₅ /y = 0
S ₅	S ₂ /y = 1	S ₈ /y = 0
S ₆	S ₆ /y = 1	S ₄ /y = 0
S ₇	S ₂ /y = 0	S ₃ /y = 0
S ₈	S ₈ /y = 0	S ₆ /y = 0

Bài 4. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng Flip-Flop tùy chọn



Bài 5. Thiết kế bộ đếm không đồng bộ: Hệ số đếm $K_d = 8$, mã Gray, đếm thuận

Đề 24:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp đại số và phương pháp bảng Các-nô

$$Y = f(A, B, C, D) = \sum(1, 5, 6, 7, 8, 9, 10, 12, 14, 15)$$

$$Y = f(A, B, C, D) = \sum(1, 5, 6, 7, 8, 9, 10, 12, 13, 15)$$

Bài 2. Tối thiểu các hàm logic sau bằng phương pháp Mc-Cluskey và vẽ sơ đồ mạch logic tối thiểu

$$Y = f(A, B, C, D) = \sum(0, 1, 3, 5, 6, 7, 9, 12, 13, 15)$$

$$Y = f(A, B, C, D) = \sum(0, 1, 3, 6, 7, 9, 11, 12, 13, 15)$$

Bài 3. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng Mạch biểu quyết đa số, 5 bit đầu vào, 1 bit đầu ra, đầu ra mức cao khi đa số đầu vào ở mức cao.

Bài 4. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₄ /y = 0
S ₂	S ₆ /y = 0	S ₁ /y = 0
S ₃	S ₃ /y = 0	S ₄ /y = 0
S ₄	S ₄ /y = 0	S ₂ /y = 0
S ₅	S ₅ /y = 1	S ₇ /y = 0
S ₆	S ₃ /y = 1	S ₃ /y = 0
S ₇	S ₇ /y = 1	S ₅ /y = 0
S ₈	S ₈ /y = 1	S ₆ /y = 0

Bài 5. Thiết kế bộ đếm đồng bộ: Hệ số đếm K_d = 16, mã Gray, đếm thuận.

Đề 25:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp biến đổi đại số

$$\overline{A}B(\overline{D} + \overline{C}D) + B(A + \overline{A}CD)$$

$$(\overline{A} + C)(\overline{A} + \overline{C})(A + B + \overline{C}D)$$

Bài 2. Tối thiểu các hàm logic sau bằng phương pháp bảng Các-nô và vẽ sơ đồ mạch logic tối thiểu trong các trường hợp: chỉ được sử dụng cổng logic 2 đầu vào; chỉ được sử dụng cổng NAND

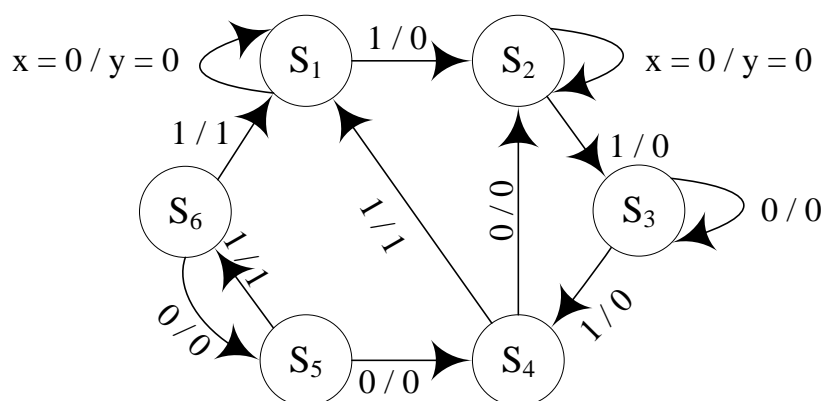
$$Y = f(A, B, C, D, E) = \Pi(1, 4, 9, 10, 13, 18, 19, 24, 28, 29)$$

$$Y = f(A, B, C, D, E) = \Pi(1, 5, 8, 10, 11, 16, 19, 24, 28, 29)$$

Bài 3. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 1	S ₄ /y = 0
S ₂	S ₆ /y = 1	S ₁ /y = 0
S ₃	S ₃ /y = 0	S ₆ /y = 0
S ₄	S ₄ /y = 0	S ₂ /y = 0
S ₅	S ₅ /y = 1	S ₇ /y = 0
S ₆	S ₆ /y = 1	S ₄ /y = 0
S ₇	S ₇ /y = 0	S ₅ /y = 0
S ₈	S ₈ /y = 0	S ₆ /y = 0

Bài 4. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng JK Flip-Flop



Bài 5. Thiết kế một mạch điều khiển cấp điện cho một hệ thống hai máy bơm bơm nước lên bể cao tầng, M₁ là máy bơm công suất lớn và M₂ là máy bơm công suất nhỏ. Bể có ba mức nước quy định là MT (mức thấp), MG (mức giữa) và MC (mức cao) với yêu cầu như sau: Khi bơm nước đến MC ≤ MN thì cả hai máy bơm được cắt điện.

Đề 26:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp đại số và phương pháp bảng Các-nô

$$Y = f(A, B, C, D) = \sum(0, 1, 3, 5, 6, 7, 9, 12, 13, 15)$$

$$Y = f(A, B, C, D) = \sum(0, 1, 3, 6, 7, 9, 11, 12, 13, 15)$$

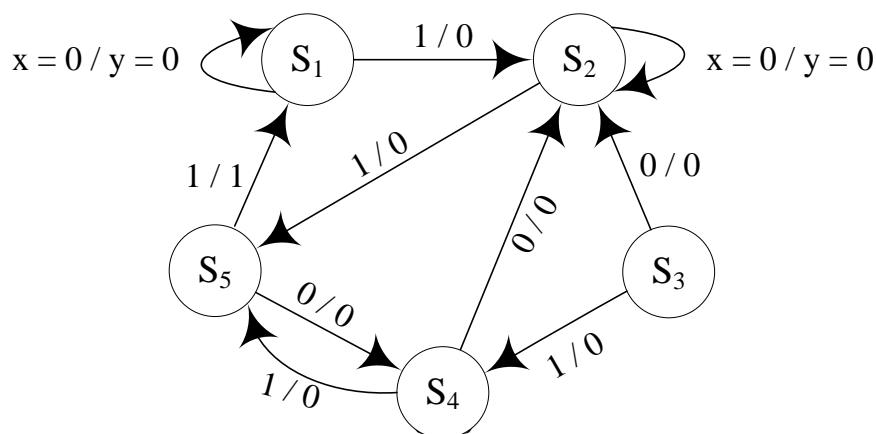
Bài 2. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng mạch nhân hai số 2 bit, đầu vào là 2 nhân tử 2 bit, đầu ra là tích số 4 bit

Bài 3. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 1	S ₂ /y = 0
S ₂	S ₅ /y = 1	S ₃ /y = 0
S ₃	S ₃ /y = 0	S ₄ /y = 0
S ₄	S ₄ /y = 0	S ₅ /y = 0
S ₅	S ₂ /y = 1	S ₃ /y = 0
S ₆	S ₃ /y = 1	S ₁ /y = 0
S ₇	S ₇ /y = 0	S ₅ /y = 0
S ₈	S ₈ /y = 0	S ₆ /y = 0

Bài 4. Xây dựng T Flip-Flop từ JK Flip-Flop

Bài 5. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng JK Flip-Flop



Đề 27:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp bảng Các-nô và vẽ sơ đồ mạch logic tối thiểu trong các trường hợp: chỉ được sử dụng cổng logic 2 đầu vào; chỉ được sử dụng cổng NAND

$$Y = f(A, B, C, D, E) = \Pi(1, 5, 7, 10, 11, 15, 19, 24, 28, 29)$$

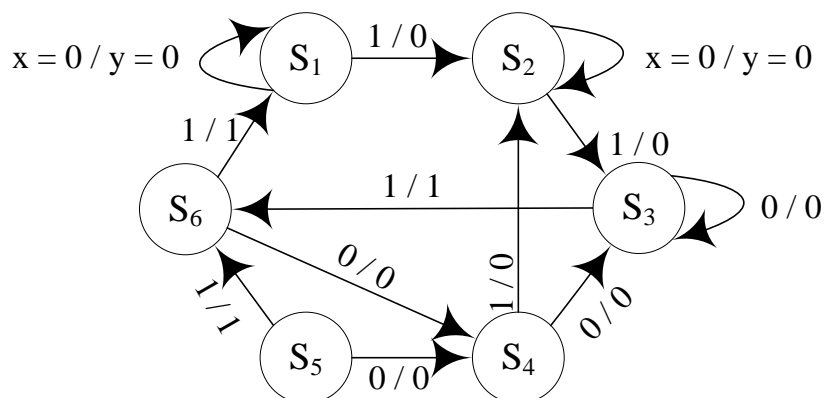
$$Y = f(A, B, C, D, E) = \Pi(1, 5, 6, 10, 11, 14, 19, 24, 28, 29)$$

Bài 2. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng mạch ghép kênh có 6 đầu vào dữ liệu

Bài 3. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 1	S ₂ /y = 0
S ₂	S ₅ /y = 1	S ₁ /y = 0
S ₃	S ₆ /y = 0	S ₄ /y = 0
S ₄	S ₄ /y = 0	S ₅ /y = 0
S ₅	S ₂ /y = 0	S ₃ /y = 0
S ₆	S ₃ /y = 0	S ₄ /y = 0
S ₇	S ₇ /y = 1	S ₆ /y = 0
S ₈	S ₈ /y = 1	S ₂ /y = 0

Bài 4. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng Flip-Flop tùy chọn



Bài 5. Thiết kế bộ đếm không đồng bộ: Hệ số đếm K_d = 10, mã Gray, đếm thuận

Đề 28:

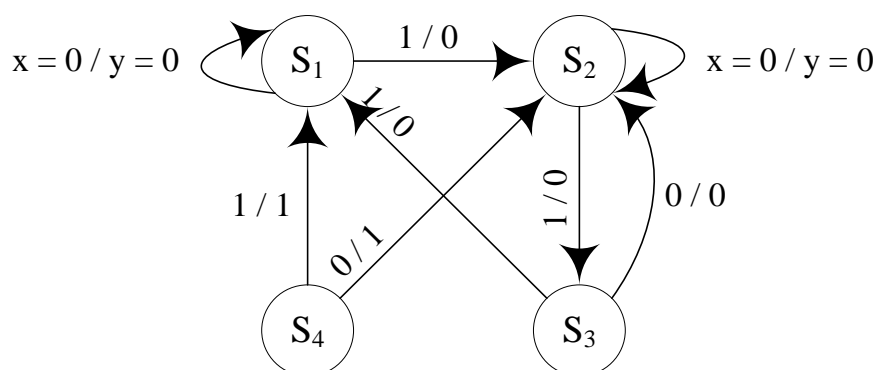
Bài 1. Tối thiểu các hàm logic sau bằng phương pháp đại số và phương pháp bảng Các-nô

$$Y = f(A, B, C, D) = \sum(0, 1, 3, 5, 6, 7, 11, 12, 13, 15)$$

$$Y = f(A, B, C, D) = \sum(0, 1, 2, 5, 6, 7, 11, 12, 13, 15)$$

Bài 2. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng mạch ghép kênh có 8 đầu vào dữ liệu

Bài 3. Cho mạch tuần tự có đồ hình trạng thái như sau. Lập bảng chuyển trạng thái cho mạch tuần tự đó theo mô hình Mealy. Biến đổi đồ hình và bảng chuyển trạng thái đã cho theo mô hình Moore



Bài 4. Xây dựng T Flip-Flop từ JK Flip-Flop

Bài 5. Thiết kế một mạch điều khiển cấp điện cho một hệ thống hai máy bơm bơm nước lên bể cao tầng, M_1 là máy bơm công suất lớn và M_2 là máy bơm công suất nhỏ. Bể có ba mức nước quy định là MT (mức thấp), MG (mức giữa) và MC (mức cao) với yêu cầu như sau: Khi dùng nước đến $MG \leq MN < MC$ thì M_2 cấp điện, M_1 cắt điện.

Đề 29:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp Mc-Cluskey và vẽ sơ đồ mạch logic tối thiểu

$$Y = f(A, B, C, D) = \sum(0, 1, 3, 5, 6, 7, 11, 12, 13, 15)$$

$$Y = f(A, B, C, D) = \sum(0, 1, 2, 5, 6, 7, 11, 12, 13, 15)$$

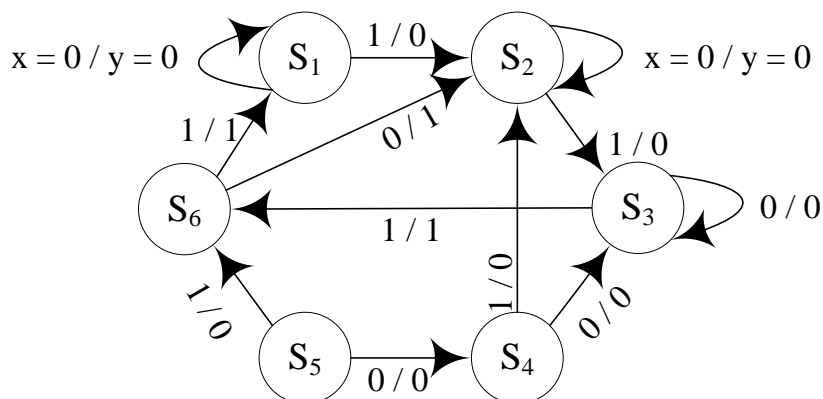
Bài 2. Tối thiểu các hàm logic sau bằng phương pháp bảng Các-nô và vẽ sơ đồ mạch logic tối thiểu trong các trường hợp: chỉ được sử dụng cổng logic 2 đầu vào; chỉ được sử dụng cổng NAND

$$Y = f(A, B, C, D, E) = \Pi(1, 5, 9, 12, 13, 18, 19, 24, 28, 29)$$

$$Y = f(A, B, C, D, E) = \Pi(1, 5, 9, 13, 15, 18, 19, 24, 28, 29)$$

Bài 3. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng mạch tách kênh có 6 đầu ra dữ liệu

Bài 4. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng Flip-Flop tùy chọn



Bài 5. Thiết kế bộ đếm không đồng bộ: Hệ số đếm $K_d = 6$, mã nhị phân, đếm nghịch

Đề 30:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp đại số và phương pháp bảng Các-nô

$$Y = f(A, B, C, D) = \sum(0, 1, 2, 5, 6, 7, 11, 12, 14, 15)$$

$$Y = f(A, B, C, D) = \sum(0, 1, 2, 5, 6, 7, 12, 13, 14, 15)$$

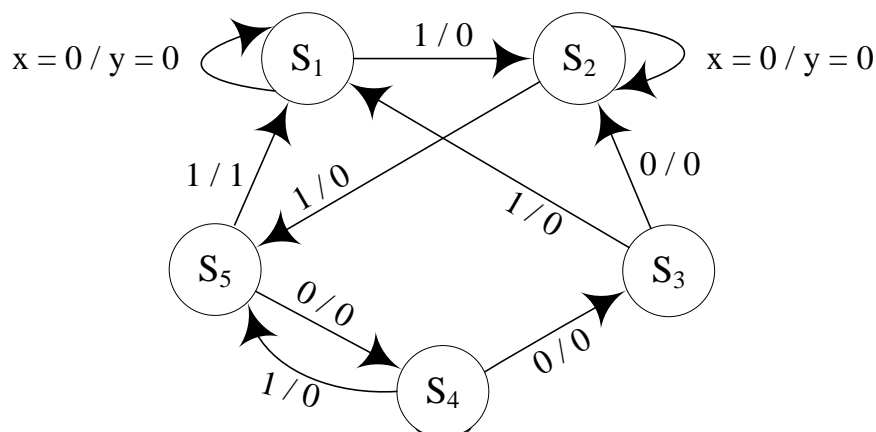
Bài 2. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng mạch tách kênh có 8 đầu ra dữ liệu

Bài 3. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 1	S ₂ /y = 0
S ₂	S ₇ /y = 1	S ₃ /y = 0
S ₃	S ₃ /y = 0	S ₄ /y = 0
S ₄	S ₄ /y = 0	S ₅ /y = 0
S ₅	S ₂ /y = 0	S ₈ /y = 0
S ₆	S ₆ /y = 0	S ₄ /y = 0
S ₇	S ₂ /y = 1	S ₃ /y = 0
S ₈	S ₈ /y = 1	S ₆ /y = 0

Bài 4. Xây dựng T Flip-Flop từ D Flip-Flop

Bài 5. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng JK Flip-Flop



Đề 31:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp Mc-Cluskey và vẽ sơ đồ mạch logic tối thiểu

$$Y = f(A, B, C, D) = \sum(0, 1, 2, 5, 6, 7, 11, 12, 14, 15)$$

$$Y = f(A, B, C, D) = \sum(0, 1, 2, 5, 6, 7, 12, 13, 14, 15)$$

Bài 2. Tối thiểu các hàm logic sau bằng phương pháp bảng Các-nô và vẽ sơ đồ mạch logic tối thiểu trong các trường hợp: chỉ được sử dụng cổng logic 2 đầu vào; chỉ được sử dụng cổng NAND

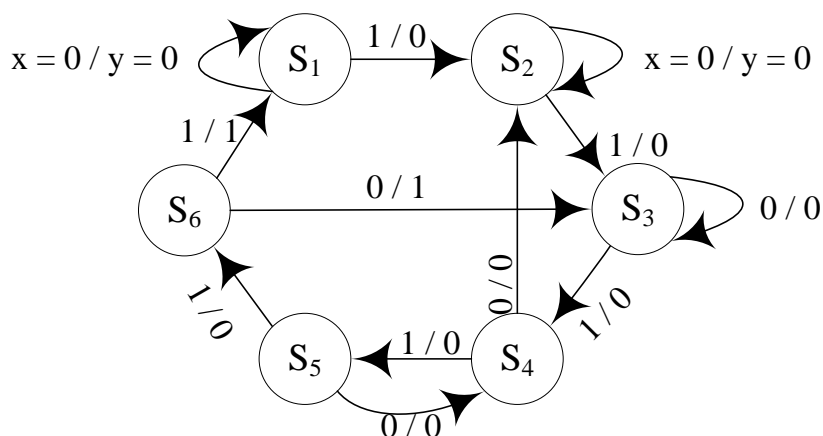
$$Y = f(A, B, C, D, E) = \Pi(1, 5, 9, 14, 16, 18, 19, 24, 28, 29)$$

$$Y = f(A, B, C, D, E) = \Pi(1, 5, 9, 10, 12, 15, 19, 24, 28, 29)$$

Bài 3. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng mạch so sánh 2 số nhị phân 4 bit

Bài 4. Thiết kế bộ đếm đồng bộ: Hệ số đếm $K_d = 16$, mã Gray, đếm thuận

Bài 5. Thiết kế mạch tuần tự đồng bộ một đầu vào x , một đầu ra y , có đồ hình trạng thái như hình dưới, sử dụng Flip-Flop tùy chọn



Đề 32

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp Mc-Cluskey và vẽ sơ đồ mạch logic tối thiểu

$$Y = f(A, B, C, D) = \sum(0, 1, 2, 5, 6, 7, 12, 13, 14, 15)$$

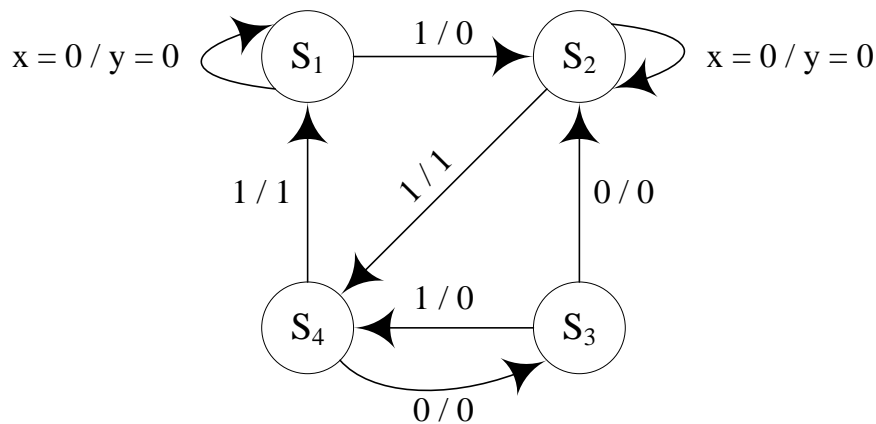
$$Y = f(A, B, C, D) = \sum(0, 1, 2, 5, 6, 7, 9, 12, 13, 15)$$

Bài 2. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng mạch so sánh 2 số nhị phân 16 bit dùng IC 74LS85

Bài 3. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 1	S ₂ /y = 0
S ₂	S ₇ /y = 1	S ₃ /y = 0
S ₃	S ₃ /y = 0	S ₄ /y = 0
S ₄	S ₄ /y = 0	S ₅ /y = 0
S ₅	S ₂ /y = 0	S ₈ /y = 0
S ₆	S ₆ /y = 0	S ₄ /y = 0
S ₇	S ₂ /y = 1	S ₃ /y = 0
S ₈	S ₈ /y = 1	S ₆ /y = 0

Bài 4. Cho mạch tuần tự có đồ hình trạng thái như sau. Lập bảng chuyển trạng thái cho mạch tuần tự đó theo mô hình Mealy. Biên đổi đồ hình và bảng chuyển trạng thái đã cho theo mô hình Moore



Bài 5. Thiết kế bộ đếm không đồng bộ: Hệ số đếm $K_d = 8$, mã nhị phân, đếm nghịch

Đề 33

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp Mc-Cluskey và vẽ sơ đồ mạch logic tối thiểu

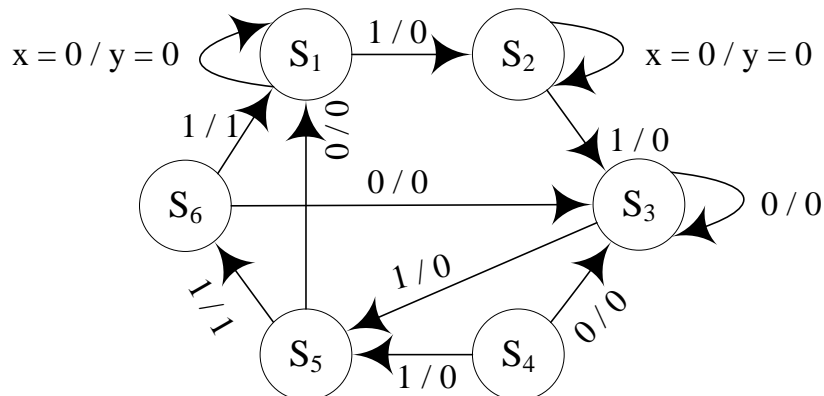
$$Y = f(A, B, C, D) = \sum(0, 1, 2, 4, 5, 6, 7, 10, 12, 13, 15)$$

$$Y = f(A, B, C, D) = \sum(1, 2, 4, 6, 7, 8, 9, 12, 13, 14)$$

Bài 2. Một hệ thống đèn đặt theo kiểu ma trận có khả năng hiển thị các chữ cái như hình vẽ. Trên hình, ma trận đang hiển thị chữ E. Hãy thiết kế mạch điều khiển cho ma trận đèn trên để có thể sáng các chữ cái A, B, C, E, F và các số từ 0 đến 9.

1	2	3
4	5	6
7	8	9
10	11	12
13	14	15

Bài 3. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng Flip-Flop tùy chọn



Bài 4. Thiết kế bộ đếm đồng bộ: Hệ số đếm $K_d = 6$, mã nhị phân, đếm nghịch

Bài 5. Thiết kế một mạch điều khiển cấp điện cho một hệ thống hai máy bơm bơm nước lên bể cao tầng, M_1 là máy bơm công suất lớn và M_2 là máy bơm công suất nhỏ. Bể có ba mức nước quy định là MT (mức thấp), MG (mức giữa) và MC (mức cao) với yêu cầu: Khi dùng nước đến $MT \leq MN < MG$ thì M_1 cấp điện, M_2 cắt điện.

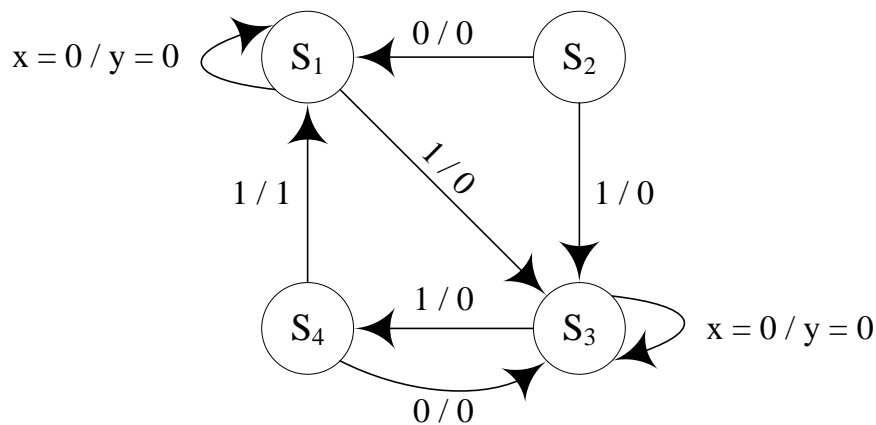
Đề 34

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp bảng Các-nô và vẽ sơ đồ mạch logic tối thiểu trong các trường hợp: chỉ được sử dụng cổng logic 2 đầu vào; chỉ được sử dụng cổng NAND

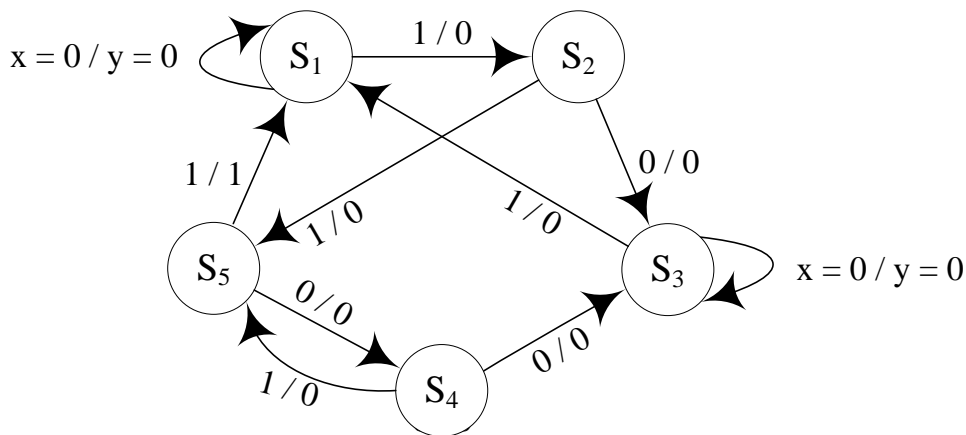
$$Y = f(A, B, C, D, E) = \Pi(0, 5, 9, 10, 15, 18, 19, 24, 28, 29)$$

$$Y = f(A, B, C, D, E) = \Pi(3, 5, 9, 10, 11, 18, 21, 24, 28, 29)$$

Bài 2. Cho mạch tuần tự có đồ hình trạng thái như sau. Lập bảng chuyển trạng thái cho mạch tuần tự đó theo mô hình Mealy. Biến đổi đồ hình và bảng chuyển trạng thái đã cho theo mô hình Moore



Bài 3. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng JK Flip-Flop



Bài 4. Thiết kế bộ đếm đồng bộ: Hệ số đếm $K_d = 9$, mã nhị phân, đếm nghịch

Bài 5. Thiết kế một mạch điều khiển cấp điện cho một hệ thống hai máy bơm bơm nước lên bể cao tầng, M_1 là máy bơm công suất lớn và M_2 là máy bơm công suất nhỏ. Bể có ba mức nước quy định là MT (mức thấp), MG (mức giữa) và MC (mức cao) với yêu cầu: Khi dùng nước đến $MN < MT$ thì cả hai máy bơm được cấp điện.

Đề 35:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp đại số và phương pháp bảng Các-nô

$$Y = f(A, B, C, D) = \sum(0, 1, 2, 5, 6, 7, 9, 12, 13, 15)$$

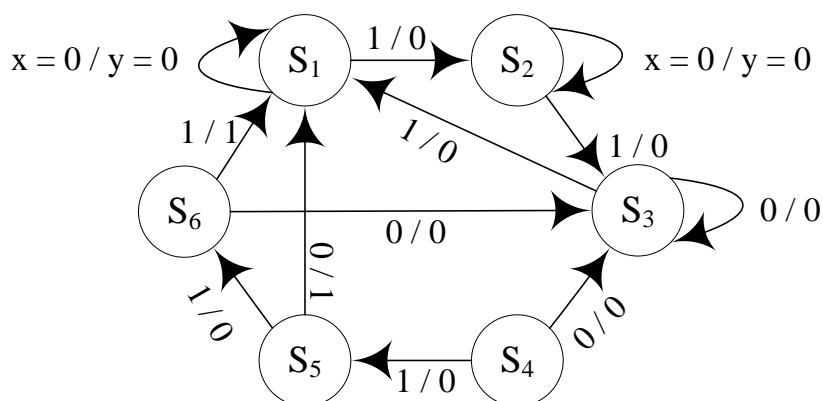
$$Y = f(A, B, C, D) = \sum(0, 1, 2, 4, 5, 6, 7, 10, 12, 13, 15)$$

Bài 2. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng mạch tách kênh có 8 đầu ra dữ liệu

Bài 3. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 1	S ₂ /y = 0
S ₂	S ₇ /y = 1	S ₃ /y = 0
S ₃	S ₃ /y = 0	S ₄ /y = 0
S ₄	S ₄ /y = 0	S ₅ /y = 0
S ₅	S ₂ /y = 0	S ₈ /y = 0
S ₆	S ₆ /y = 0	S ₄ /y = 0
S ₇	S ₂ /y = 1	S ₃ /y = 0
S ₈	S ₈ /y = 1	S ₆ /y = 0

Bài 4. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng Flip-Flop tùy chọn



Bài 5. Thiết kế bộ đếm không đồng bộ: Hệ số đếm $K_d = 8$, mã nhị phân, đếm nghịch

Đề 36:

Bài 1. Xác định tính đúng đắn của các đẳng thức logic sau bằng phương pháp bảng giá trị hàm và phương pháp đại số

$$AB + BCD + \overline{A}C + \overline{B}C = AB + C$$
$$A \oplus B \oplus C \oplus D = A \oplus \overline{B} \oplus C \oplus \overline{D}$$

Bài 2. Tối thiểu các hàm logic sau bằng phương pháp biến đổi đại số

$$AB + \overline{A}C + \overline{B}C + \overline{C}D + D$$

$$A(\overline{A}C + BD) + B(C + DE) + B\overline{C}$$

Bài 3. Tối thiểu các hàm logic sau bằng phương pháp đại số và phương pháp bảng Các-nô

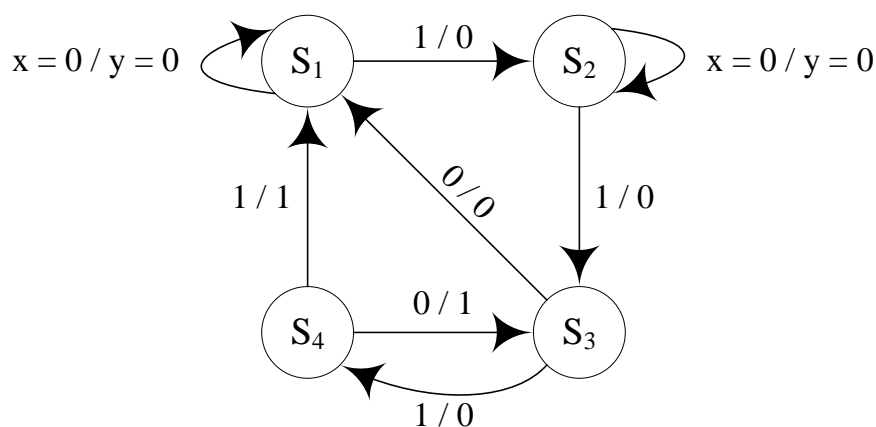
$$Y = f(A, B, C, D) = \sum(0, 2, 4, 6, 7, 9, 10, 11, 13, 15)$$

$$Y = f(A, B, C, D) = \sum(0, 1, 2, 4, 6, 7, 9, 10, 11, 15)$$

Bài 4. Một hệ thống đèn đặt theo kiểu ma trận có khả năng hiển thị các chữ cái như hình vẽ. Trên hình, ma trận đang hiển thị chữ E. Hãy thiết kế mạch điều khiển cho ma trận đèn trên để có thể sáng các chữ số A, B, C, E, F, H, I, L, P

1	2	3
4	5	6
7	8	9
10	11	12
13	14	15

Bài 5. Cho mạch tuần tự có đồ hình trạng thái như sau. Lập bảng chuyển trạng thái cho mạch tuần tự đó theo mô hình Mealy. Biến đổi đồ hình và bảng chuyển trạng thái đã cho theo mô hình Moore



Đề 37:

Bài 1. Xác định tính đúng đắn của các đẳng thức logic sau bằng phương pháp bảng giá trị hàm và phương pháp đại số

$$ABCD + \overline{A} \overline{B} \overline{C} \overline{D} = \overline{AB} + \overline{BC} + \overline{CD} + \overline{DA}$$
$$\overline{AB} + \overline{BC} + \overline{CA} = \overline{AB} + \overline{BC} + \overline{CA}$$

Bài 2. Tối thiểu các hàm logic sau bằng phương pháp đại số và phương pháp bảng Các-nô

$$Y = f(A, B, C, D) = \sum(1, 2, 4, 5, 6, 7, 9, 10, 11, 15)$$

$$Y = f(A, B, C, D) = \sum(1, 2, 4, 5, 6, 7, 9, 10, 12, 15)$$

Bài 3. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng chuyển mã nhị phân 4 bit đầu vào thành mã dư ba ở đầu ra

Bài 4. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₂ /y = 0
S ₂	S ₄ /y = 0	S ₁ /y = 1
S ₃	S ₅ /y = 0	S ₆ /y = 0
S ₄	S ₆ /y = 0	S ₂ /y = 1
S ₅	S ₃ /y = 0	S ₆ /y = 0
S ₆	S ₂ /y = 0	S ₃ /y = 1
S ₇	S ₇ /y = 0	S ₂ /y = 0
S ₈	S ₈ /y = 0	S ₇ /y = 1

Bài 5. Thiết kế bộ đếm đồng bộ: Hệ số đếm K_d = 6, mã nhị phân, đếm thuận.

Đề 38:

Bài 1. Xác định tính đúng đắn của các đẳng thức logic sau bằng phương pháp bảng giá trị hàm và phương pháp đại số

$$\overline{A \oplus B \oplus C} = \overline{A} \oplus \overline{B} \oplus \overline{C}$$
$$A\overline{B} + BD + DCE + D\overline{A} = A\overline{B} + D$$

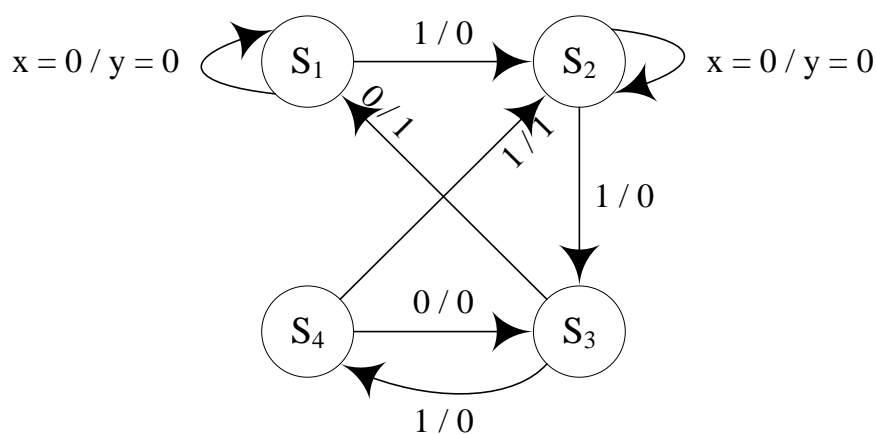
Bài 2. Tối thiểu các hàm logic sau bằng phương pháp Mc-Cluskey và vẽ sơ đồ mạch logic tối thiểu

$$Y = f(A, B, C, D) = \sum(0, 2, 4, 6, 7, 9, 10, 11, 13, 15)$$

$$Y = f(A, B, C, D) = \sum(0, 1, 2, 4, 6, 7, 9, 10, 11, 15)$$

Bài 3. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng chuyển mã nhị phân 4 bit đầu vào thành mã Gray ở đầu ra

Bài 4. Cho mạch tuần tự có đồ hình trạng thái như sau. Lập bảng chuyển trạng thái cho mạch tuần tự đó theo mô hình Mealy. Biến đổi đồ hình và bảng chuyển trạng thái đã cho theo mô hình Moore



Bài 5. Xây dựng SR Flip-Flop từ JK Flip-Flop.

Đề 39:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp biến đổi đại số

$$A + \overline{\overline{B}} + \overline{\overline{CD}} + \overline{\overline{AD}} \overline{B}$$
$$AD + BC\overline{D} + C(\overline{A} + \overline{B})$$

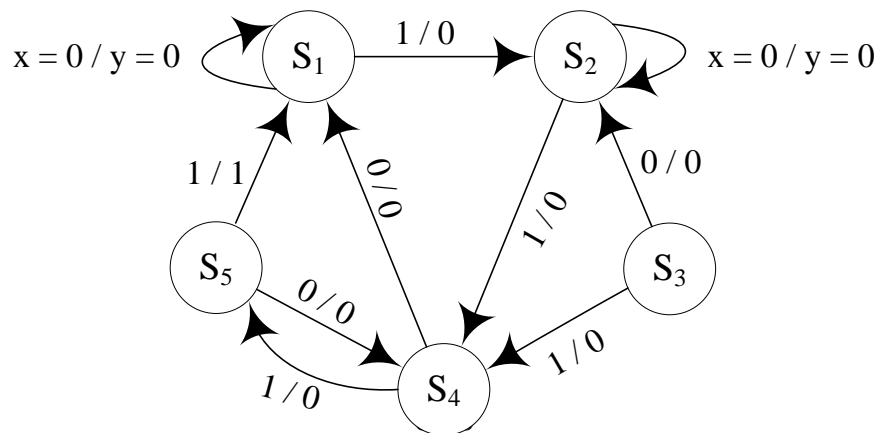
Bài 2. Tối thiểu các hàm logic sau bằng phương pháp đại số và phương pháp bảng Các-nô

$$Y = f(A, B, C, D) = \sum(1, 2, 4, 5, 7, 8, 10, 12, 13, 15)$$

$$Y = f(A, B, C, D) = \sum(1, 2, 4, 5, 6, 7, 8, 10, 12, 15)$$

Bài 3. Xây dựng SR Flip-Flop từ D Flip-Flop

Bài 4. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng JK Flip-Flop



Bài 5. Thiết kế bộ đếm không đồng bộ: Hệ số đếm Kđ = 6, mã nhị phân, đếm thuận

Đề 40:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp Mc-Cluskey và vẽ sơ đồ mạch logic tối thiểu

$$Y = f(A, B, C, D) = \sum(1, 2, 4, 5, 6, 7, 9, 10, 11, 15)$$

$$Y = f(A, B, C, D) = \sum(1, 2, 4, 5, 6, 7, 9, 10, 12, 15)$$

Bài 2. Tối thiểu các hàm logic sau bằng phương pháp bảng Các-nô và vẽ sơ đồ mạch logic tối thiểu trong các trường hợp: chỉ được sử dụng cổng logic 2 đầu vào; chỉ được sử dụng cổng NAND

$$Y = f(A, B, C, D, E) = \Pi(1, 5, 9, 10, 11, 18, 19, 24, 28, 29)$$

$$Y = f(A, B, C, D, E) = \Pi(0, 3, 9, 10, 11, 18, 19, 24, 28, 29)$$

Bài 3. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng chuyển mã BCD 4 bit đầu vào thành mã dư ba ở đầu ra.

Bài 4. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₂ /y = 1
S ₂	S ₄ /y = 0	S ₃ /y = 0
S ₃	S ₅ /y = 0	S ₇ /y = 1
S ₄	S ₂ /y = 0	S ₃ /y = 0
S ₅	S ₈ /y = 0	S ₄ /y = 1
S ₆	S ₃ /y = 0	S ₈ /y = 0
S ₇	S ₇ /y = 0	S ₁ /y = 1
S ₈	S ₃ /y = 0	S ₆ /y = 0

Bài 5. Thiết kế bộ đếm không đồng bộ: Hệ số đếm K_d = 6, mã nhị phân, đếm thuận

Đề 41:

Bài 1. Xác định tính đúng đắn của các đẳng thức logic sau bằng phương pháp bảng giá trị hàm và phương pháp đại số

$$A(A \oplus B) = A\overline{B}$$
$$AB(C + D) + D + \overline{D}(A + B)(\overline{B} + \overline{C}) = A + B\overline{C} + D$$

Bài 2. Tối thiểu các hàm logic sau bằng phương pháp bảng Các-nô và vẽ sơ đồ mạch logic tối thiểu trong các trường hợp: chỉ được sử dụng cổng logic 2 đầu vào; chỉ được sử dụng cổng NAND

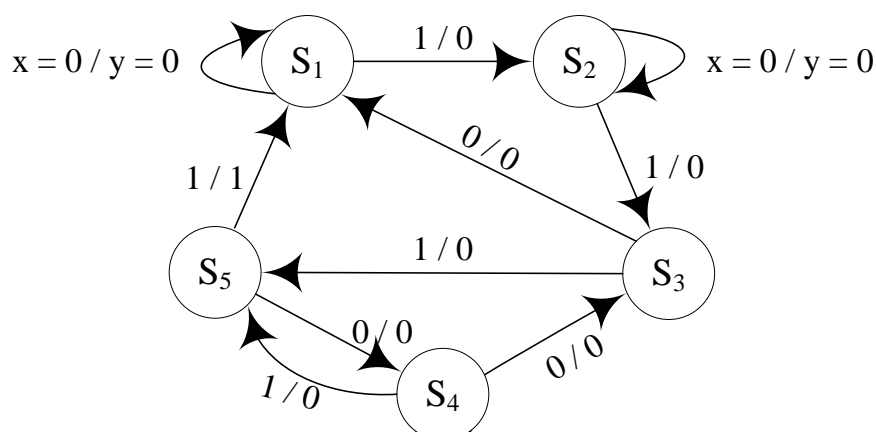
$$Y = f(A, B, C, D, E) = \Pi(1, 5, 7, 8, 11, 18, 19, 24, 28, 29)$$

$$Y = f(A, B, C, D, E) = \Pi(1, 5, 9, 10, 12, 16, 19, 24, 28, 29)$$

Bài 3. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng chuyển mã BCD 4 bit đầu vào thành mã Gray ở đầu ra

Bài 4. Tổng hợp bộ cộng nhanh thấy trước nhớ 4 bit tương tự như IC 74LS83

Bài 5. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng JK Flip-Flop



Đề 42:

Bài 1. Xác định tính đúng đắn của các đẳng thức logic sau bằng phương pháp bảng giá trị hàm và phương pháp đại số

$$AB + \overline{A}C + BC = AB + \overline{A}C$$

$$A \oplus B \oplus C = ABC + (A + B + C)(\overline{AB} + \overline{BC} + \overline{CA})$$

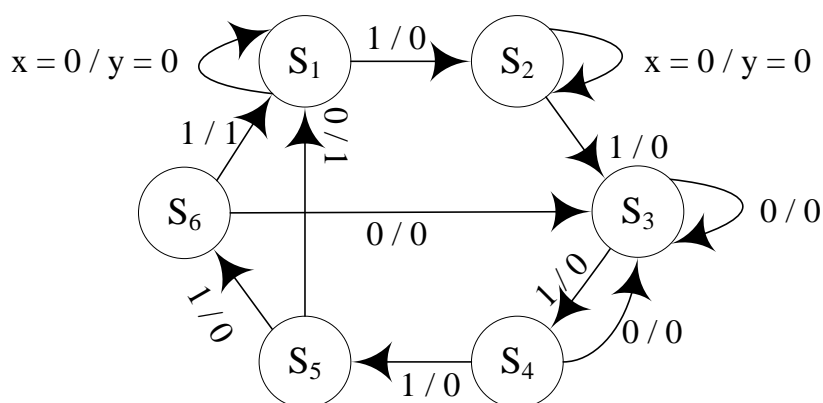
Bài 2. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng chuyển mã dư ba 4 bit đầu vào thành mã BCD ở đầu ra.

Bài 3. Tìm hiểu về IC giải mã nhị phân 74LS139. Sử dụng IC này để thiết kế bộ giải mã nhị phân 3 đầu vào 8 đầu ra. Phân tích cách làm và vẽ các sơ đồ cần thiết

Bài 4. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₂ /y = 1
S ₂	S ₆ /y = 0	S ₁ /y = 1
S ₃	S ₅ /y = 0	S ₄ /y = 1
S ₄	S ₄ /y = 0	S ₂ /y = 1
S ₅	S ₅ /y = 0	S ₇ /y = 0
S ₆	S ₃ /y = 0	S ₃ /y = 0
S ₇	S ₇ /y = 0	S ₆ /y = 0
S ₈	S ₈ /y = 0	S ₇ /y = 0

Bài 15. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng Flip-Flop tùy chọn



Đề 43:

Bài 1. Xác định tính đúng đắn của các đẳng thức logic sau bằng phương pháp bảng giá trị hàm và phương pháp đại số

$$ABC + \overline{A} \overline{B} \overline{C} = \overline{\overline{A}B + \overline{B}C + \overline{C}A}$$

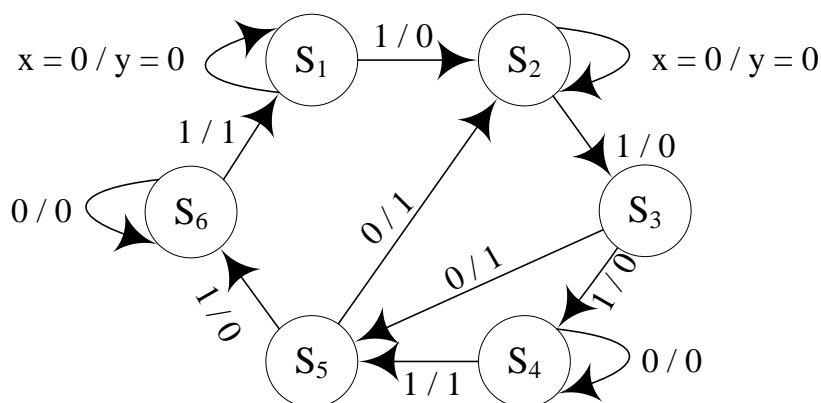
$$A(B \oplus C) = AB\overline{C} + A\overline{B}C$$

Bài 2. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₄ /y = 0
S ₂	S ₆ /y = 0	S ₁ /y = 0
S ₃	S ₃ /y = 0	S ₄ /y = 0
S ₄	S ₄ /y = 0	S ₂ /y = 0
S ₅	S ₅ /y = 0	S ₇ /y = 1
S ₆	S ₃ /y = 0	S ₃ /y = 1
S ₇	S ₇ /y = 0	S ₅ /y = 1
S ₈	S ₈ /y = 0	S ₆ /y = 1

Bài 3. Xây dựng SR Flip-Flop từ T Flip-Flop

Bài 4. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng Flip-Flop tùy chọn



Bài 5. Thiết kế bộ đếm đồng bộ: Hệ số đếm $K_d = 12$, mã nhị phân, đếm thuận

Đề 44:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp biến đổi đại số

$$\frac{\overline{A}\overline{B} + AC + BC + \overline{B}\overline{C}\overline{D} + B\overline{C}E + \overline{B}CF}{ABC + BD(\overline{A} + C) + (B + D)AC}$$

Bài 2. Tối thiểu các hàm logic sau bằng phương pháp Mc-Cluskey và vẽ sơ đồ mạch logic tối thiểu

$$Y = f(A, B, C, D) = \sum(1, 2, 4, 5, 7, 8, 10, 12, 13, 15)$$

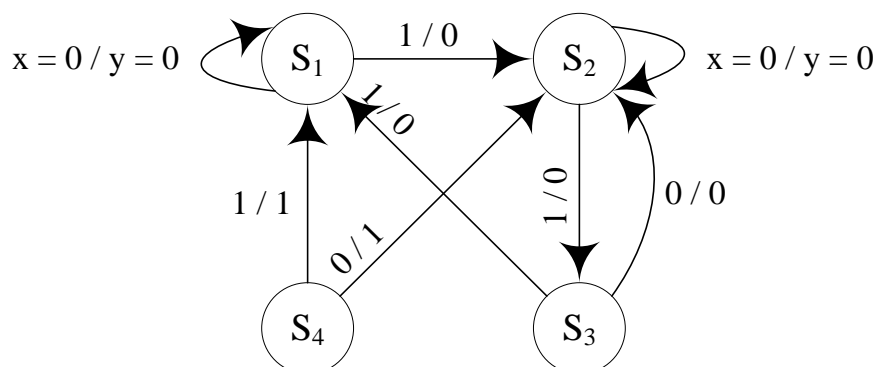
$$Y = f(A, B, C, D) = \sum(1, 2, 4, 5, 7, 8, 10, 12, 13, 15)$$

Bài 3. Tối thiểu các hàm logic sau bằng phương pháp bảng Các-nô và vẽ sơ đồ mạch logic tối thiểu trong các trường hợp: chỉ được sử dụng cổng logic 2 đầu vào; chỉ được sử dụng cổng NAND

$$Y = f(A, B, C, D, E) = \Pi(1, 5, 9, 10, 11, 18, 20, 23, 28, 29)$$

$$Y = f(A, B, C, D, E) = \Pi(1, 5, 9, 10, 11, 18, 19, 24, 30, 31)$$

Bài 4. Cho mạch tuần tự có đồ hình trạng thái như sau. Lập bảng chuyển trạng thái cho mạch tuần tự đó theo mô hình Mealy. Biến đổi đồ hình và bảng chuyển trạng thái đã cho theo mô hình Moore



Bài 5. Thiết kế bộ đếm không đồng bộ: Hệ số đếm $K_d = 8$, mã nhị phân, đếm thuận

Đề 45:

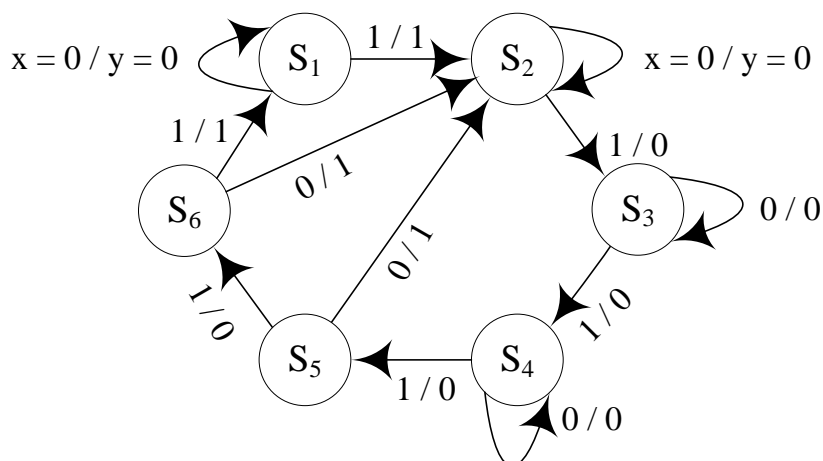
Bài 1. Tối thiểu các hàm logic sau bằng phương pháp Mc-Cluskey và vẽ sơ đồ mạch logic tối thiểu

$$Y = f(A, B, C, D) = \sum(1, 2, 5, 7, 8, 11, 12, 13, 14, 15)$$

$$Y = f(A, B, C, D) = \sum(2, 5, 6, 7, 8, 9, 10, 12, 14, 15)$$

Bài 2. Xây dựng JK Flip-Flop từ SR Flip-Flop

Bài 3. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng Flip-Flop tùy chọn



Bài 4. Thiết kế bộ đếm không đồng bộ: Hệ số đếm $K_d = 6$, mã Gray, đếm thuận

Bài 5. Thiết kế một mạch điều khiển cấp điện cho một hệ thống hai máy bơm bơm nước lên bể cao tầng, M_1 là máy bơm công suất lớn và M_2 là máy bơm công suất nhỏ. Bể có ba mức nước quy định là MT (mức thấp), MG (mức giữa) và MC (mức cao) với yêu cầu như sau: Nếu mức nước trong bể $MN < MT$ thì cả hai máy bơm được cấp điện.

Đề 46:

Bài 1. Xác định tính đúng đắn của các đẳng thức logic sau bằng phương pháp bảng giá trị hàm và phương pháp đại số

$$\overline{AB} + \overline{A}B + BC = \overline{AB} + AC + \overline{A}B$$
$$\overline{A + BC + D} = \overline{A}(\overline{B} + \overline{C})\overline{D}$$

Bài 2. Tối thiểu các hàm logic sau bằng phương pháp Mc-Cluskey và vẽ sơ đồ mạch logic tối thiểu

$$Y = f(A, B, C, D) = \sum(1, 2, 5, 7, 8, 11, 12, 13, 14, 15)$$

$$Y = f(A, B, C, D) = \sum(2, 5, 6, 7, 8, 9, 10, 12, 14, 15)$$

Bài 3. Tìm hiểu về IC so sánh 4 bit Magnitude Comparator 74LS85 theo các nội dung: Chức năng và các chân tín hiệu; Mối quan hệ logic của các tín hiệu và giải thích trên sơ đồ mạch điện cổng của IC; Ví dụ mạch ứng dụng có phân tích

Bài 4. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₄ /y = 1
S ₂	S ₆ /y = 0	S ₁ /y = 1
S ₃	S ₃ /y = 0	S ₆ /y = 0
S ₄	S ₄ /y = 0	S ₂ /y = 0
S ₅	S ₅ /y = 0	S ₇ /y = 1
S ₆	S ₆ /y = 0	S ₄ /y = 1
S ₇	S ₇ /y = 0	S ₅ /y = 0
S ₈	S ₈ /y = 0	S ₆ /y = 0

Bài 5. Thiết kế một mạch điều khiển cấp điện cho một hệ thống hai máy bơm bơm nước lên bể cao tầng, M₁ là máy bơm công suất lớn và M₂ là máy bơm công suất nhỏ. Bể có ba mức nước quy định là MT (mức thấp), MG (mức giữa) và MC (mức cao) với yêu cầu như sau: Khi bơm nước đến MT ≤ MN < MG thì cả hai máy bơm được cấp điện.

Đề 47:

Bài 1. Xác định tính đúng đắn của các đẳng thức logic sau bằng phương pháp bảng giá trị hàm và phương pháp đại số

$$AB(A \oplus B \oplus C) = ABC$$

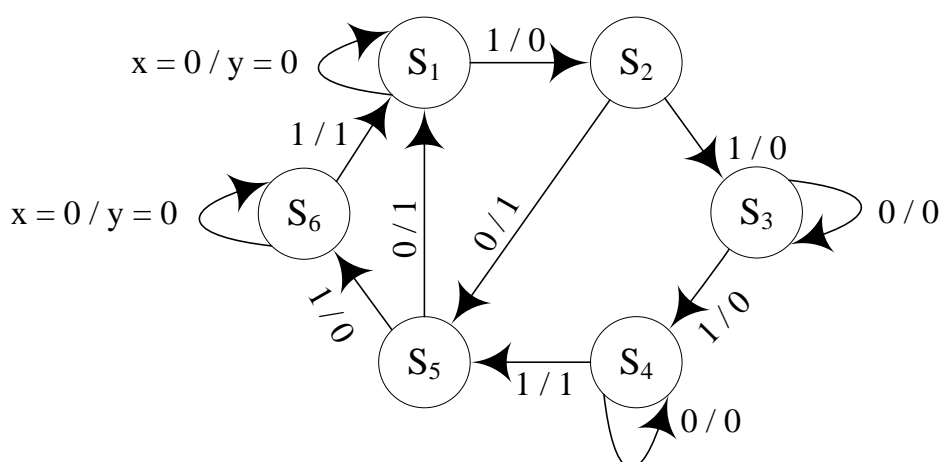
$$\overline{\overline{A} \overline{B} \overline{C} AB + BC + CA} + ABC = \overline{(\overline{A} + \overline{B} + \overline{C}) \overline{A} \overline{B} + \overline{B} \overline{C} + \overline{C} \overline{A} + \overline{A} \overline{B} \overline{C}}$$

Bài 2. Tối thiểu các hàm logic sau bằng phương pháp biến đổi đại số

$$(\overline{A} + \overline{B} + \overline{C})(\overline{A} + B + C)(A + \overline{B} + C)(A + B + \overline{C})$$

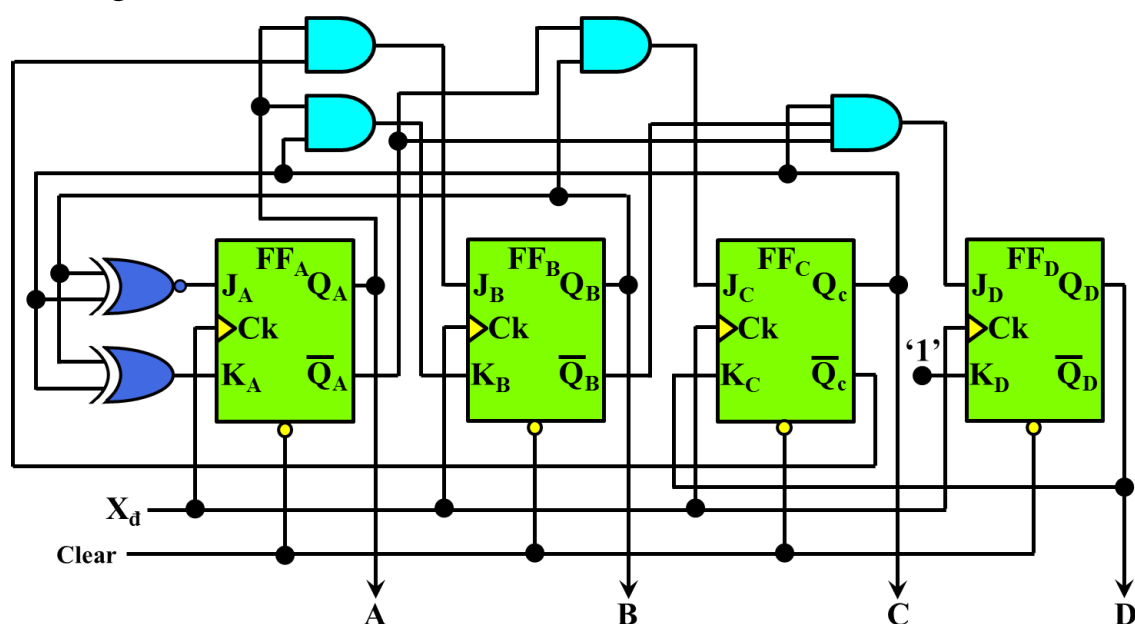
$$\overline{(A + D)BCA} + (\overline{B} + C)AD D$$

Bài 3. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng Flip-Flop tùy chọn



Bài 4. Thiết kế bộ đếm đồng bộ: Hệ số đếm $K_d = 6$, mã dư 3, đếm thuận

Bài 5. Phân tích mạch tuần tự sau. Xác định hệ số đếm, mã của bộ đếm, hướng đếm, vẽ giản đồ thời gian của bộ đếm



Đề 48:

Bài 1. Xác định tính đúng đắn của các đẳng thức logic sau bằng phương pháp bảng giá trị hàm và phương pháp đại số

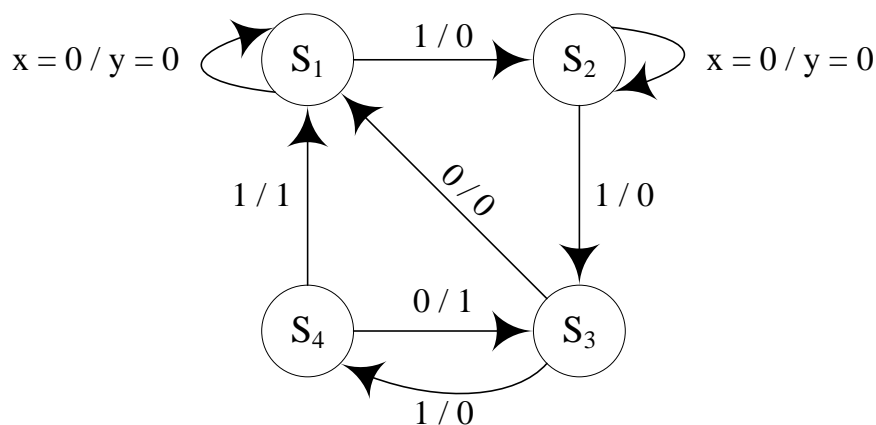
$$A \oplus B \oplus C = (\overline{A} + \overline{B} + \overline{C})(\overline{A} + B + C)(A + \overline{B} + C)(A + B + \overline{C})$$
$$\overline{AB + \overline{A}\overline{B} + C} = (A \oplus B)C$$

Bài 2. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng chuyển mã dư ba 4 bit đầu vào thành mã Gray ở đầu ra

Bài 3. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₂ /y = 1
S ₂	S ₅ /y = 0	S ₃ /y = 1
S ₃	S ₃ /y = 0	S ₄ /y = 0
S ₄	S ₄ /y = 0	S ₅ /y = 0
S ₅	S ₂ /y = 0	S ₃ /y = 1
S ₆	S ₃ /y = 0	S ₁ /y = 1
S ₇	S ₇ /y = 0	S ₅ /y = 0
S ₈	S ₈ /y = 0	S ₆ /y = 0

Bài 4. Cho mạch tuần tự có đồ hình trạng thái như sau. Lập bảng chuyển trạng thái cho mạch tuần tự đó theo mô hình Mealy. Biến đổi đồ hình và bảng chuyển trạng thái đã cho theo mô hình Moore



Bài 5. Xây dựng JK Flip-Flop từ D Flip-Flop.

Đề 49:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp Mc-Cluskey và vẽ sơ đồ mạch logic tối thiểu

$$Y = f(A, B, C, D) = \sum(1, 5, 6, 7, 8, 9, 10, 12, 14, 15)$$

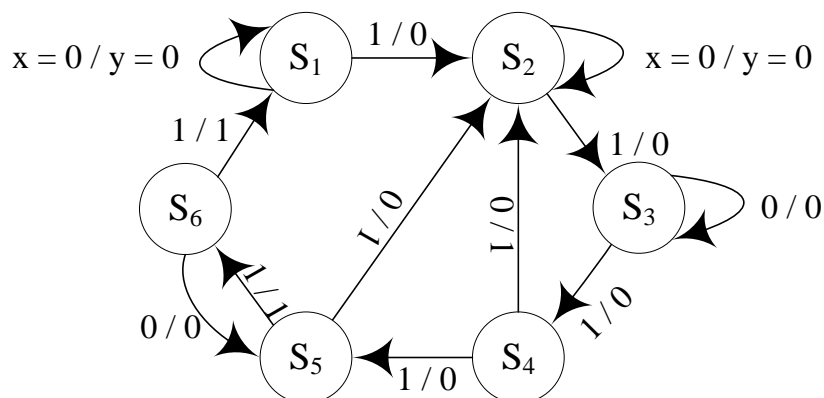
$$Y = f(A, B, C, D) = \sum(1, 5, 6, 7, 8, 9, 10, 12, 13, 15)$$

Bài 2. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₂ /y = 1
S ₂	S ₅ /y = 0	S ₁ /y = 1
S ₃	S ₆ /y = 0	S ₄ /y = 0
S ₄	S ₄ /y = 0	S ₅ /y = 0
S ₅	S ₂ /y = 0	S ₃ /y = 0
S ₆	S ₃ /y = 0	S ₄ /y = 0
S ₇	S ₇ /y = 0	S ₆ /y = 1
S ₈	S ₈ /y = 0	S ₂ /y = 1

Bài 3. Xây dựng JK Flip-Flop từ T Flip-Flop

Bài 4. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng Flip-Flop tùy chọn



Bài 5. Thiết kế bộ đếm đồng bộ: Hệ số đếm $K_d = 9$, mã dư 3, đếm thuận

Đề 50:

Bài 1. Xác định tính đúng đắn của các đẳng thức logic sau bằng phương pháp bảng giá trị hàm và phương pháp đại số

$$A + \overline{A(B + C)} = A + \overline{B} \overline{C}$$

$$\overline{A \oplus B} \overline{B \oplus C} \overline{C \oplus D} = \overline{AB} + \overline{BC} + \overline{CD} + \overline{DA}$$

Bài 2. Tối thiểu các hàm logic sau bằng phương pháp đại số và phương pháp bảng Các-nô

$$Y = f(A, B, C, D) = \sum(1, 2, 4, 5, 7, 8, 10, 12, 13, 15)$$

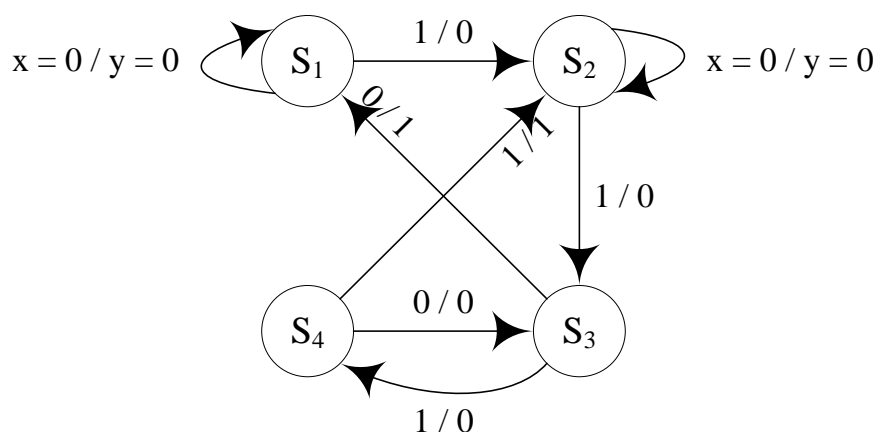
$$Y = f(A, B, C, D) = \sum(1, 2, 4, 5, 6, 7, 8, 10, 12, 15)$$

Bài 3. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng chuyển mã Gray 4 bit đầu vào thành mã BCD ở đầu ra

Bài 4. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₂ /y = 1
S ₂	S ₇ /y = 0	S ₃ /y = 1
S ₃	S ₃ /y = 0	S ₄ /y = 0
S ₄	S ₄ /y = 0	S ₅ /y = 0
S ₅	S ₂ /y = 0	S ₈ /y = 0
S ₆	S ₆ /y = 0	S ₄ /y = 0
S ₇	S ₂ /y = 0	S ₃ /y = 1
S ₈	S ₈ /y = 0	S ₆ /y = 1

Bài 5. Cho mạch tuần tự có đồ hình trạng thái như sau. Lập bảng chuyển trạng thái cho mạch tuần tự đó theo mô hình Mealy. Biến đổi đồ hình và bảng chuyển trạng thái đã cho theo mô hình Moore



Đề 51:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp biến đổi đại số

$$ABC + (A + B + C)(\overline{AB + BC + CA})$$

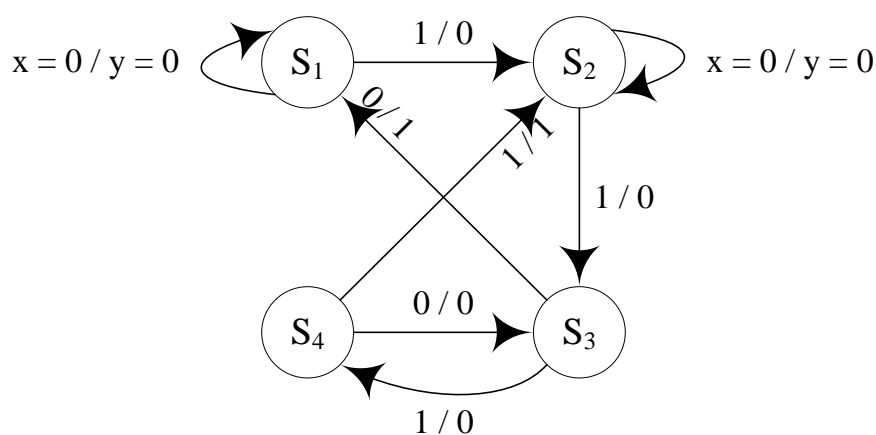
$$AB + BCD + \overline{AC} + \overline{BC}$$

Bài 2. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng chuyển mã Gray 4 bit đầu vào thành mã dư ba ở đầu ra.

Bài 3. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₂ /y = 0
S ₂	S ₇ /y = 0	S ₃ /y = 0
S ₃	S ₃ /y = 0	S ₄ /y = 1
S ₄	S ₄ /y = 0	S ₅ /y = 1
S ₅	S ₂ /y = 0	S ₈ /y = 1
S ₆	S ₆ /y = 0	S ₄ /y = 1
S ₇	S ₂ /y = 0	S ₃ /y = 0
S ₈	S ₈ /y = 0	S ₂ /y = 0

Bài 4. Cho mạch tuần tự có đồ hình trạng thái như sau. Lập bảng chuyển trạng thái cho mạch tuần tự đó theo mô hình Mealy. Biến đổi đồ hình và bảng chuyển trạng thái đã cho theo mô hình Moore



Bài 5. Tìm hiểu về IC đếm 74LS90. Sử dụng IC đếm 7490 để thiết kế bộ đếm đồng bộ có hệ số đếm $K_d = 120$. Phân tích và vẽ sơ đồ mạch tuần tự.

Đề 52:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp biến đổi đại số

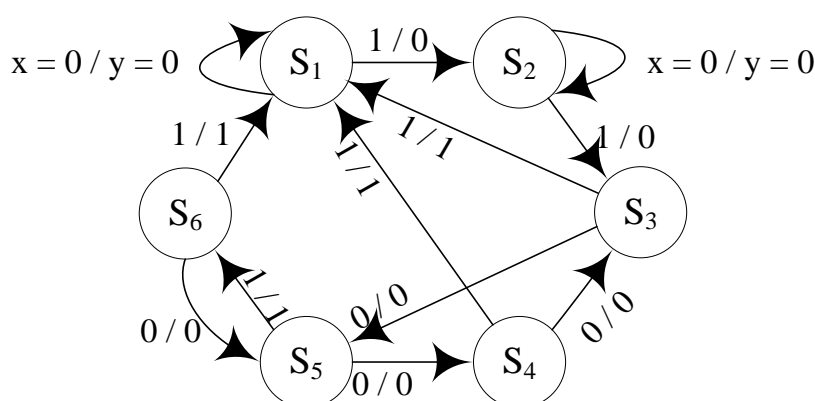
$$\overline{(\overline{A} + \overline{B} + \overline{C}) (\overline{A} \overline{B} + \overline{B} \overline{C} + \overline{C} \overline{A})} + \overline{A} \overline{B} \overline{C}$$

$$A\overline{B} + BD + DCE + D\overline{A}$$

Bài 2. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₂ /y = 0
S ₂	S ₇ /y = 0	S ₃ /y = 0
S ₃	S ₃ /y = 1	S ₄ /y = 0
S ₄	S ₄ /y = 1	S ₅ /y = 0
S ₅	S ₂ /y = 1	S ₈ /y = 0
S ₆	S ₆ /y = 1	S ₄ /y = 0
S ₇	S ₂ /y = 0	S ₃ /y = 0
S ₈	S ₈ /y = 0	S ₂ /y = 0

Bài 3. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng Flip-Flop tùy chọn



Bài 4. Thiết kế bộ đếm đồng bộ: Hệ số đếm K_d = 6, mã Gray, đếm thuận

Bài 5. Thiết kế một mạch điều khiển cấp điện cho một hệ thống hai máy bơm bơm nước lên bể cao tầng, M₁ là máy bơm công suất lớn và M₂ là máy bơm công suất nhỏ. Bể có ba mức nước quy định là MT (mức thấp), MG (mức giữa) và MC (mức cao) với yêu cầu: Khi bơm nước đến MT ≤ MN < MG thì cả hai máy bơm được cấp điện.

Đề 53:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp đại số và phương pháp bảng Các-nô

$$Y = f(A, B, C, D) = \sum(1, 2, 5, 7, 8, 11, 12, 13, 14, 15)$$

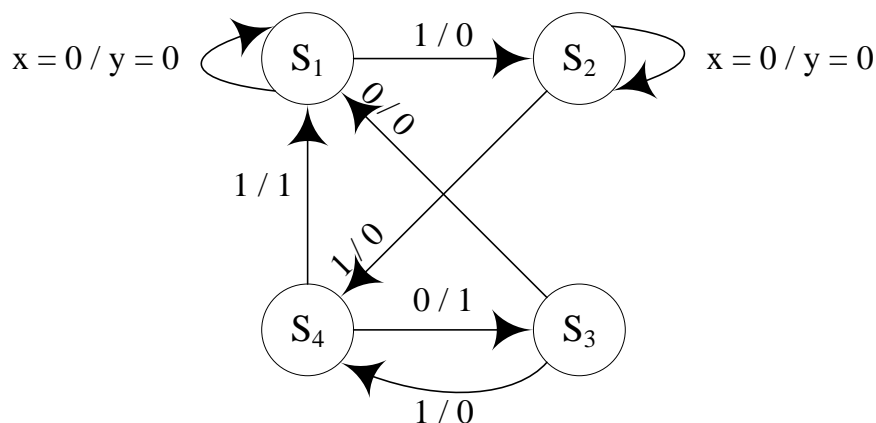
$$Y = f(A, B, C, D) = \sum(2, 5, 6, 7, 8, 9, 10, 12, 14, 15)$$

Bài 2. Một hệ thống đèn đặt theo kiểu ma trận có khả năng hiển thị các chữ cái như hình vẽ. Trên hình, ma trận đang hiển thị chữ E. Hãy thiết kế mạch điều khiển cho ma trận đèn trên để có thể sáng các chữ cái A, B, C, E, F, H, I, L, P và các số từ 0 đến 9.

1	2	3
4	5	6
7	8	9
10	11	12
13	14	15

Bài 3. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng Mạch biểu quyết đa số, 5 bit đầu vào, 1 bit đầu ra, đầu ra mức cao khi đa số đầu vào ở mức cao.

Bài 4. Cho mạch tuần tự có đồ hình trạng thái như sau. Lập bảng chuyển trạng thái cho mạch tuần tự đó theo mô hình Mealy. Biến đổi đồ hình và bảng chuyển trạng thái đã cho theo mô hình Moore



Bài 5. Xây dựng D Flip-Flop từ SR Flip-Flop

Đề 54:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp bảng Các-nô và vẽ sơ đồ mạch logic tối thiểu trong các trường hợp: chỉ được sử dụng cổng logic 2 đầu vào; chỉ được sử dụng cổng NAND

$$Y = f(A, B, C, D, E) = \Pi(2, 5, 8, 10, 11, 18, 19, 24, 28, 29)$$

$$Y = f(A, B, C, D, E) = \Pi(3, 5, 7, 10, 11, 18, 19, 24, 28, 29)$$

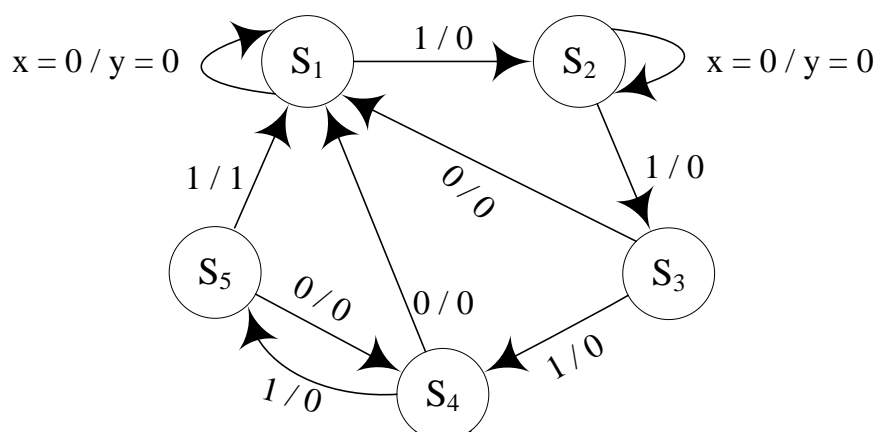
Bài 2. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng kiểm tra chẵn có 5 đầu vào, 1 đầu ra, nếu đầu vào có số chẵn ở mức cao thì đầu ra ở mức cao

Bài 3. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₂ /y = 0
S ₂	S ₄ /y = 1	S ₁ /y = 0
S ₃	S ₅ /y = 0	S ₆ /y = 0
S ₄	S ₆ /y = 1	S ₂ /y = 0
S ₅	S ₃ /y = 0	S ₆ /y = 0
S ₆	S ₂ /y = 1	S ₃ /y = 0
S ₇	S ₇ /y = 0	S ₂ /y = 0
S ₈	S ₈ /y = 1	S ₇ /y = 0

Bài 4. Thiết kế bộ đếm đồng bộ: Hệ số đếm K_d = 10, mã Gray, đếm thuận

Bài 5. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng JK Flip-Flop



Đề 55:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp biến đổi đại số

$$\overline{CD + \overline{C} \overline{D} \overline{A} C + \overline{D}}$$

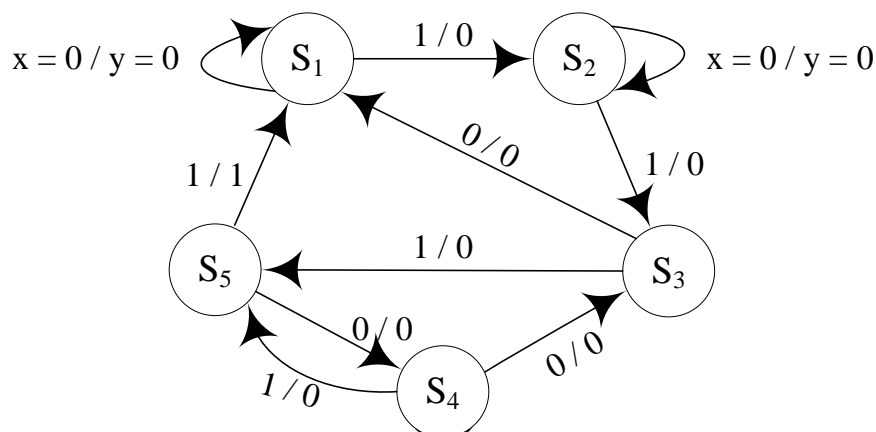
$$\overline{\overline{A} \overline{B} \overline{C} \overline{A} \overline{B} + \overline{B} \overline{C} + \overline{C} \overline{A}}$$

Bài 2. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng kiểm tra lẻ có 5 đầu vào, 1 đầu ra, nếu đầu vào có số lẻ ở mức cao thì đầu ra ở mức cao.

Bài 3. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 1	S ₂ /y = 0
S ₂	S ₄ /y = 0	S ₃ /y = 0
S ₃	S ₅ /y = 1	S ₇ /y = 0
S ₄	S ₂ /y = 0	S ₃ /y = 0
S ₅	S ₈ /y = 1	S ₄ /y = 0
S ₆	S ₃ /y = 0	S ₈ /y = 0
S ₇	S ₇ /y = 1	S ₁ /y = 0
S ₈	S ₃ /y = 0	S ₆ /y = 0

Bài 4. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng JK Flip-Flop



Bài 5. Thiết kế bộ đếm đồng bộ: Hệ số đếm K_d = 12, mã Gray, đếm thuận

Đề 56:

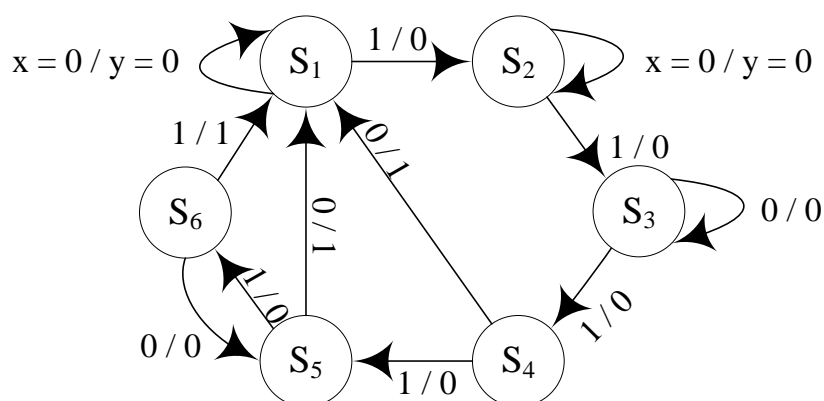
Bài 1. Tối thiểu các hàm logic sau bằng phương pháp bảng Các-nô và vẽ sơ đồ mạch logic tối thiểu trong các trường hợp: chỉ được sử dụng cổng logic 2 đầu vào; chỉ được sử dụng cổng NAND

$$Y = f(A, B, C, D, E) = \Pi(4, 5, 6, 10, 11, 18, 19, 24, 28, 29)$$

$$Y = f(A, B, C, D, E) = \Pi(1, 3, 9, 10, 12, 18, 19, 24, 28, 29)$$

Bài 2. Xây dựng D Flip-Flop từ T Flip-Flop

Bài 3. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng Flip-Flop tùy chọn



Bài 4. Thiết kế bộ đếm đồng bộ: Hệ số đếm $K_d = 12$, mã Gray, đếm thuận

Bài 5. Thiết kế một mạch điều khiển cấp điện cho một hệ thống hai máy bơm bơm nước lên bể cao tầng, M_1 là máy bơm công suất lớn và M_2 là máy bơm công suất nhỏ. Bể có ba mức nước quy định là MT (mức thấp), MG (mức giữa) và MC (mức cao) với yêu cầu: Mức nước tăng đến $MG \leq MN < MC$ thì M_1 cấp điện, M_2 cắt điện.

Đề 57:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp biến đổi đại số

$$\overline{A}C + AB + \overline{B}C + BCDE$$
$$AB(A \oplus B \oplus C)$$

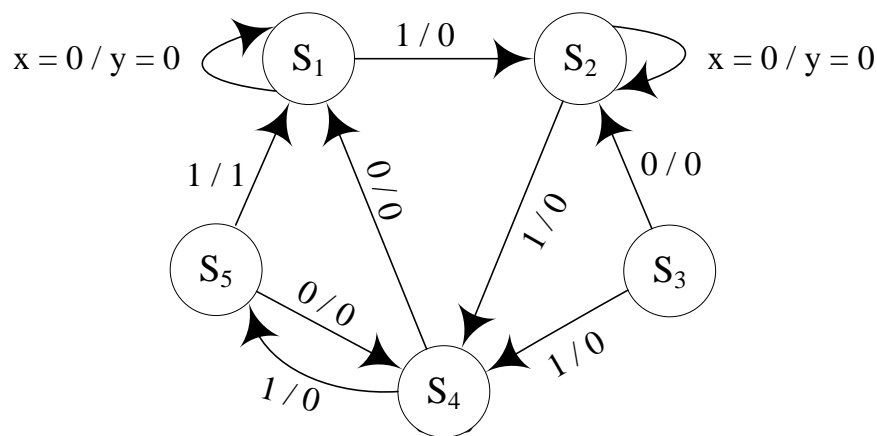
Bài 2. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng kiểm tra tính chia hết cho 2 có 5 đầu vào, 1 đầu ra, tín hiệu ra ở mức cao nếu số 5 bit ở đầu vào chia hết cho 2

Bài 3. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 1	S ₂ /y = 0
S ₂	S ₆ /y = 1	S ₁ /y = 0
S ₃	S ₅ /y = 1	S ₄ /y = 0
S ₄	S ₄ /y = 1	S ₂ /y = 0
S ₅	S ₅ /y = 0	S ₇ /y = 0
S ₆	S ₃ /y = 0	S ₃ /y = 0
S ₇	S ₇ /y = 0	S ₆ /y = 0
S ₈	S ₈ /y = 0	S ₇ /y = 0

Bài 4. Xây dựng T Flip-Flop từ SR Flip-Flop.

Bài 5. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng JK Flip-Flop



Đề 58:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp biến đổi đại số

$$(A + B + \overline{C})(\overline{A} \overline{B} + C)$$

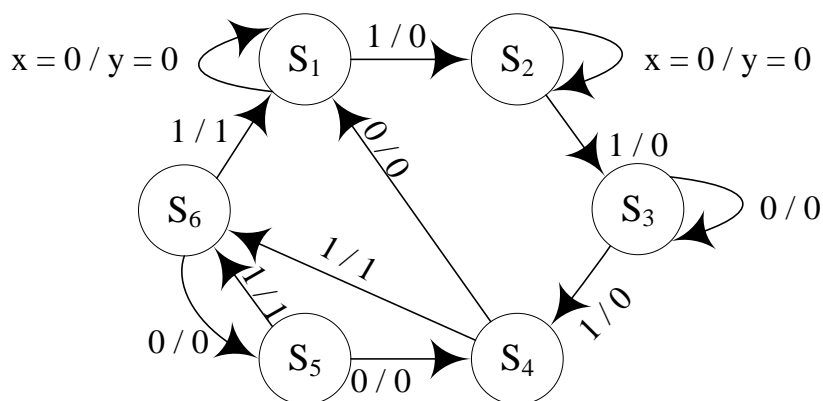
$$(B\overline{C} + \overline{A}D)(\overline{A}\overline{B} + C\overline{D})$$

Bài 2. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng Kiểm tra tính chia hết cho 3 có 5 đầu vào, 1 đầu ra, tín hiệu ra ở mức cao nếu số 5 bit ở đầu vào chia hết cho 3

Bài 3. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₂ /y = 0
S ₂	S ₇ /y = 0	S ₃ /y = 0
S ₃	S ₃ /y = 1	S ₄ /y = 0
S ₄	S ₄ /y = 1	S ₅ /y = 0
S ₅	S ₂ /y = 1	S ₈ /y = 0
S ₆	S ₆ /y = 1	S ₄ /y = 0
S ₇	S ₂ /y = 0	S ₃ /y = 0
S ₈	S ₈ /y = 0	S ₆ /y = 0

Bài 4. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng Flip-Flop tùy chọn



Bài 5. Thiết kế bộ đếm không đồng bộ: Hệ số đếm K_d = 8, mã Gray, đếm thuận

Đề 59:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp đại số và phương pháp bảng Các-nô

$$Y = f(A, B, C, D) = \sum(1, 5, 6, 7, 8, 9, 10, 12, 14, 15)$$

$$Y = f(A, B, C, D) = \sum(1, 5, 6, 7, 8, 9, 10, 12, 13, 15)$$

Bài 2. Tối thiểu các hàm logic sau bằng phương pháp Mc-Cluskey và vẽ sơ đồ mạch logic tối thiểu

$$Y = f(A, B, C, D) = \sum(0, 1, 3, 5, 6, 7, 9, 12, 13, 15)$$

$$Y = f(A, B, C, D) = \sum(0, 1, 3, 6, 7, 9, 11, 12, 13, 15)$$

Bài 3. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng Mạch biểu quyết đa số, 5 bit đầu vào, 1 bit đầu ra, đầu ra mức cao khi đa số đầu vào ở mức cao.

Bài 4. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₄ /y = 0
S ₂	S ₆ /y = 0	S ₁ /y = 0
S ₃	S ₃ /y = 0	S ₄ /y = 0
S ₄	S ₄ /y = 0	S ₂ /y = 0
S ₅	S ₅ /y = 1	S ₇ /y = 0
S ₆	S ₃ /y = 1	S ₃ /y = 0
S ₇	S ₇ /y = 1	S ₅ /y = 0
S ₈	S ₈ /y = 1	S ₆ /y = 0

Bài 5. Thiết kế bộ đếm đồng bộ: Hệ số đếm K_d = 16, mã Gray, đếm thuận.

Đề 60:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp biến đổi đại số

$$\overline{A}B(\overline{D} + \overline{C}D) + B(A + \overline{A}CD)$$

$$(\overline{A} + C)(\overline{A} + \overline{C})(A + B + \overline{C}D)$$

Bài 2. Tối thiểu các hàm logic sau bằng phương pháp bảng Các-nô và vẽ sơ đồ mạch logic tối thiểu trong các trường hợp: chỉ được sử dụng cổng logic 2 đầu vào; chỉ được sử dụng cổng NAND

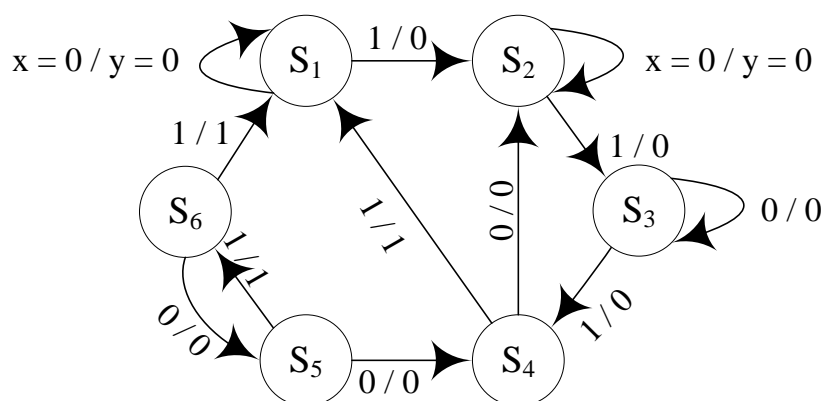
$$Y = f(A, B, C, D, E) = \Pi(1, 4, 9, 10, 13, 18, 19, 24, 28, 29)$$

$$Y = f(A, B, C, D, E) = \Pi(1, 5, 8, 10, 11, 16, 19, 24, 28, 29)$$

Bài 3. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 1	S ₄ /y = 0
S ₂	S ₆ /y = 1	S ₁ /y = 0
S ₃	S ₃ /y = 0	S ₆ /y = 0
S ₄	S ₄ /y = 0	S ₂ /y = 0
S ₅	S ₅ /y = 1	S ₇ /y = 0
S ₆	S ₆ /y = 1	S ₄ /y = 0
S ₇	S ₇ /y = 0	S ₅ /y = 0
S ₈	S ₈ /y = 0	S ₆ /y = 0

Bài 4. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng JK Flip-Flop



Bài 5. Thiết kế một mạch điều khiển cấp điện cho một hệ thống hai máy bơm bơm nước lên bể cao tầng, M₁ là máy bơm công suất lớn và M₂ là máy bơm công suất nhỏ. Bể có ba mức nước quy định là MT (mức thấp), MG (mức giữa) và MC (mức cao) với yêu cầu như sau: Khi bơm nước đến MC ≤ MN thì cả hai máy bơm được cắt điện.

Đề 61:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp đại số và phương pháp bảng Các-nô

$$Y = f(A, B, C, D) = \sum(0, 1, 3, 5, 6, 7, 9, 12, 13, 15)$$

$$Y = f(A, B, C, D) = \sum(0, 1, 3, 6, 7, 9, 11, 12, 13, 15)$$

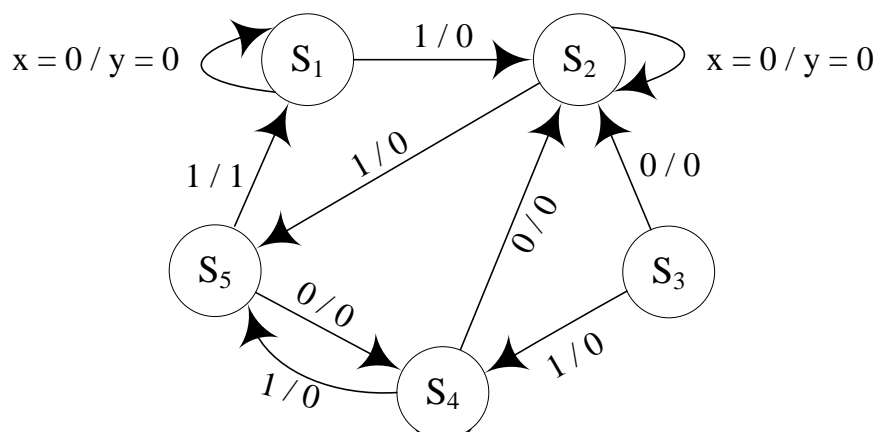
Bài 2. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng mạch nhân hai số 2 bit, đầu vào là 2 nhân tử 2 bit, đầu ra là tích số 4 bit

Bài 3. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 1	S ₂ /y = 0
S ₂	S ₅ /y = 1	S ₃ /y = 0
S ₃	S ₃ /y = 0	S ₄ /y = 0
S ₄	S ₄ /y = 0	S ₅ /y = 0
S ₅	S ₂ /y = 1	S ₃ /y = 0
S ₆	S ₃ /y = 1	S ₁ /y = 0
S ₇	S ₇ /y = 0	S ₅ /y = 0
S ₈	S ₈ /y = 0	S ₆ /y = 0

Bài 4. Xây dựng T Flip-Flop từ JK Flip-Flop

Bài 5. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng JK Flip-Flop



Đề 62:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp bảng Các-nô và vẽ sơ đồ mạch logic tối thiểu trong các trường hợp: chỉ được sử dụng cổng logic 2 đầu vào; chỉ được sử dụng cổng NAND

$$Y = f(A, B, C, D, E) = \Pi(1, 5, 7, 10, 11, 15, 19, 24, 28, 29)$$

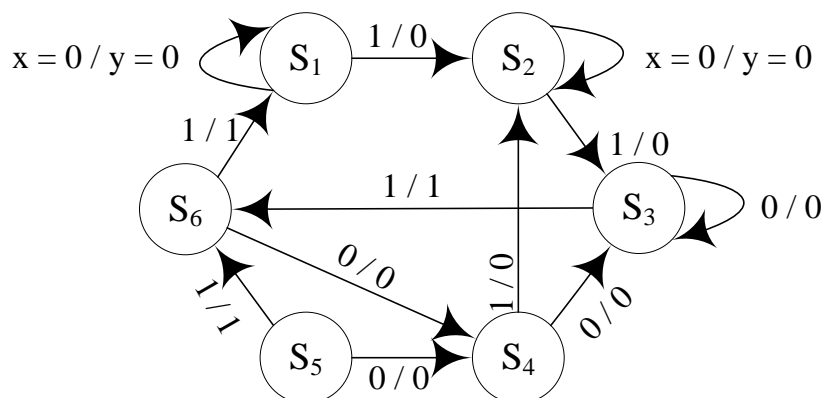
$$Y = f(A, B, C, D, E) = \Pi(1, 5, 6, 10, 11, 14, 19, 24, 28, 29)$$

Bài 2. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng mạch ghép kênh có 6 đầu vào dữ liệu

Bài 3. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 1	S ₂ /y = 0
S ₂	S ₅ /y = 1	S ₁ /y = 0
S ₃	S ₆ /y = 0	S ₄ /y = 0
S ₄	S ₄ /y = 0	S ₅ /y = 0
S ₅	S ₂ /y = 0	S ₃ /y = 0
S ₆	S ₃ /y = 0	S ₄ /y = 0
S ₇	S ₇ /y = 1	S ₆ /y = 0
S ₈	S ₈ /y = 1	S ₂ /y = 0

Bài 4. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng Flip-Flop tùy chọn



Bài 5. Thiết kế bộ đếm không đồng bộ: Hệ số đếm $K_d = 10$, mã Gray, đếm thuận

Đề 63:

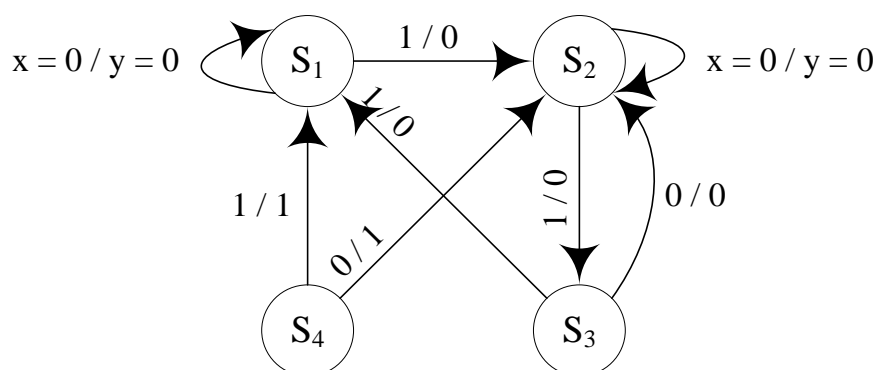
Bài 1. Tối thiểu các hàm logic sau bằng phương pháp đại số và phương pháp bảng Các-nô

$$Y = f(A, B, C, D) = \sum(0, 1, 3, 5, 6, 7, 11, 12, 13, 15)$$

$$Y = f(A, B, C, D) = \sum(0, 1, 2, 5, 6, 7, 11, 12, 13, 15)$$

Bài 2. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng mạch ghép kênh có 8 đầu vào dữ liệu

Bài 3. Cho mạch tuần tự có đồ hình trạng thái như sau. Lập bảng chuyển trạng thái cho mạch tuần tự đó theo mô hình Mealy. Biến đổi đồ hình và bảng chuyển trạng thái đã cho theo mô hình Moore



Bài 4. Xây dựng T Flip-Flop từ JK Flip-Flop

Bài 5. Thiết kế một mạch điều khiển cấp điện cho một hệ thống hai máy bơm bơm nước lên bể cao tầng, M_1 là máy bơm công suất lớn và M_2 là máy bơm công suất nhỏ. Bể có ba mức nước quy định là MT (mức thấp), MG (mức giữa) và MC (mức cao) với yêu cầu như sau: Khi dùng nước đến $MG \leq MN < MC$ thì M_2 cấp điện, M_1 cắt điện.

Đề 64:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp Mc-Cluskey và vẽ sơ đồ mạch logic tối thiểu

$$Y = f(A, B, C, D) = \sum(0, 1, 3, 5, 6, 7, 11, 12, 13, 15)$$

$$Y = f(A, B, C, D) = \sum(0, 1, 2, 5, 6, 7, 11, 12, 13, 15)$$

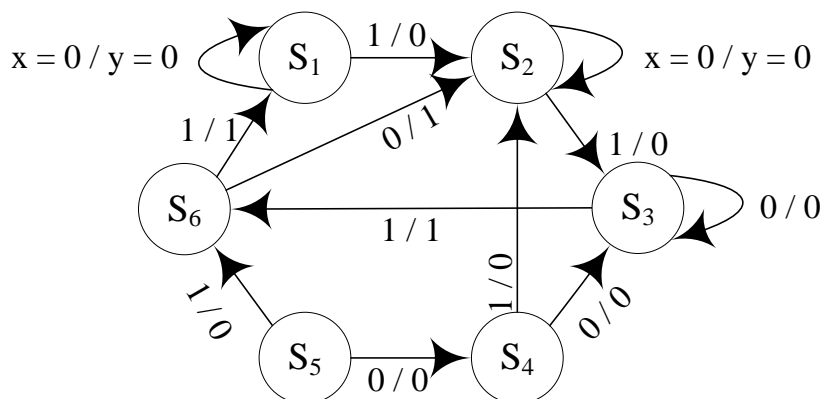
Bài 2. Tối thiểu các hàm logic sau bằng phương pháp bảng Các-nô và vẽ sơ đồ mạch logic tối thiểu trong các trường hợp: chỉ được sử dụng cổng logic 2 đầu vào; chỉ được sử dụng cổng NAND

$$Y = f(A, B, C, D, E) = \Pi(1, 5, 9, 12, 13, 18, 19, 24, 28, 29)$$

$$Y = f(A, B, C, D, E) = \Pi(1, 5, 9, 13, 15, 18, 19, 24, 28, 29)$$

Bài 3. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng mạch tách kênh có 6 đầu ra dữ liệu

Bài 4. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng Flip-Flop tùy chọn



Bài 5. Thiết kế bộ đếm không đồng bộ: Hệ số đếm $K_d = 6$, mã nhị phân, đếm nghịch

Đề 65:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp đại số và phương pháp bảng Các-nô

$$Y = f(A, B, C, D) = \sum(0, 1, 2, 5, 6, 7, 11, 12, 14, 15)$$

$$Y = f(A, B, C, D) = \sum(0, 1, 2, 5, 6, 7, 12, 13, 14, 15)$$

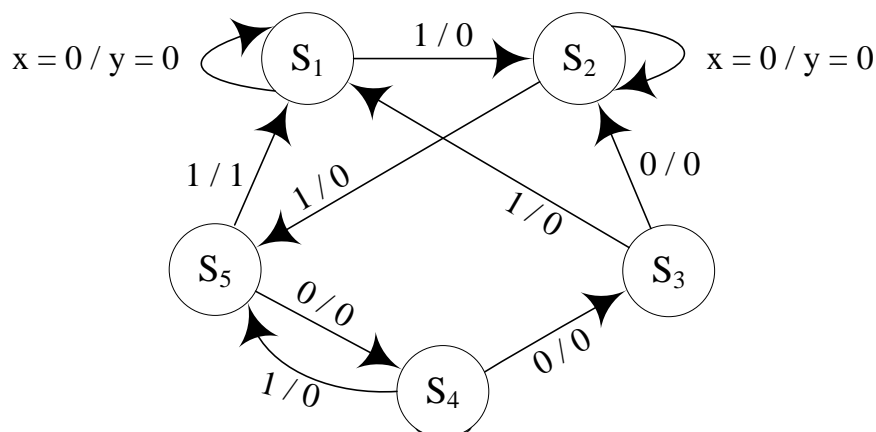
Bài 2. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng mạch tách kênh có 8 đầu ra dữ liệu

Bài 3. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 1	S ₂ /y = 0
S ₂	S ₇ /y = 1	S ₃ /y = 0
S ₃	S ₃ /y = 0	S ₄ /y = 0
S ₄	S ₄ /y = 0	S ₅ /y = 0
S ₅	S ₂ /y = 0	S ₈ /y = 0
S ₆	S ₆ /y = 0	S ₄ /y = 0
S ₇	S ₂ /y = 1	S ₃ /y = 0
S ₈	S ₈ /y = 1	S ₆ /y = 0

Bài 4. Xây dựng T Flip-Flop từ D Flip-Flop

Bài 5. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng JK Flip-Flop



Đề 66:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp Mc-Cluskey và vẽ sơ đồ mạch logic tối thiểu

$$Y = f(A, B, C, D) = \sum(0, 1, 2, 5, 6, 7, 11, 12, 14, 15)$$

$$Y = f(A, B, C, D) = \sum(0, 1, 2, 5, 6, 7, 12, 13, 14, 15)$$

Bài 2. Tối thiểu các hàm logic sau bằng phương pháp bảng Các-nô và vẽ sơ đồ mạch logic tối thiểu trong các trường hợp: chỉ được sử dụng cổng logic 2 đầu vào; chỉ được sử dụng cổng NAND

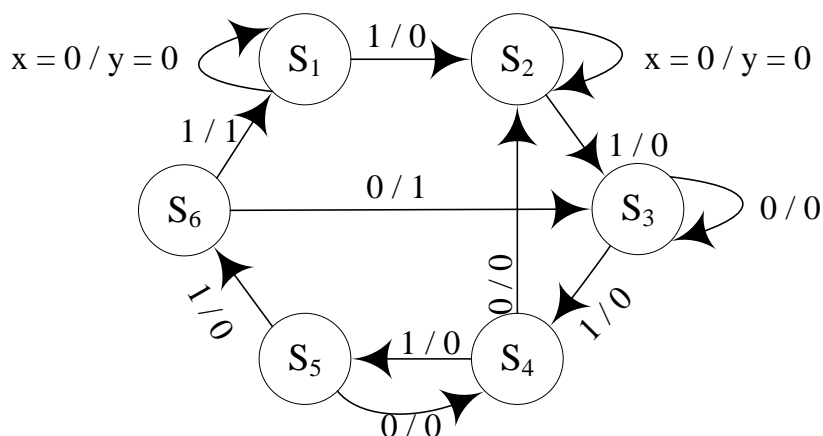
$$Y = f(A, B, C, D, E) = \Pi(1, 5, 9, 14, 16, 18, 19, 24, 28, 29)$$

$$Y = f(A, B, C, D, E) = \Pi(1, 5, 9, 10, 12, 15, 19, 24, 28, 29)$$

Bài 3. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng mạch so sánh 2 số nhị phân 4 bit

Bài 4. Thiết kế bộ đếm đồng bộ: Hệ số đếm $K_d = 16$, mã Gray, đếm thuận

Bài 5. Thiết kế mạch tuần tự đồng bộ một đầu vào x , một đầu ra y , có đồ hình trạng thái như hình dưới, sử dụng Flip-Flop tùy chọn



Đề 67

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp Mc-Cluskey và vẽ sơ đồ mạch logic tối thiểu

$$Y = f(A, B, C, D) = \sum(0, 1, 2, 5, 6, 7, 12, 13, 14, 15)$$

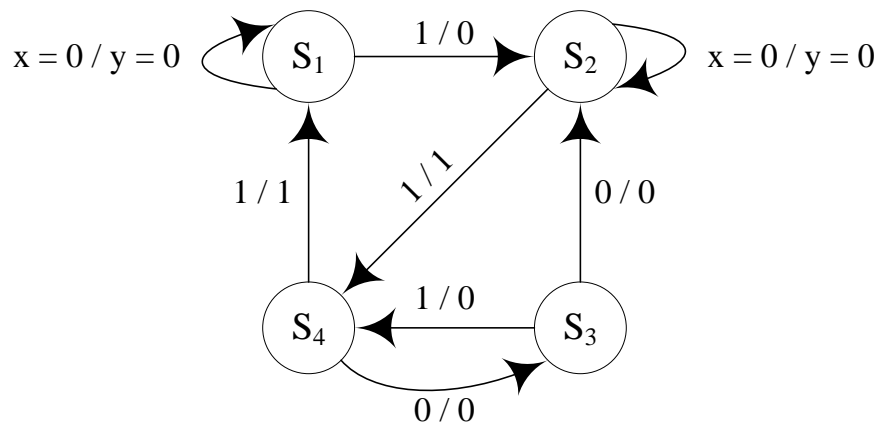
$$Y = f(A, B, C, D) = \sum(0, 1, 2, 5, 6, 7, 9, 12, 13, 15)$$

Bài 2. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng mạch so sánh 2 số nhị phân 16 bit dùng IC 74LS85

Bài 3. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 1	S ₂ /y = 0
S ₂	S ₇ /y = 1	S ₃ /y = 0
S ₃	S ₃ /y = 0	S ₄ /y = 0
S ₄	S ₄ /y = 0	S ₅ /y = 0
S ₅	S ₂ /y = 0	S ₈ /y = 0
S ₆	S ₆ /y = 0	S ₄ /y = 0
S ₇	S ₂ /y = 1	S ₃ /y = 0
S ₈	S ₈ /y = 1	S ₆ /y = 0

Bài 4. Cho mạch tuần tự có đồ hình trạng thái như sau. Lập bảng chuyển trạng thái cho mạch tuần tự đó theo mô hình Mealy. Biên đổi đồ hình và bảng chuyển trạng thái đã cho theo mô hình Moore



Bài 5. Thiết kế bộ đếm không đồng bộ: Hệ số đếm $K_d = 8$, mã nhị phân, đếm nghịch

Đề 68

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp Mc-Cluskey và vẽ sơ đồ mạch logic tối thiểu

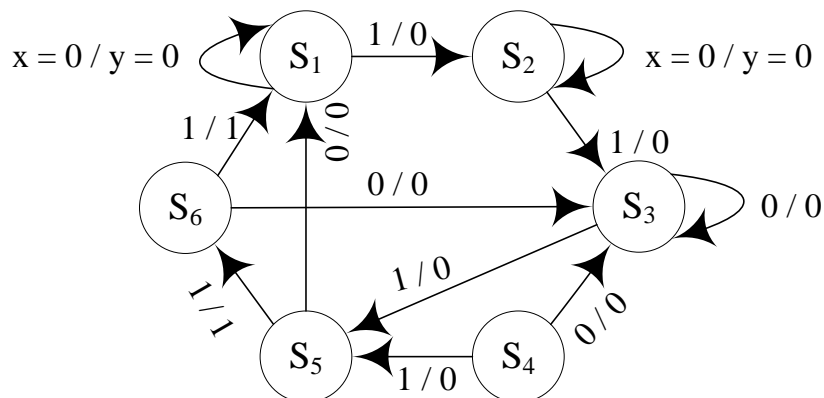
$$Y = f(A, B, C, D) = \sum(0, 1, 2, 4, 5, 6, 7, 10, 12, 13, 15)$$

$$Y = f(A, B, C, D) = \sum(1, 2, 4, 6, 7, 8, 9, 12, 13, 14)$$

Bài 2. Một hệ thống đèn đặt theo kiểu ma trận có khả năng hiển thị các chữ cái như hình vẽ. Trên hình, ma trận đang hiển thị chữ E. Hãy thiết kế mạch điều khiển cho ma trận đèn trên để có thể sáng các chữ cái A, B, C, E, F và các số từ 0 đến 9.

1	2	3
4	5	6
7	8	9
10	11	12
13	14	15

Bài 3. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng Flip-Flop tùy chọn



Bài 4. Thiết kế bộ đếm đồng bộ: Hệ số đếm $K_d = 6$, mã nhị phân, đếm nghịch

Bài 5. Thiết kế một mạch điều khiển cấp điện cho một hệ thống hai máy bơm bơm nước lên bể cao tầng, M_1 là máy bơm công suất lớn và M_2 là máy bơm công suất nhỏ. Bể có ba mức nước quy định là MT (mức thấp), MG (mức giữa) và MC (mức cao) với yêu cầu: Khi dùng nước đến $MT \leq MN < MG$ thì M_1 cấp điện, M_2 cắt điện.

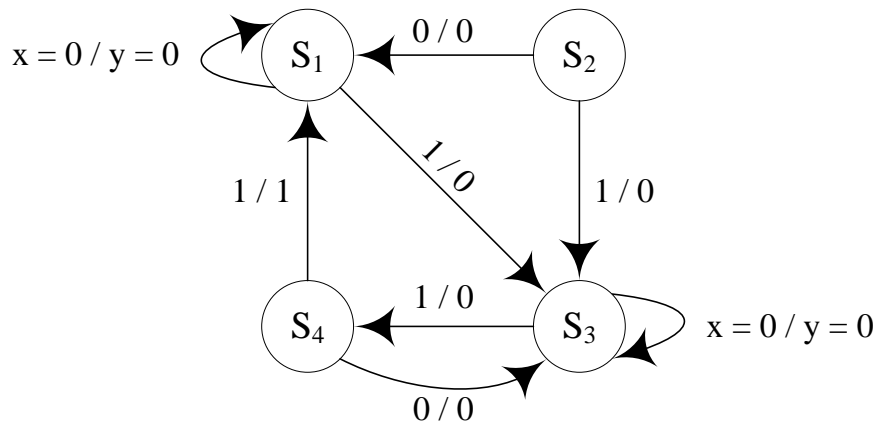
Đề 69

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp bảng Các-nô và vẽ sơ đồ mạch logic tối thiểu trong các trường hợp: chỉ được sử dụng cổng logic 2 đầu vào; chỉ được sử dụng cổng NAND

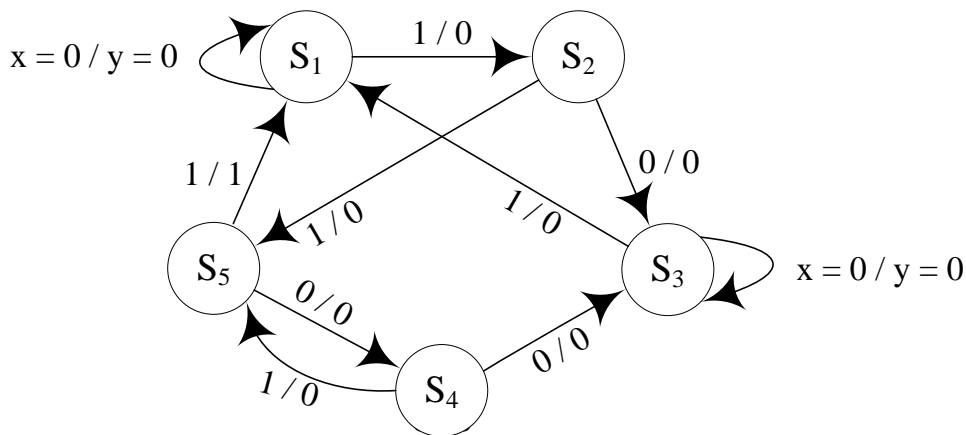
$$Y = f(A, B, C, D, E) = \Pi(0, 5, 9, 10, 15, 18, 19, 24, 28, 29)$$

$$Y = f(A, B, C, D, E) = \Pi(3, 5, 9, 10, 11, 18, 21, 24, 28, 29)$$

Bài 2. Cho mạch tuần tự có đồ hình trạng thái như sau. Lập bảng chuyển trạng thái cho mạch tuần tự đó theo mô hình Mealy. Biến đổi đồ hình và bảng chuyển trạng thái đã cho theo mô hình Moore



Bài 3. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng JK Flip-Flop



Bài 4. Thiết kế bộ đếm đồng bộ: Hệ số đếm $K_d = 9$, mã nhị phân, đếm nghịch

Bài 5. Thiết kế một mạch điều khiển cấp điện cho một hệ thống hai máy bơm bơm nước lên bể cao tầng, M_1 là máy bơm công suất lớn và M_2 là máy bơm công suất nhỏ. Bể có ba mức nước quy định là MT (mức thấp), MG (mức giữa) và MC (mức cao) với yêu cầu: Khi dùng nước đến $MN < MT$ thì cả hai máy bơm được cấp điện.

Đề 70

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp đại số và phương pháp bảng Các-nô

$$Y = f(A, B, C, D) = \sum(0, 1, 2, 5, 6, 7, 9, 12, 13, 15)$$

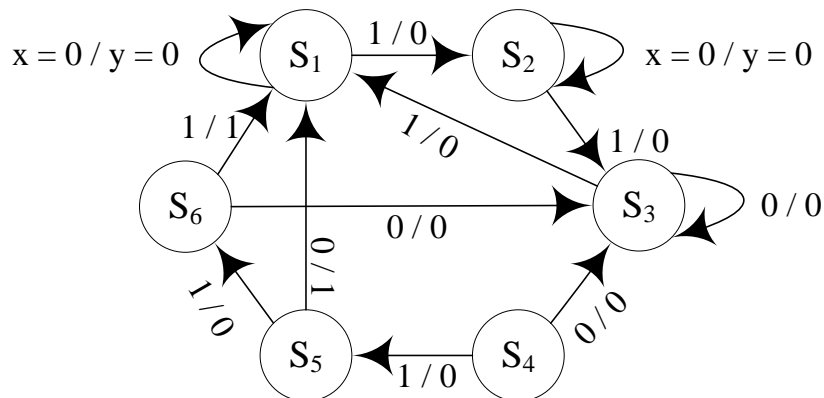
$$Y = f(A, B, C, D) = \sum(0, 1, 2, 4, 5, 6, 7, 10, 12, 13, 15)$$

Bài 2. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng mạch tách kênh có 8 đầu ra dữ liệu

Bài 3. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 1	S ₂ /y = 0
S ₂	S ₇ /y = 1	S ₃ /y = 0
S ₃	S ₃ /y = 0	S ₄ /y = 0
S ₄	S ₄ /y = 0	S ₅ /y = 0
S ₅	S ₂ /y = 0	S ₈ /y = 0
S ₆	S ₆ /y = 0	S ₄ /y = 0
S ₇	S ₂ /y = 1	S ₃ /y = 0
S ₈	S ₈ /y = 1	S ₆ /y = 0

Bài 4. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng Flip-Flop tùy chọn



Bài 5. Thiết kế bộ đếm không đồng bộ: Hệ số đếm $K_d = 8$, mã nhị phân, đếm nghịch

Đề 71:

Bài 1. Xác định tính đúng đắn của các đẳng thức logic sau bằng phương pháp bảng giá trị hàm và phương pháp đại số

$$AB + BCD + \overline{A}C + \overline{B}C = AB + C$$
$$A \oplus B \oplus C \oplus D = A \oplus \overline{B} \oplus C \oplus \overline{D}$$

Bài 2. Tối thiểu các hàm logic sau bằng phương pháp biến đổi đại số

$$AB + \overline{A}C + \overline{B}C + \overline{C}D + D$$

$$A(\overline{A}C + BD) + B(C + DE) + B\overline{C}$$

Bài 3. Tối thiểu các hàm logic sau bằng phương pháp đại số và phương pháp bảng Các-nô

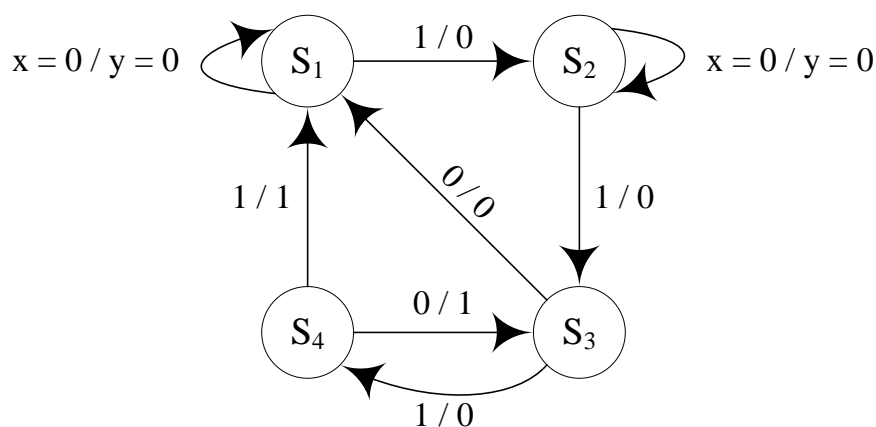
$$Y = f(A, B, C, D) = \sum(0, 2, 4, 6, 7, 9, 10, 11, 13, 15)$$

$$Y = f(A, B, C, D) = \sum(0, 1, 2, 4, 6, 7, 9, 10, 11, 15)$$

Bài 4. Một hệ thống đèn đặt theo kiểu ma trận có khả năng hiển thị các chữ cái như hình vẽ. Trên hình, ma trận đang hiển thị chữ E. Hãy thiết kế mạch điều khiển cho ma trận đèn trên để có thể sáng các chữ số A, B, C, E, F, H, I, L, P

1	2	3
4	5	6
7	8	9
10	11	12
13	14	15

Bài 5. Cho mạch tuần tự có đồ hình trạng thái như sau. Lập bảng chuyển trạng thái cho mạch tuần tự đó theo mô hình Mealy. Biến đổi đồ hình và bảng chuyển trạng thái đã cho theo mô hình Moore



Đề 72:

Bài 1. Xác định tính đúng đắn của các đẳng thức logic sau bằng phương pháp bảng giá trị hàm và phương pháp đại số

$$ABCD + \overline{A} \overline{B} \overline{C} \overline{D} = \overline{AB} + \overline{BC} + \overline{CD} + \overline{DA}$$
$$\overline{AB} + \overline{BC} + \overline{CA} = \overline{AB} + \overline{BC} + \overline{CA}$$

Bài 2. Tối thiểu các hàm logic sau bằng phương pháp đại số và phương pháp bảng Các-nô

$$Y = f(A, B, C, D) = \sum(1, 2, 4, 5, 6, 7, 9, 10, 11, 15)$$

$$Y = f(A, B, C, D) = \sum(1, 2, 4, 5, 6, 7, 9, 10, 12, 15)$$

Bài 3. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng chuyển mã nhị phân 4 bit đầu vào thành mã dư ba ở đầu ra

Bài 4. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₂ /y = 0
S ₂	S ₄ /y = 0	S ₁ /y = 1
S ₃	S ₅ /y = 0	S ₆ /y = 0
S ₄	S ₆ /y = 0	S ₂ /y = 1
S ₅	S ₃ /y = 0	S ₆ /y = 0
S ₆	S ₂ /y = 0	S ₃ /y = 1
S ₇	S ₇ /y = 0	S ₂ /y = 0
S ₈	S ₈ /y = 0	S ₇ /y = 1

Bài 5. Thiết kế bộ đếm đồng bộ: Hệ số đếm K_d = 6, mã nhị phân, đếm thuận.

Đề 73:

Bài 1. Xác định tính đúng đắn của các đẳng thức logic sau bằng phương pháp bảng giá trị hàm và phương pháp đại số

$$\overline{A \oplus B \oplus C} = \overline{A} \oplus \overline{B} \oplus \overline{C}$$
$$A\overline{B} + BD + DCE + D\overline{A} = A\overline{B} + D$$

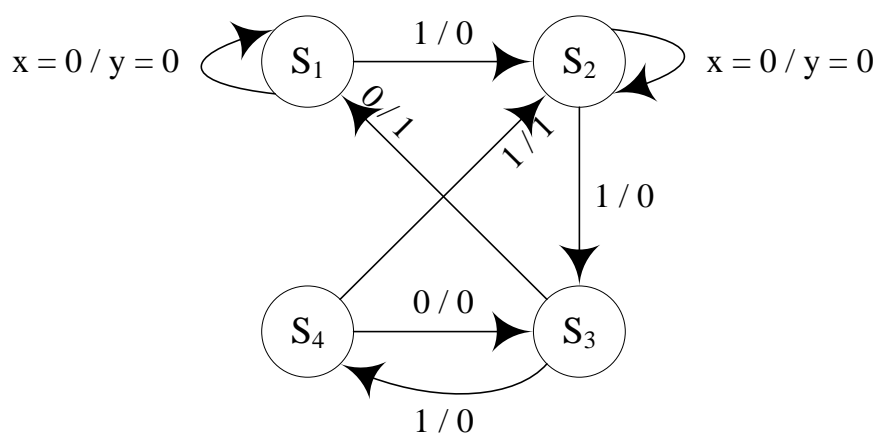
Bài 2. Tối thiểu các hàm logic sau bằng phương pháp Mc-Cluskey và vẽ sơ đồ mạch logic tối thiểu

$$Y = f(A, B, C, D) = \sum(0, 2, 4, 6, 7, 9, 10, 11, 13, 15)$$

$$Y = f(A, B, C, D) = \sum(0, 1, 2, 4, 6, 7, 9, 10, 11, 15)$$

Bài 3. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng chuyển mã nhị phân 4 bit đầu vào thành mã Gray ở đầu ra

Bài 4. Cho mạch tuần tự có đồ hình trạng thái như sau. Lập bảng chuyển trạng thái cho mạch tuần tự đó theo mô hình Mealy. Biến đổi đồ hình và bảng chuyển trạng thái đã cho theo mô hình Moore



Bài 5. Xây dựng SR Flip-Flop từ JK Flip-Flop.

Đề 74:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp biến đổi đại số

$$A + \overline{\overline{B}} + \overline{\overline{CD}} + \overline{\overline{AD}} \overline{B}$$
$$AD + BC\overline{D} + C(\overline{A} + \overline{B})$$

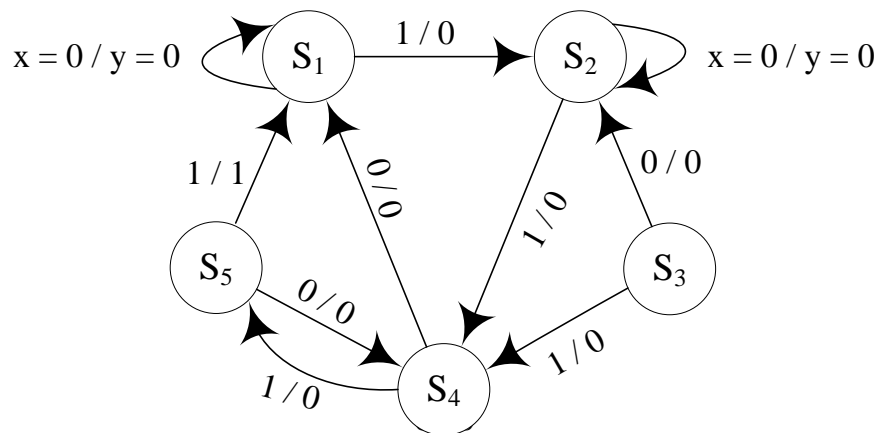
Bài 2. Tối thiểu các hàm logic sau bằng phương pháp đại số và phương pháp bảng Các-nô

$$Y = f(A, B, C, D) = \sum(1, 2, 4, 5, 7, 8, 10, 12, 13, 15)$$

$$Y = f(A, B, C, D) = \sum(1, 2, 4, 5, 6, 7, 8, 10, 12, 15)$$

Bài 3. Xây dựng SR Flip-Flop từ D Flip-Flop

Bài 4. Thiết kế mạch tuần tự đồng bộ một đầu vào x, một đầu ra y, có đồ hình trạng thái như hình dưới, sử dụng JK Flip-Flop



Bài 5. Thiết kế bộ đếm không đồng bộ: Hệ số đếm Kđ = 6, mã nhị phân, đếm thuận

Đề 75:

Bài 1. Tối thiểu các hàm logic sau bằng phương pháp Mc-Cluskey và vẽ sơ đồ mạch logic tối thiểu

$$Y = f(A, B, C, D) = \sum(1, 2, 4, 5, 6, 7, 9, 10, 11, 15)$$

$$Y = f(A, B, C, D) = \sum(1, 2, 4, 5, 6, 7, 9, 10, 12, 15)$$

Bài 2. Tối thiểu các hàm logic sau bằng phương pháp bảng Các-nô và vẽ sơ đồ mạch logic tối thiểu trong các trường hợp: chỉ được sử dụng cổng logic 2 đầu vào; chỉ được sử dụng cổng NAND

$$Y = f(A, B, C, D, E) = \Pi(1, 5, 9, 10, 11, 18, 19, 24, 28, 29)$$

$$Y = f(A, B, C, D, E) = \Pi(0, 3, 9, 10, 11, 18, 19, 24, 28, 29)$$

Bài 3. Thiết kế và vẽ sơ đồ mạch logic tổ hợp có chức năng chuyển mã BCD 4 bit đầu vào thành mã dư ba ở đầu ra.

Bài 4. Tối thiểu trạng thái cho mạch tuần tự có bảng chuyển trạng thái được cho như sau:

Trạng thái cũ	Trạng thái mới/y	
	x = 0	x = 1
S ₁	S ₁ /y = 0	S ₂ /y = 1
S ₂	S ₄ /y = 0	S ₃ /y = 0
S ₃	S ₅ /y = 0	S ₇ /y = 1
S ₄	S ₂ /y = 0	S ₃ /y = 0
S ₅	S ₈ /y = 0	S ₄ /y = 1
S ₆	S ₃ /y = 0	S ₈ /y = 0
S ₇	S ₇ /y = 0	S ₁ /y = 1
S ₈	S ₃ /y = 0	S ₆ /y = 0

Bài 5. Thiết kế bộ đếm không đồng bộ: Hệ số đếm K_d = 6, mã nhị phân, đếm thuận