



KHOA VÔ TUYẾN ĐIỆN TỬ BỘ MÔN KỸ THUẬT VI XỬ LÝ

KỸ THUẬT VI XỬ LÝ VÀ LẬP TRÌNH HỢP NGỮ

Giáo viên: Nguyễn Khoa Sang

HỌC VIỆN KỸ THUẬT QUÂN SỰ - 2016

Chương 2. Bộ vi xử lý 16 bit 80286 INTEL

Nội dung

1. Tổ chức phần cứng của bộ vi xử lý 80286
2. Hoạt động của bộ vi xử lý 80286
3. Quản lý bộ nhớ thực của bộ vi xử lý 80286
4. Khởi động bộ vi xử lý 80286
5. Tổ chức cổng vào/ra cho bộ vi xử lý 80286

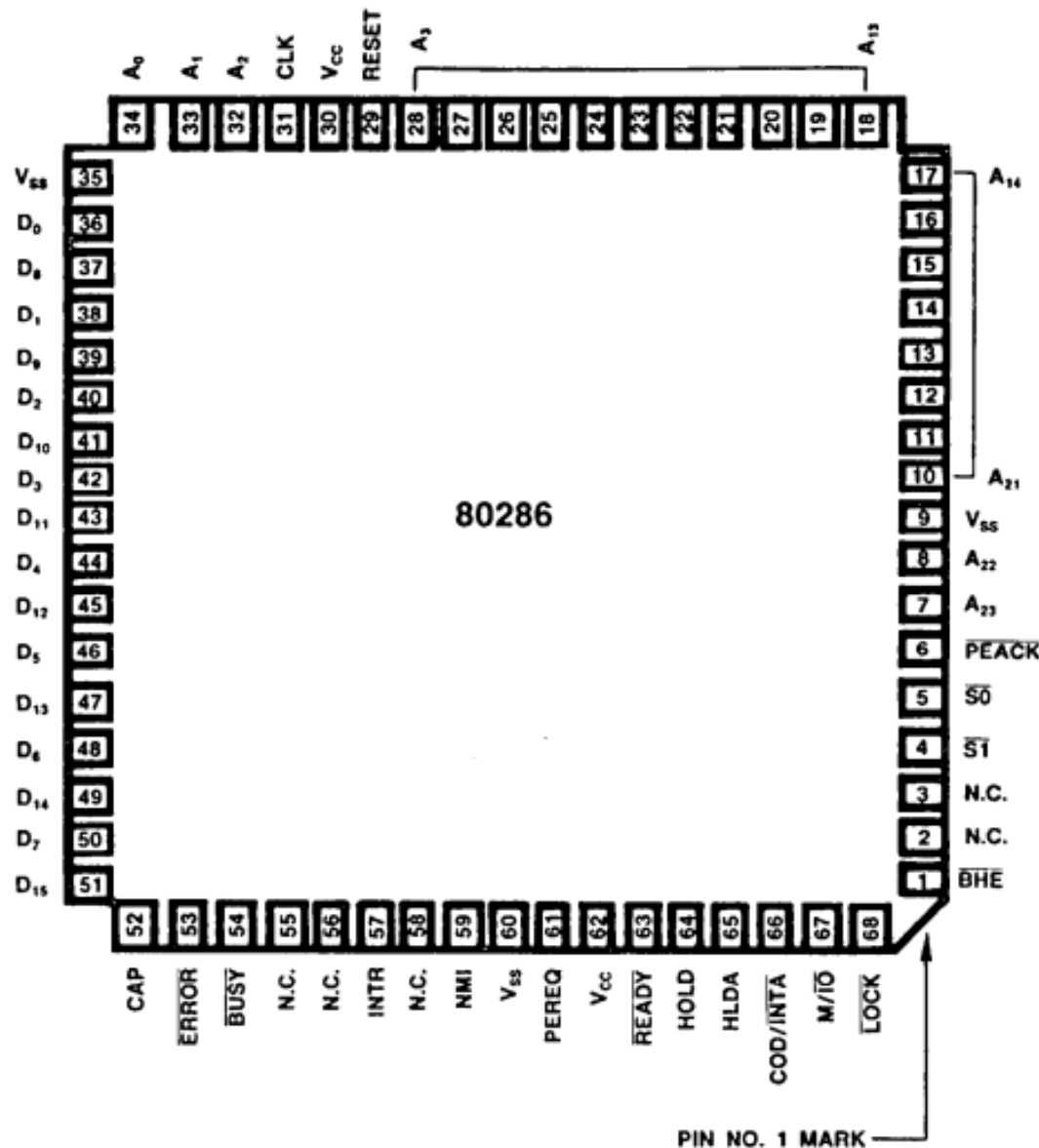
Cấu trúc chung bộ VXL 80286 (cont)

- Là bộ VXL 16 bit INTEL thuộc họ IAPX 86:
- + Xung nhịp 16 MHz
- + Địa chỉ hóa 16MB bộ nhớ vật lý và 1GB bộ nhớ ảo
- + Có 2 chế độ hoạt động: thực và ảo (chế độ bảo vệ)
- + Có khả năng làm việc với các bộ đồng xử lý

Cấu trúc chung bộ VXL 80286 (cont)

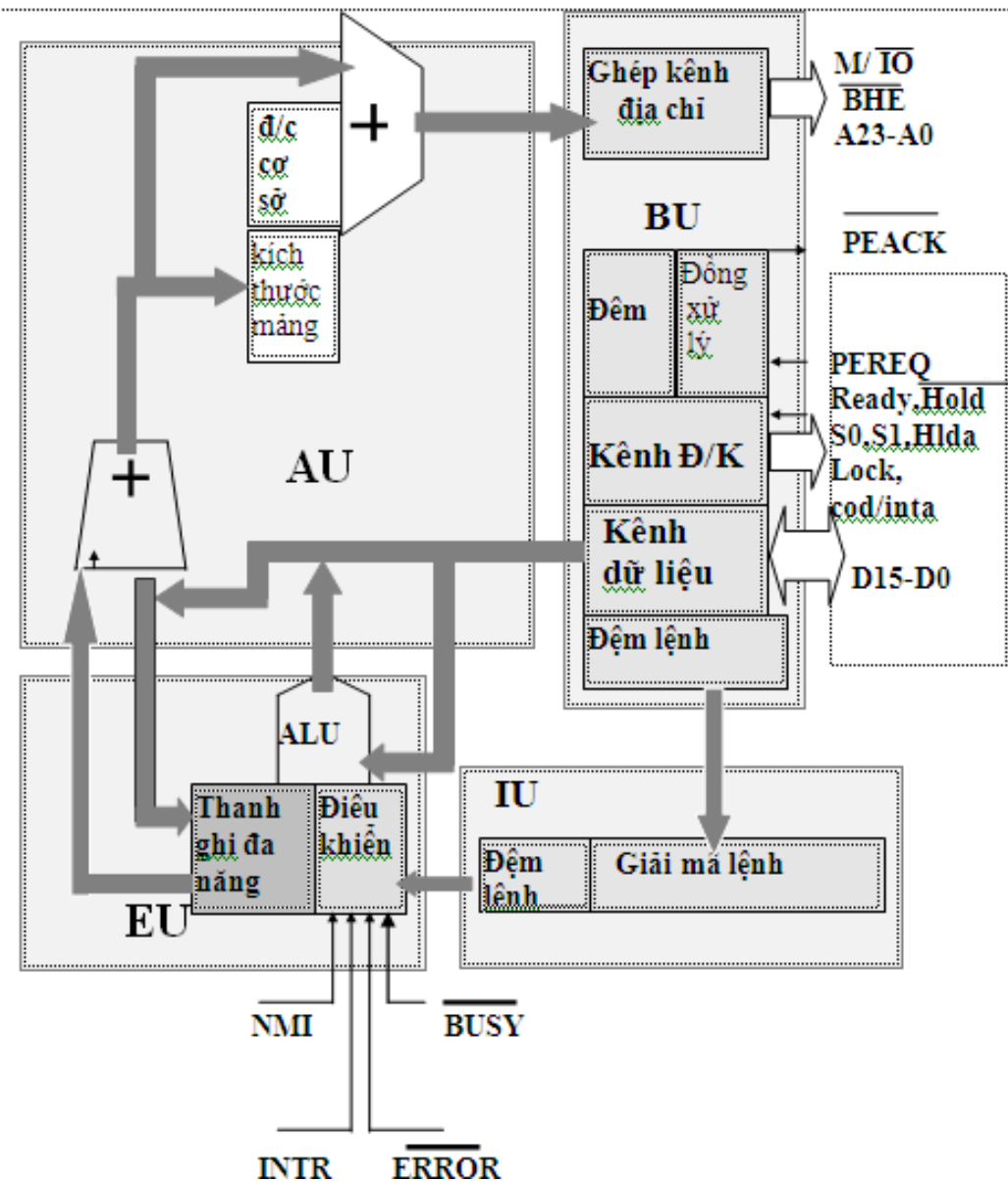
- Chế độ địa chỉ thực sử dụng A0 đến A19 nên quản lý được 2^{20} ngăn nhớ
- Chế độ địa chỉ ảo quản lý được 2^{24} ngăn nhớ vật lý (16MB) và 1GB bộ nhớ ảo (2^{30})
- Tín hiệu CLK được chia đôi trong 80286, mỗi CLK gồm 2 pha ($\phi 1$ và $\phi 2$)

Cấu trúc chung bộ VXL 80286 (cont)



- Data(16 bit)
- Address (24)
- Control

Cấu trúc chung bộ VXL 80286 (cont)



Cấu trúc chung bộ VXL 80286 (cont)

- Khối BU (Bus unit): khối ghép kênh, ghép kênh nội bộ ra kênh hệ thống, phát sinh các tín hiệu địa chỉ, dữ liệu, điều khiển để thâm nhập vào bộ nhớ và các cổng vào ra, nó cho phép thiết lập các mối quan hệ với các bộ đồng xử lý hoặc các bộ xử lý đang làm chủ kênh. Đơn vị này cho phép quá trình nhận lệnh diễn ra song song với các quá trình khác nhờ có tệp đệm 6 byte.

+ Khối ghép kênh địa chỉ: MP dùng kênh địa chỉ quản lý tất cả các thành phần giao tiếp với MP, kênh địa chỉ càng lớn thì khả năng quản lý càng lớn.

80286 có 24 bit địa chỉ: A23 – A0, tuy nhiên khi làm việc với các cổng vào ra thì A23 – A16 bị ghim ở mức 0, còn A15 – A0 được sử dụng, do đó 80286 có thể quản lý được $2^{16} = 64K$ cổng vào ra.

Cấu trúc chung bộ VXL 80286 (cont)

Có hai chế độ:

Chế độ địa chỉ thực: dùng 20 bit A19 – A0

Chế độ địa chỉ ảo: dùng cả 24 bit

Cấu trúc chung bộ VXL 80286 (cont)

-Tín hiệu /BHE (Bus High Enable): Cho phép chọn phần cao của kênh dữ liệu. Tín hiệu /BHE kết hợp với A0 cho biết dữ liệu được truyền theo kiểu byte hay word

— BHE	A0	Chức năng
0	0	WORD cả kênh D15-D0 được sử dụng
0	1	BYTE cao D15-D8 được sử dụng, byte thấp tự do
1	0	BYTE thấp D7-D0 được sử dụng, byte cao tự do
1	1	Không sử dụng

Cấu trúc chung bộ VXL 80286 (cont)

-MP dùng tín hiệu M/IO# để phân biệt bộ nhớ và cổng vào ra

Nếu M/IO# = 1 : bộ nhớ

Nếu M/IO# = 0: cổng vào ra I/O

-/Ready: là tín hiệu báo sẵn sàng của thiết bị ngoại vi.

-INTR (Interrupt Request): Là tín hiệu yêu cầu ngắt của thiết bị ngoại vi. Yêu cầu này sẽ bị che nếu bit cờ IF của thanh ghi cờ bằng 0.

Cấu trúc chung bộ VXL 80286 (cont)

- /HOLD, HLDA là các tín hiệu phục vụ cho chế độ thâm nhập trực tiếp DMA (Direct Memory Access)
Khi muốn chiếm kênh hệ thống, thiết bị khác gửi tín hiệu /HOLD đến MP, nếu chấp thuận MP sẽ gửi lại tín hiệu HLDA.
- /S0, S1/ (status signal): các tín hiệu trạng thái kết hợp với các t/h khác để quy định chu kỳ máy mà hệ thống đang hoạt động.
- COD/INTA# (Code/Interrupt Acknowledge): dùng để phân biệt chu kỳ nhận lệnh với chu kỳ trả lời ngắt.

Cấu trúc chung bộ VXL 80286 (cont)

LOCK: là tín hiệu của MP cấm các bộ vi xử lý khác làm chủ kênh hệ thống (trong chế độ làm việc song song). Lệnh Lock khởi động tín hiệu trên và nó sẽ trở thành mức tích cực một cách tự động khi thực hiện lệnh XCHG hoặc ở chu kỳ /INTA hoặc trong thời gian thăm nhập bảng các bộ mô tả.

Cấu trúc chung bộ VXL 80286 (cont)

COD/INTA	M/IO	S1	S0	Chu kỳ máy của 80286
0	0	0	0	Trả lời ngắt INTRA
0	0	0	1	Chưa sử dụng
0	0	1	0	Chưa sử dụng
0	0	1	1	Không là chu kỳ máy
0	1	0	0	A1=1 dừng A1=0 đóng
0	1	0	1	Chu kỳ máy MR
0	1	1	0	Chu kỳ máy MW
0	1	1	1	Không là chu kỳ máy
1	0	0	0	Chưa sử dụng
1	0	0	1	Chu kỳ máy IOR
1	0	1	0	Chu kỳ máy IOW
1	0	1	1	Chưa sử dụng
1	1	0	0	Chưa sử dụng
1	1	0	1	Chu kỳ máy OF
1	1	1	0	Chưa sử dụng
1	1	1	1	Không là chu kỳ máy

Cấu trúc chung bộ VXL 80286 (cont)

+ Khối đồng xử lý

Cho phép bộ vi xử lý kết hợp hiệu quả với bộ đồng xử lý bên ngoài, ở đây là bộ đồng xử lý toán học. Tín hiệu PEREQ (Processor Extension Request) là tín hiệu đầu vào từ bộ đồng xử lý (Coprocessor) yêu cầu MP gửi một toán hạng cho nó. Tín hiệu PEACK (Processor Extension Acknowledge) là tín hiệu đầu ra của MP báo cho bộ đồng xử lý biết là toán hạng mà nó yêu cầu đang được gửi tới.

Cấu trúc chung bộ VXL 80286 (cont)

+ Bộ vi xử lý 80286 trả lời ngắt bằng 2 chu kỳ /INTA: một chu kỳ thông báo cho mạch điều khiển ngắt biết rằng yêu cầu ngắt đã được chấp thuận, và chu kỳ thứ 2 sẽ đọc vector ngắt từ mạch điều khiển ngắt. Tín hiệu INTR phải ở mức tích cực ít nhất 2 chu kỳ trước khi kết thúc lệnh đang thực hiện và phải duy trì cho đến cuối chu kỳ /INTA thứ nhất.

Cấu trúc chung bộ VXL 80286 (cont)

+ NMI (Non Maskable Interrupt): Ngắt không che được, nó phản ứng với sườn lên của xung kích. Lưu ý rằng muốn ngắt bằng tín hiệu này thì xung kích phải kéo dài mức 0 đúng 4 chu kỳ nhịp rồi mới chuyển sang mức 1 và duy trì mức này 4 chu kỳ nhịp.

Cấu trúc chung bộ VXL 80286 (cont)

- + Khối ghép kênh dữ liệu: gồm 16 bit D15 – D0 là kênh 2 chiều, ba trạng thái.
- + Khối đệm lệnh: chứa các lệnh chưa được giải mã (chứa tối đa được 6 byte).

Cấu trúc chung bộ VXL 80286 (cont)

- Khối IU (Instruction Unit): khối lệnh, thực hiện giải mã lệnh nhận được từ tệp đệm rồi đưa vào tệp đợi (chứa được 3 lệnh).

Như vậy 80286 khi đang thực hiện lệnh thì vẫn có thể nhận lệnh, quá trình nhận lệnh và thực hiện lệnh là song song thực sự. Cấu trúc này gọi là cấu trúc Pipeline (Cấu trúc kiểu đường ống). Điều này làm cho quá trình xử lý của 80286 nhanh hơn (từ 286 trở đi mới có).

Cấu trúc chung bộ VXL 80286 (cont)

- Khối EU(Execution Unit): khối thực hiện lệnh. Có 3 khối chính:

- + Khối điều khiển bên trong, có chức năng.

Tách chức năng lệnh đã được giải mã thành các vi lệnh (lệnh đơn giản)

Sắp xếp các vi lệnh theo một trình tự nhất định

Phát động trình tự này đi vào hoạt động

Khi vi lệnh cuối thực hiện xong thì lệnh thực hiện xong.

Khối điều khiển chính là bộ não của bộ vi xử lý (MP là hạt nhân của hệ vi xử lý thì khối điều khiển là bộ não của MP).

- + ALU (Arithmetic Logic Unit): khối tính toán các phép tính số học và logic. Tất cả các quá trình xử lý thông tin đều thông qua ALU.

Cấu trúc chung bộ VXL 80286 (cont)

Tín hiệu /ERROR là tín hiệu của bộ đồng xử lý báo cho bộ vi xử lý biết bộ đồng xử lý phát hiện điều kiện ngoại lệ không che được.

/BUSY: báo cho bộ vi xử lý biết là bộ đồng xử lý đang bận. Lúc này bộ vi xử lý 80286 sẽ thực hiện các lệnh ESC và WAIT để đợi bộ đồng xử lý.

Cấu trúc chung bộ VXL 80286 (cont)

- Khối AU(Address Unit): có nhiệm vụ chuyển từ địa chỉ logic hoặc địa chỉ ảo thành địa chỉ vật lý (địa chỉ thực) để đưa ra khối ghép kênh địa chỉ.

Các thanh ghi của bộ VXL 80286

80286 có tất cả 15 thanh ghi 16 bit

- Nhóm các thanh ghi đa năng (làm được nhiều việc)
- AX, BX, CX, DX: bốn thanh ghi 16 bit, có thể hiểu như 8 thanh ghi 8 bit:
- Thanh ghi AX, DX: dùng trong các lệnh nhân chia vào ra dữ liệu.
- Thanh ghi BX: là thanh ghi cơ sở dùng để chứa địa chỉ cơ sở của một cấu trúc dữ liệu, ví dụ địa chỉ cơ sở của một bảng dữ liệu.
- Thanh ghi CX: tạo ra bộ đếm mềm.

Các thanh ghi của bộ VXL 80286 (cont)

- Nhóm các thanh ghi con trỏ và chỉ số
 - + BP : thanh ghi cơ sở được dùng tương tự như thanh ghi BX
 - + SP : Là thanh ghi con trỏ ngăn xếp.
 - + IP: Là thanh ghi con trỏ lệnh
 - + SI, DI: là các thanh ghi chỉ số dùng để truy cập vào một cấu trúc dữ liệu.

Các thanh ghi của bộ VXL 80286 (cont)

- Nhóm thanh ghi quản lý mảng bộ nhớ
- +Mảng nhớ có dung lượng: $1 - 2^{16}$ byte
- +Mảng chứa mã lệnh do thanh ghi CS (Code Segment) quản lý
- +Mảng dữ liệu do thanh ghi DS (Data Segment) quản lý.
- +Mảng chứa ngăn xếp do thanh ghi SS (Stack Segment) quản lý.
- +Mảng dữ liệu phụ do thanh ghi ES (Extra Segment) quản lý.

Các thanh ghi của bộ VXL 80286 (cont)

-Nhóm thanh ghi điều khiển và trạng thái.

+ Thanh ghi cờ: F (flag)

Cờ TF: cờ bẫy, cho đoạn lệnh chạy từng lệnh một, hiệu quả xây dựng chương trình gỡ rối(debug)

+ Cờ chế độ đặc biệt:

+IOPL (IO Privilege Level): mức đặc quyền cổng vào/ra, liên quan đến chế độ ảo

chế độ ảo: đa nhiệm, có chế độ phân quyền

+NT(Nested Task): báo hiệu một số nhiệm vụ có thể lồng vào bên nhau

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NT	IOPL		OF	DF	IF	TF	SF	ZF		AF	PF			CF

Các thanh ghi của bộ VXL 80286 (cont)

+ Thanh ghi MSW: trạng thái máy.

-PE (Protected Mode Enable) = 1 trạng thái địa chỉ ảo(trạng thái bảo vệ)

-MP (Monitor processon Extension): đang làm việc với bộ đồng xử lý

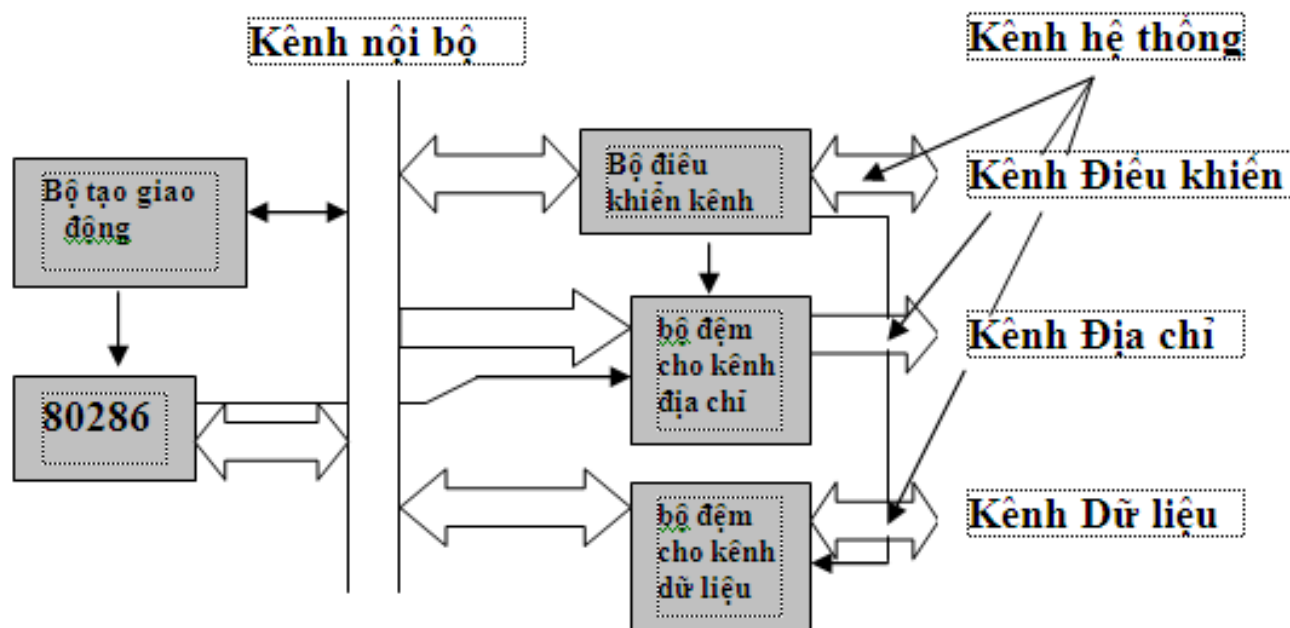
-EP (Emulaton porcesson Extension): là tín hiệu cho phép mô phỏng bộ đồng xử lý với tập hợp TG, Trình bày xong trường TG mỗi TG tên là địa chỉ của nó.

-TS (TASK SET) là bit thông báo việc chuyển nhiệm vụ được dùng trong trường hợp có bộ đồng xử lý cùng làm việc.

Hoạt động của bộ VXL 80286

Kênh nội bộ và kênh hệ thống

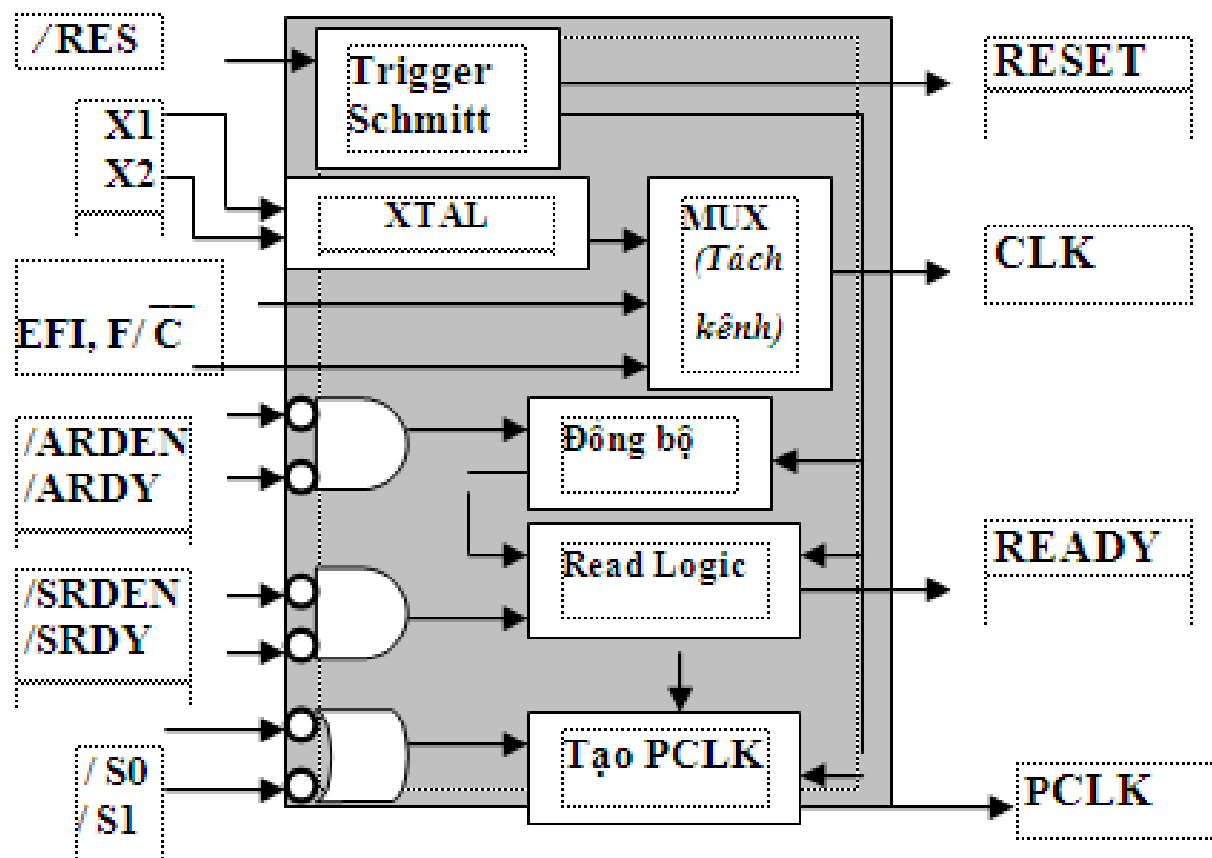
- Bộ tạo dao động: có 1 chip 82284.
- Bộ điều khiển kênh 82288



Hình 2.2. Tổ chức kênh hệ thống cho bộ vi xử lý 80286

Hoạt động của bộ VXL 80286 (cont)

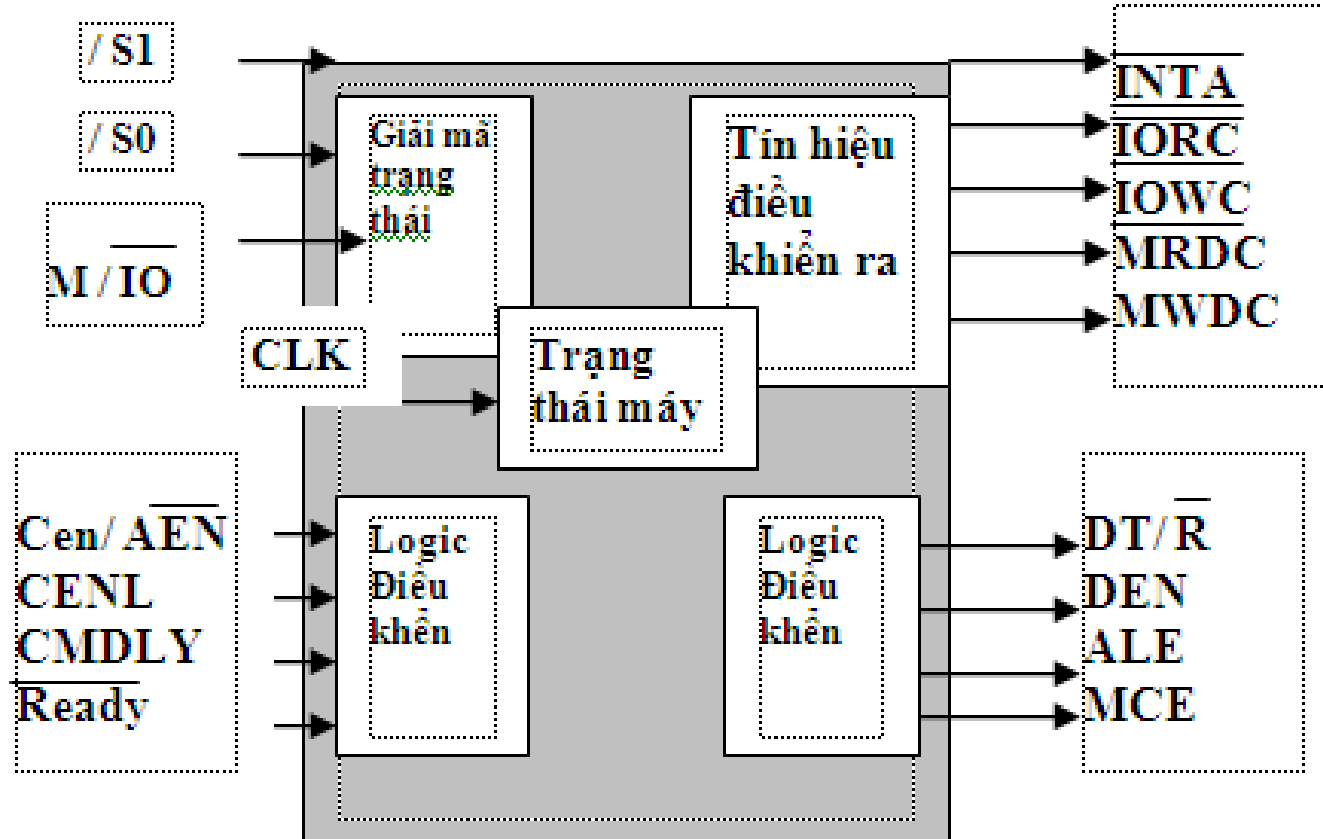
+ Chip 82284: bộ tạo dao động, tạo CLK



Hình 2.3. Bộ tạo giao động 82284

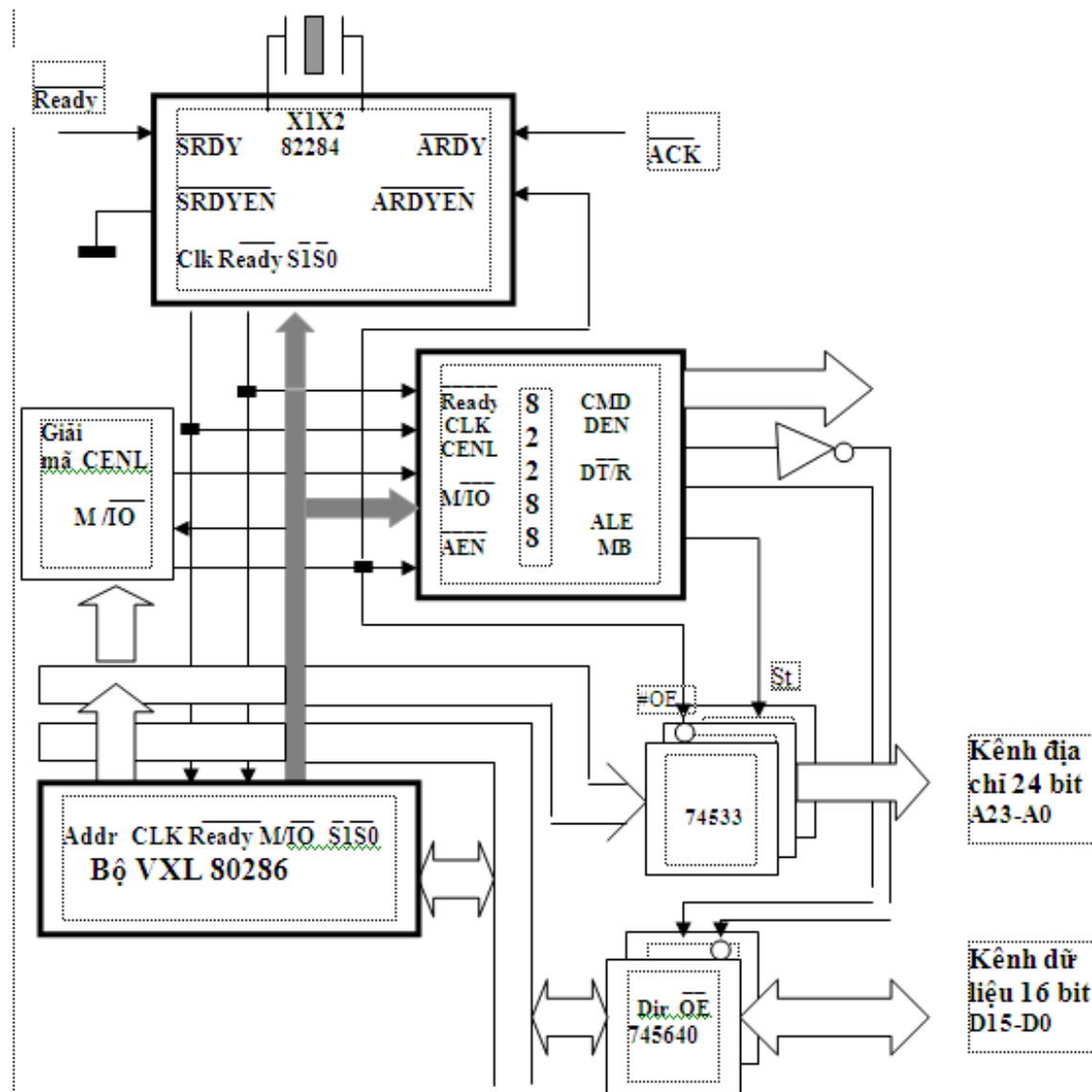
Hoạt động của bộ VXL 80286 (cont)

+ Chip 82288: tạo ra tín hiệu điều khiển cho kênh hệ thống



Hình 2.3. Bộ điều khiển kênh 82288

Hoạt động của bộ VXL 80286 (cont)



Hình 2.4 Phương án tổ chức kênh hệ thống của bộ vi xử lý 80286

Hoạt động của bộ VXL 80286 (cont)

3 IC 533: 3×8 đường địa chỉ = 24 đường địa chỉ, lấy thông tin kết xuất từ bên trong. 3 IC ghép nối tiếp nhau và được điều khiển bằng 2 tín hiệu là Str (Stroble) và #OE.

Str: lấy từ ALE

Mở bằng #OE: lấy từ #AEN

Dữ liệu: 2 IC 8bit, hướng truyền thông tin 2 chiều do DT/#R điều khiển. Còn #OE được nối tới DEN để cho phép dữ liệu ra.

-> sau khi tổ chức xong hệ thống chúng ta có thể ghép nối với bất kỳ hệ thống nào để hoạt động.

Hoạt động của bộ VXL 80286 (cont)

Khái niệm:

- Chu kỳ lệnh: thời gian để thực hiện hoàn tất một lệnh của chương trình.

Các lệnh về bản chất là một lệnh trong tập hợp lệnh của bộ vi xử lý.

- Để hỗ trợ cho chu kỳ lệnh, đưa ra khái niệm chu kỳ máy, thời gian để MP hoàn tất một chức năng cơ bản của lệnh.

Ví dụ:

Đọc thông tin từ bộ nhớ #MRDC

Ghi thông tin vào bộ nhớ #MWDC

Đọc thông tin từ cổng vào/ra IORD

Ghi thông tin vào cổng vào/ra IOWR

Thời gian để trả lời ngắt INTA

Thời gian trạng thái kênh đang rồi

Hoạt động của bộ VXL 80286 (cont)

-Chu kỳ lệnh = thời gian nhận lệnh + chu kỳ máy khác

-Các trạng thái chuyển tiếp của bộ vi xử lý khi hoạt động bao gồm:

T_i là trạng thái nghỉ (idle)

T_s là trạng thái phát các tín hiệu mã chu kỳ máy (Status)

T_c là trạng thái thực hiện lệnh (Command)

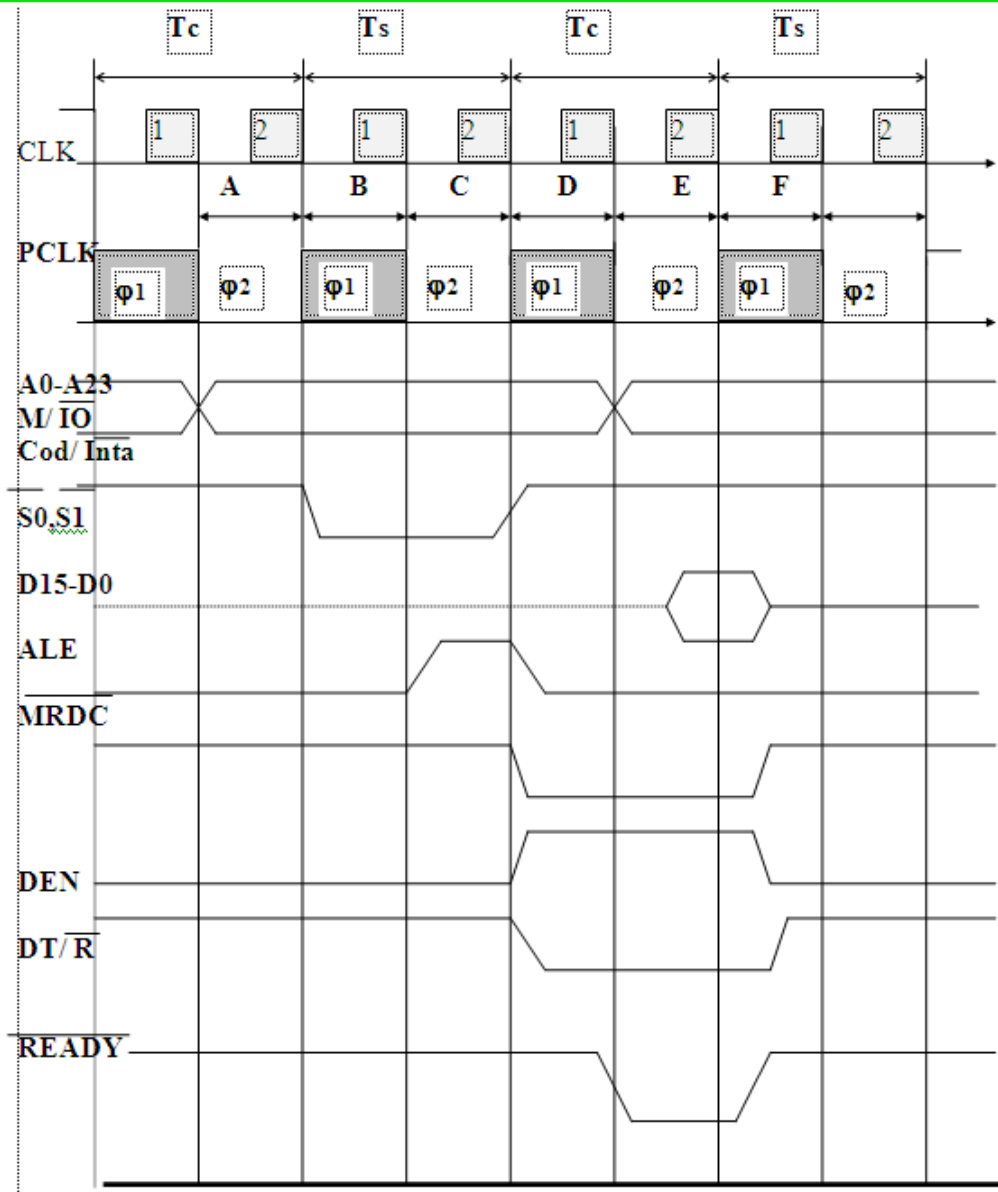
T_h là trạng thái treo của kênh (Hold), trạng thái cổng vào ra ở trở kháng cao

T_i , T_h ứng với trường hợp khác; còn T_s , T_c ứng với chu kỳ máy.

Hoạt động của bộ VXL 80286 (cont)

Kết luận: từ một tập hợp nhỏ các chu kỳ máy, căn cứ vào thứ tự, số lượng khác nhau tổ hợp lại hình thành tập hợp chu kỳ lệnh rất phong phú. Có thể mở rộng MP mà không ảnh hưởng tới cấu trúc bên trong.

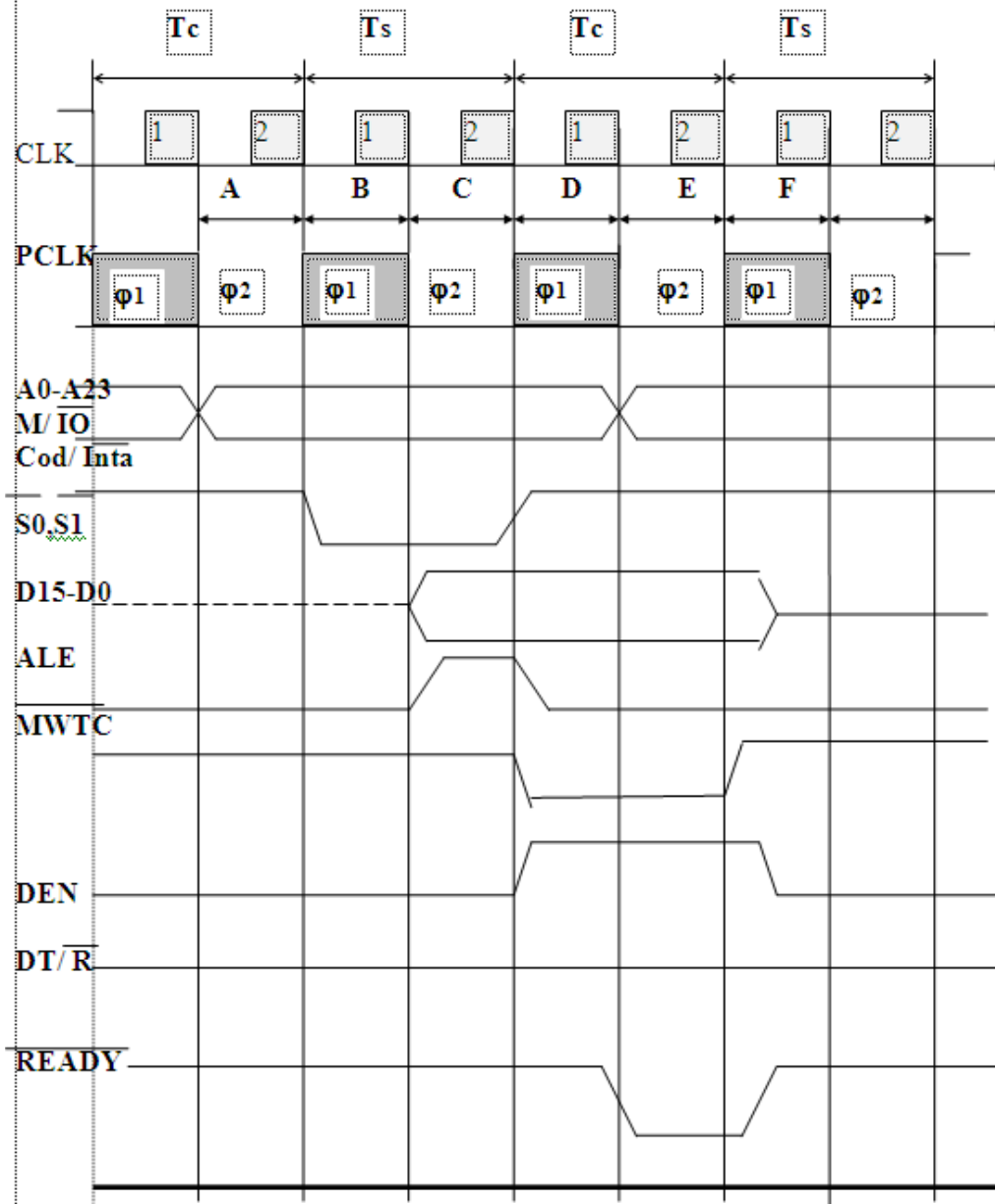
Hoạt động của bộ VXL 80286 (cont)



Chu kỳ đọc thông tin từ bộ nhớ #MRDC

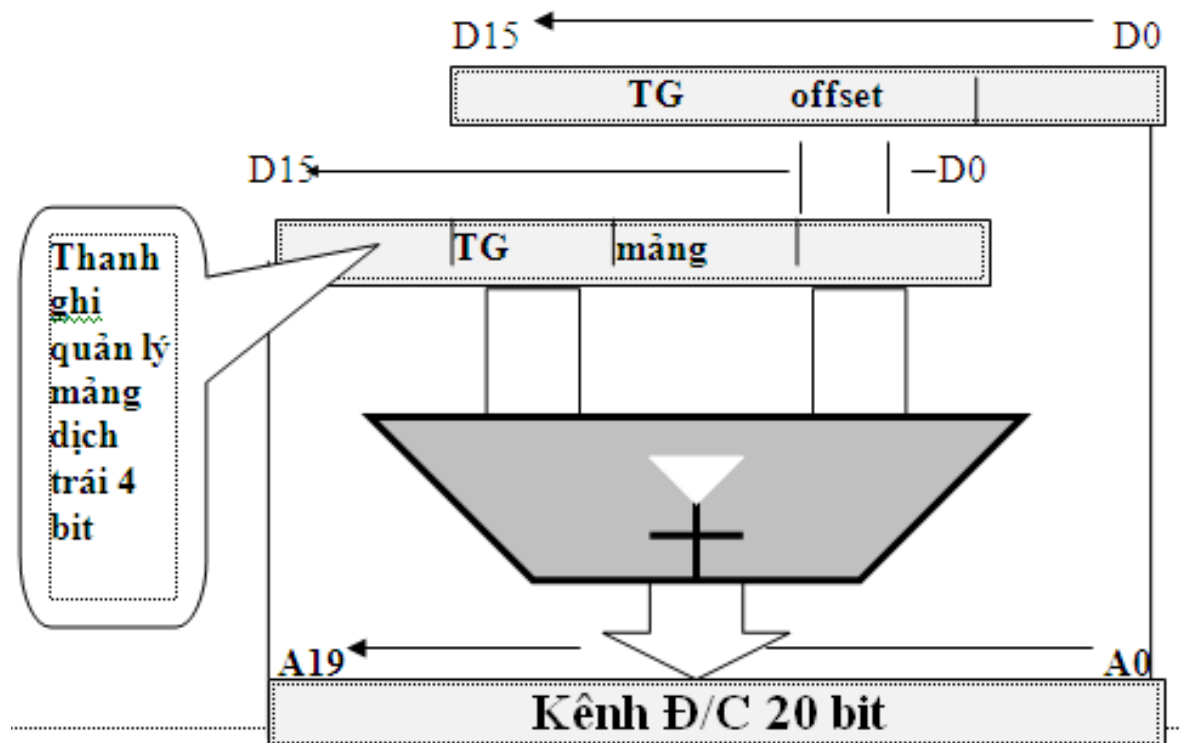
Hoạt động của bộ VXL 80286 (cont)

Chu kỳ ghi
thông tin vào
bộ nhớ MWR



Quản lý bộ nhớ thực của bộ VXL 80286

Quản lý địa chỉ thực: 80286 dùng cặp thanh ghi mảng và thanh ghi offset (seg: offset) để quản lý không gian nhớ thực của hệ vi xử lý. Không gian nhớ thực cực đại sẽ phụ thuộc vào số bit của kênh địa chỉ mà bộ vi xử lý dành cho chế độ này. Địa chỉ vật lý sẽ bằng thanh ghi mảng dịch trái 4 bit cộng với cả giá trị của thanh ghi offset.



Quản lý bộ nhớ thực của bộ VXL 80286

Phương pháp địa chỉ hóa:

- Trực tiếp: xác định từ segment:offset
- Gián tiếp qua thanh ghi:Seg:offset (SI, DI, hoặc BX)
- Địa chỉ tương đối : $\text{offset} = \text{BX, BP} + \text{giá trị dịch chuyển ghi trong lệnh.}$
- Chỉ số: $\text{offset} = (\text{SI, DI}) + \text{dịch chuyển.}$
- Địa chỉ tương đối theo chỉ số: $\text{offset} = (\text{BX,BP}) + (\text{SI, DI})$
- Hỗn hợp: $\text{offset} = [\text{BX,DX}] + [\text{SI,DI}] + \text{dịch chuyển}$

Khởi động hệ VXL 80286

Khởi động bộ vi xử lý Intel 80x86

- Khi Reset hệ thống luôn bắt đầu chạy ở chế độ địa chỉ thực

-(CS:IP) reset = F000:FFF0(hex)

- > lệnh đầu tiên của hệ phải đặt ở ngăn nhớ này

- > Cài lệnh far JMP thì mới viết được chương trình thật

Khi Reset tập hợp các TG = ? (bảng 2.6 giáo trình)

- INTR bị che

- PE = 0: Chế độ bảo vệ không được khởi động, để chuyển sang chế độ bảo vệ thì PE=1, khởi động chậm(chế độ PE)

Tổ chức cổng I/O cho bộ VXL 80286

-MP dùng tín hiệu M/IO# để phân biệt bộ nhớ và cổng vào ra

Nếu M/IO# = 1 : bộ nhớ

Nếu M/IO# = 0: cổng vào ra I/O

— BHE	A0	Chức năng
0	0	WORD cả kênh D15-D0 được sử dụng
0	1	BYTE cao D15-D8 được sử dụng, byte thấp tự do
1	0	BYTE thấp D7-D0 được sử dụng, byte cao tự do
1	1	Không sử dụng

Tổ chức cổng I/O cho bộ VXL 80286

Datasheet IC:

-74373

-74244

-74245

Tổ chức bộ nhớ trong không gian nhớ VXL 80286

Tổ chức bộ nhớ RAM có dung lượng 16KByte, vị trí đặt RAM trong không gian nhớ:

+ Địa chỉ đầu: 2000:0000H

+ Địa chỉ cuối: 2000:3FFFH