



# **KHOA VÔ TUYẾN ĐIỆN TỬ**

## **BỘ MÔN KỸ THUẬT VI XỬ LÝ**

### **KỸ THUẬT VI XỬ LÝ VÀ LẬP TRÌNH HỢP NGỮ**

**Giáo viên: Nguyễn Khoa Sang**

**HỌC VIỆN KỸ THUẬT QUÂN SỰ - 2016**

# Mục đích môn học

- Kiến thức: Hiểu được quy trình và thiết kế được một hệ vi xử lý chuyên dụng ứng dụng giải quyết bài toán thực tế
- Kỹ năng: Sử dụng thành thạo ngôn ngữ lập trình hợp ngữ; sử dụng thành thạo các công cụ, phần mềm mô phỏng, thiết kế, trình dịch liên quan;
- Các kỹ thuật liên quan đến thiết kế hệ vi xử lý chuyên dụng

# Tài liệu tham khảo

1. PGS. TS. Đỗ Xuân Tiến: Kỹ thuật Vi xử lý và lập trình Assembly cho hệ vi xử lý, NXB Khoa học và kỹ thuật, 2012.
2. PGS. TS. Nguyễn Tăng Cường và Phan Quốc Thắng: Cấu trúc và lập trình họ vi điều khiển 8051, NXB Khoa học và kỹ thuật, 2004.
3. Internet:  
[dientuvietnam.net](http://dientuvietnam.net); [picvietnam.com](http://picvietnam.com); [hocavr.com](http://hocavr.com);  
[diendanti.com](http://diendanti.com); [arm.vn](http://arm.vn); ...

# Nội dung

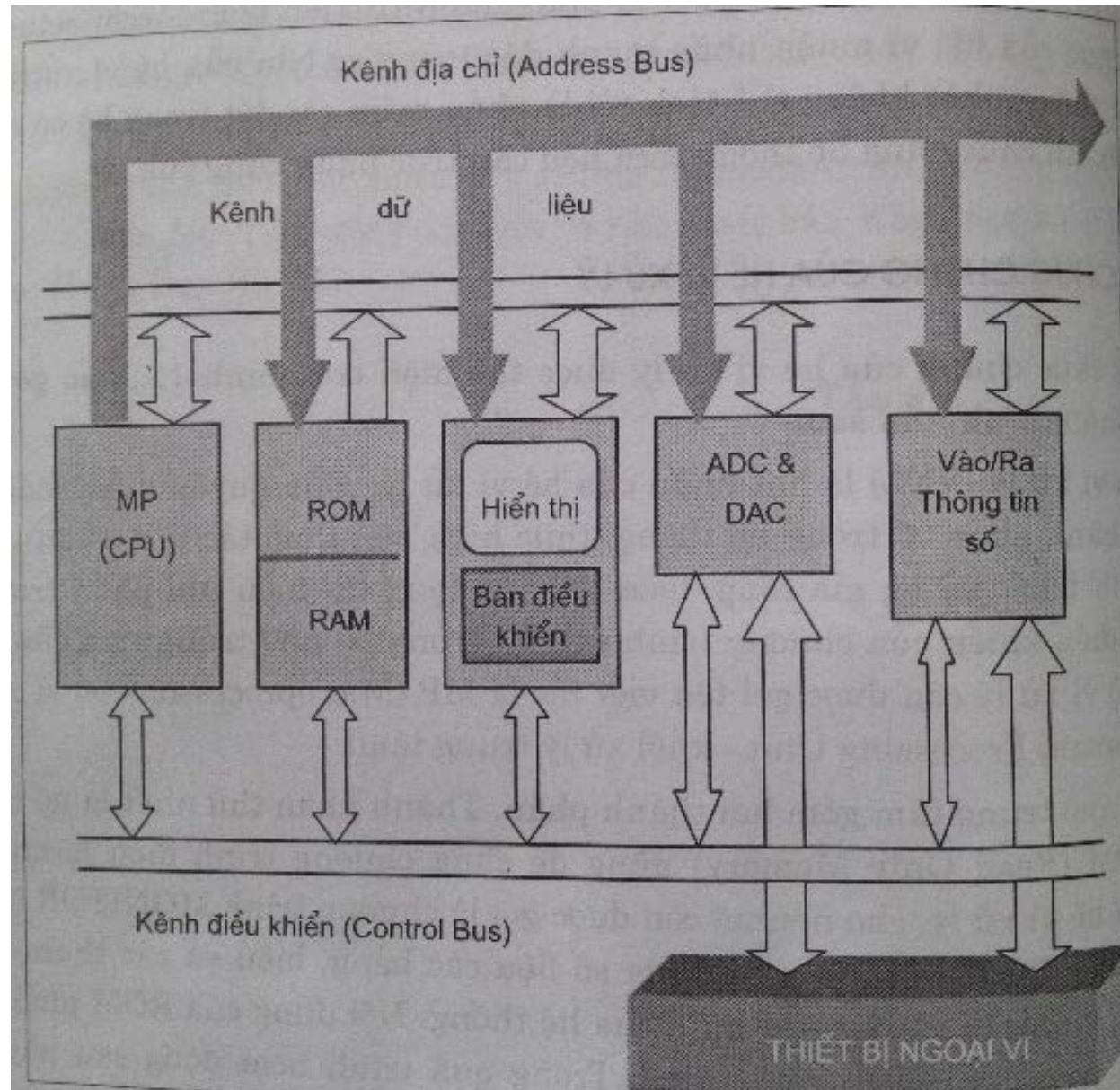
1. Chương 1: Kiến trúc hệ vi xử lý
2. Chương 2: Bộ vi xử lý 16 bit 80286 INTEL
3. Chương 3: Lập trình hợp ngữ cho hệ vi xử lý
4. Chương 4: Thiết kế hệ vi xử lý chuyên dụng
5. Chương 5: Cơ chế ngắt của hệ vi xử lý
6. Chương 6: Lập trình Onchip 80C51 và 89C51

# **Chương 1. Kiến trúc hệ vi xử lý**

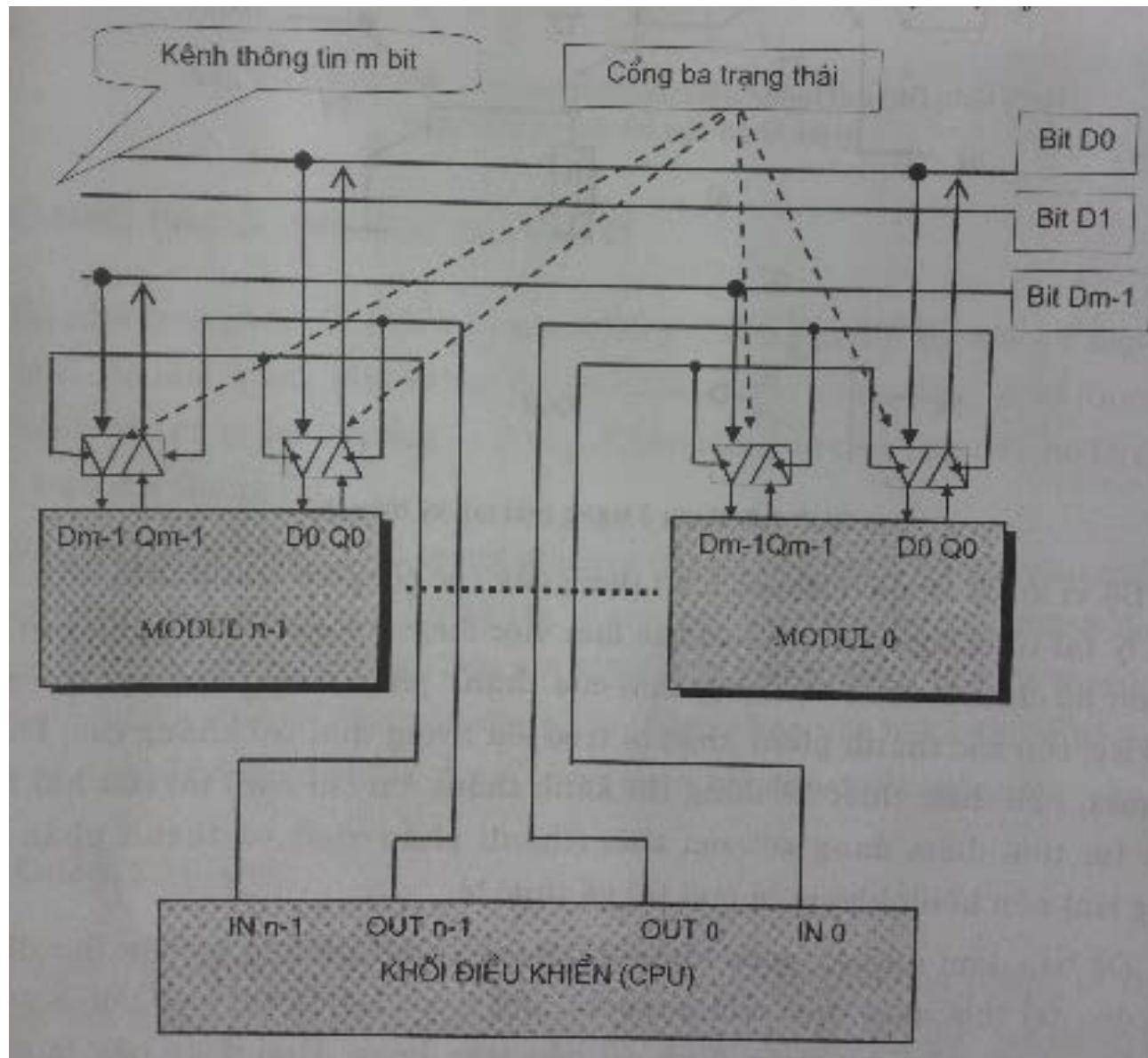
# Nội dung

1. Tổ chức chung của hệ vi xử lý
2. Tổ chức kênh thông tin trong hệ vi xử lý
3. Bộ nhớ trung tâm của hệ vi xử lý
4. Tổ chức bộ nhớ trung tâm của hệ vi xử lý

# Tổ chức chung của hệ vi xử lý

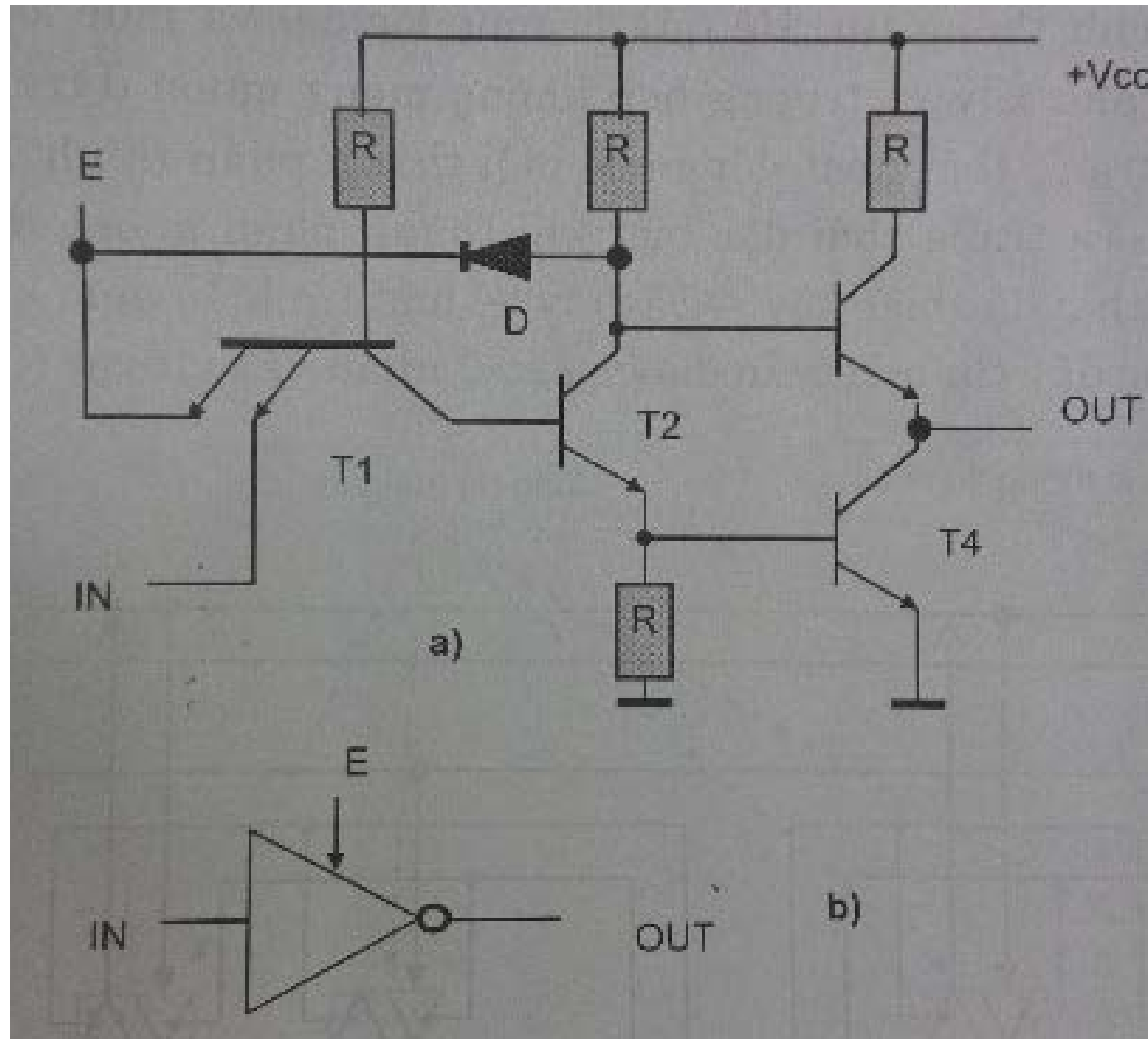


# Tổ chức kênh thông tin hệ VXL

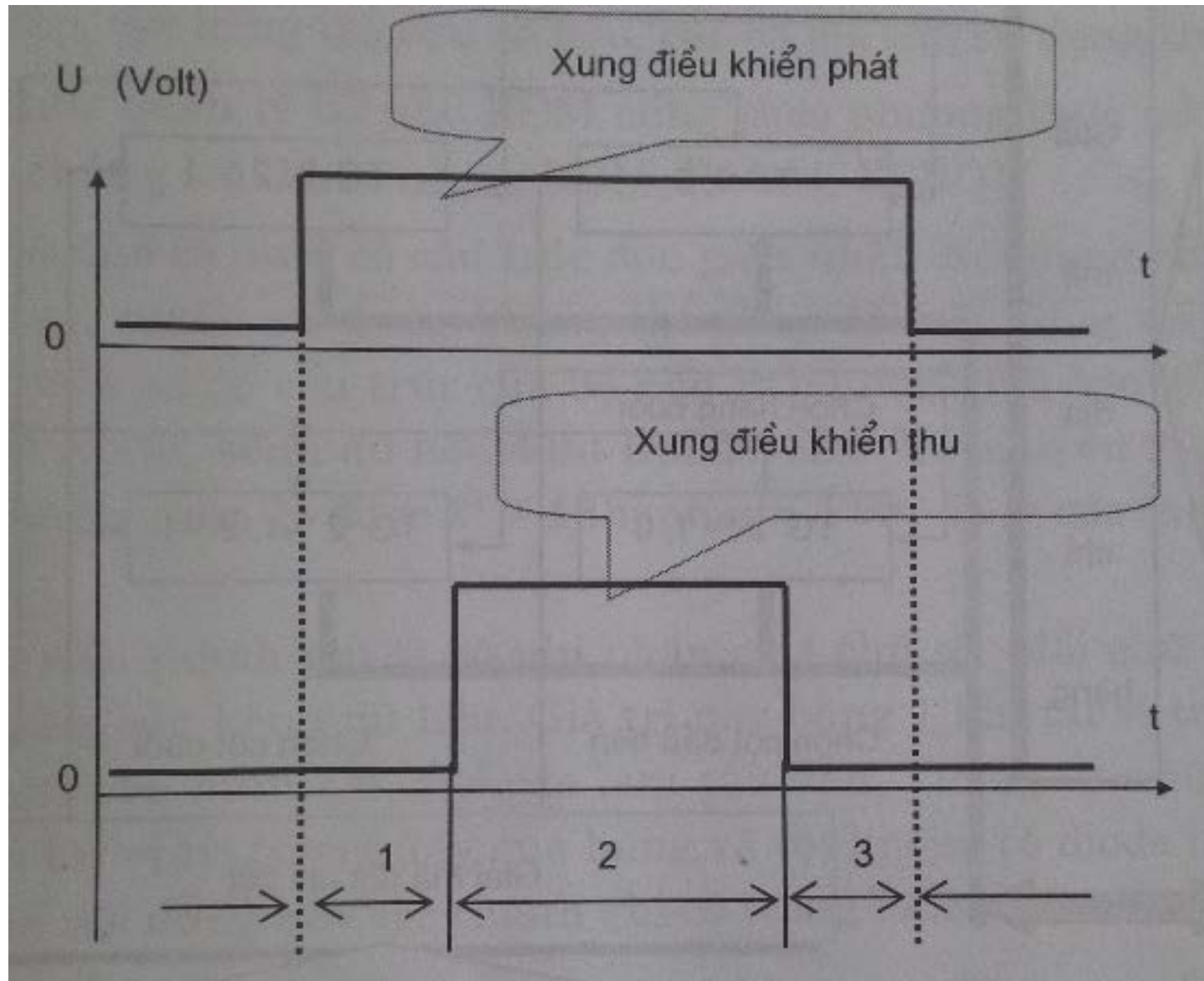




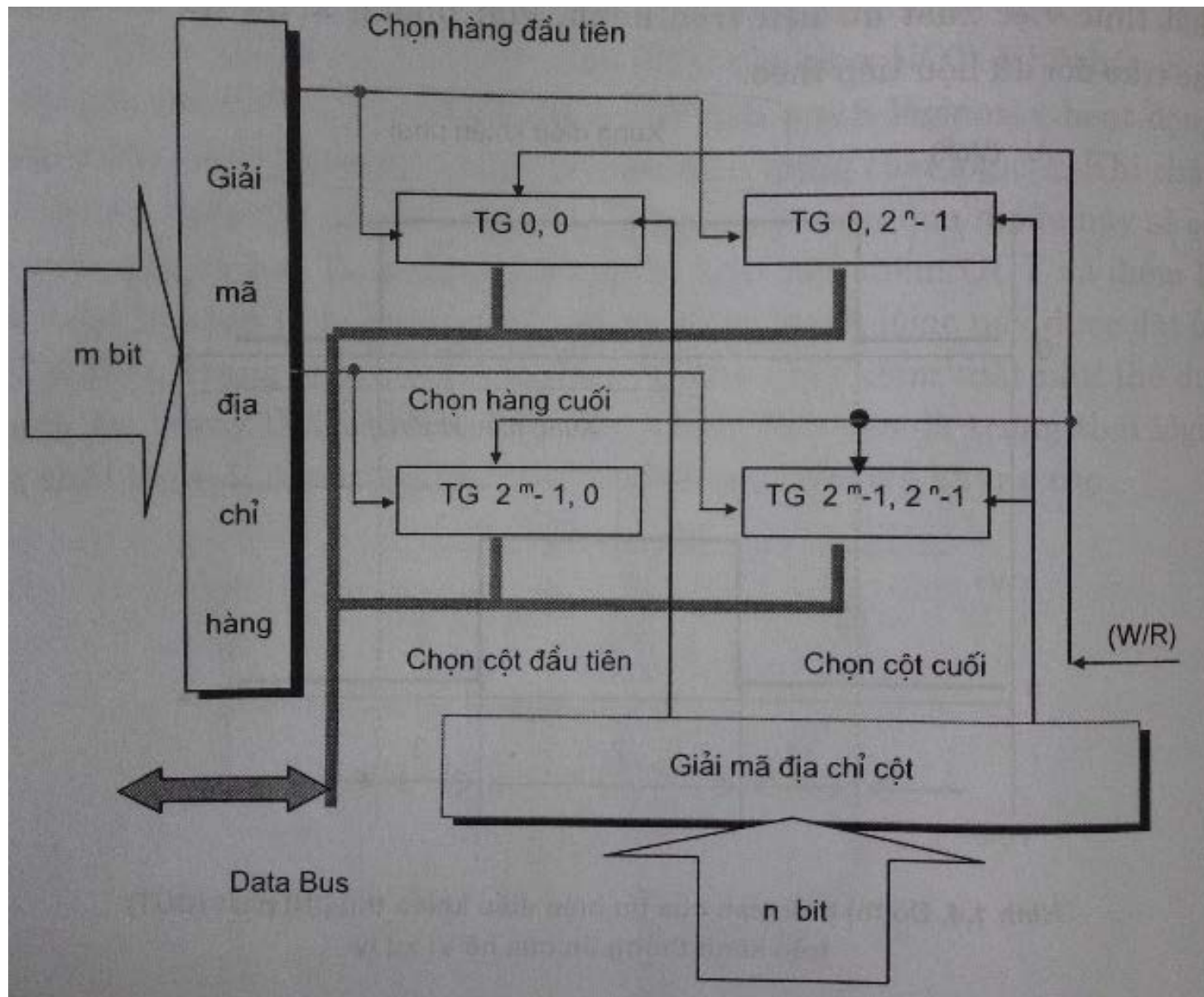
# Mạch 3 trạng thái



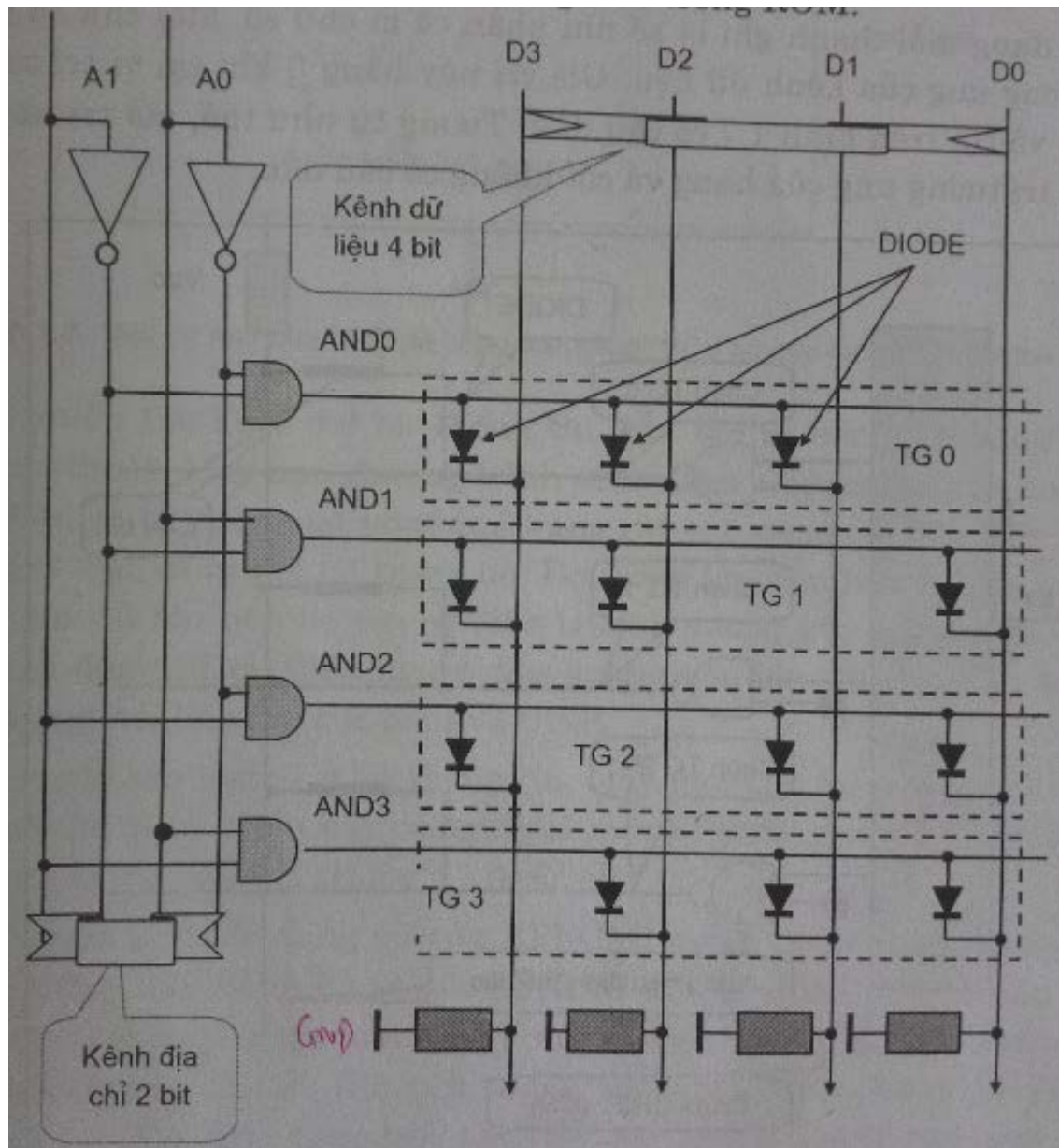
# Giải đồ thời gian tín hiệu kênh thông tin



# Quản lý bộ nhớ

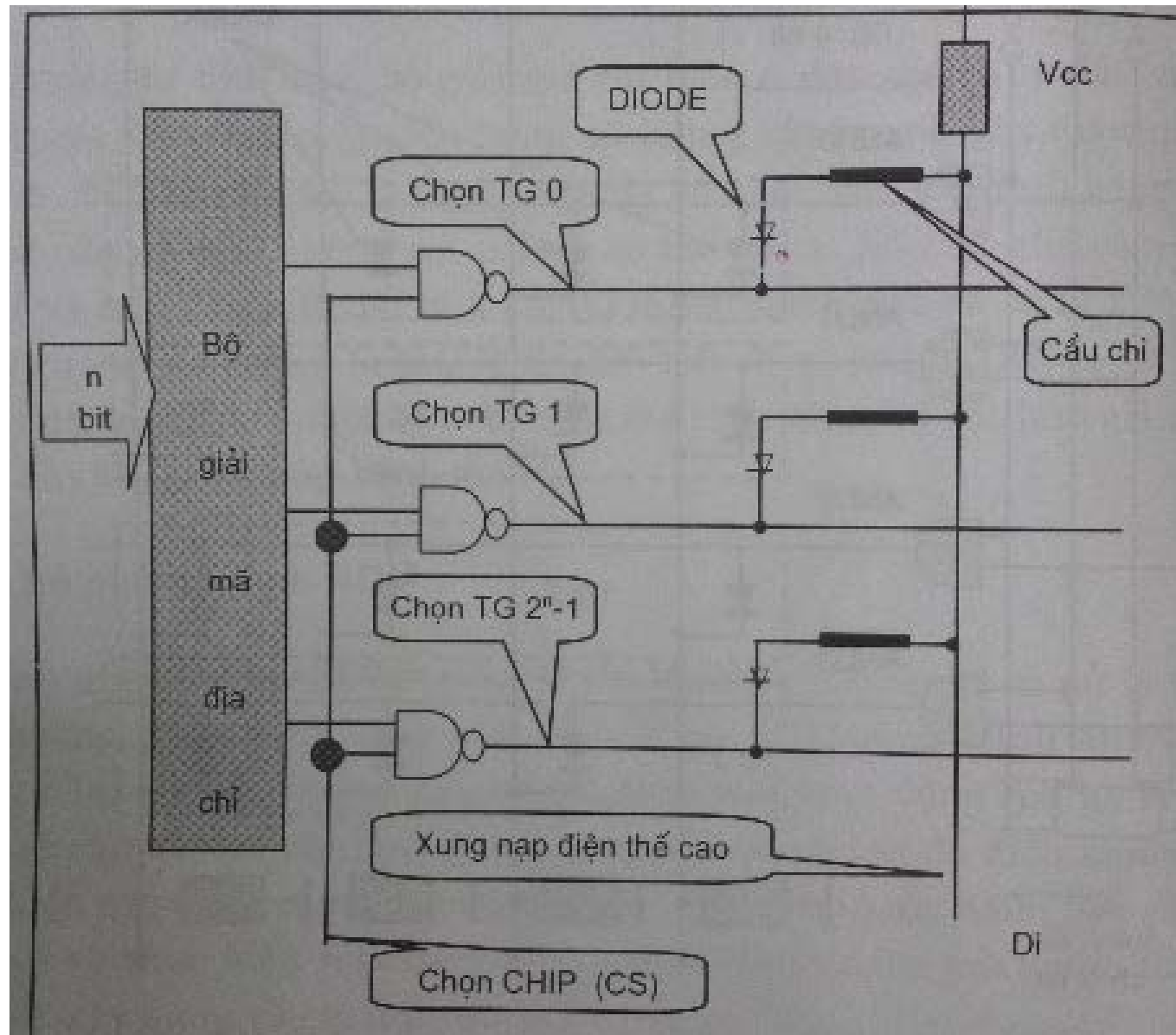


# Bộ nhớ ROM 4 thanh ghi 4 bit

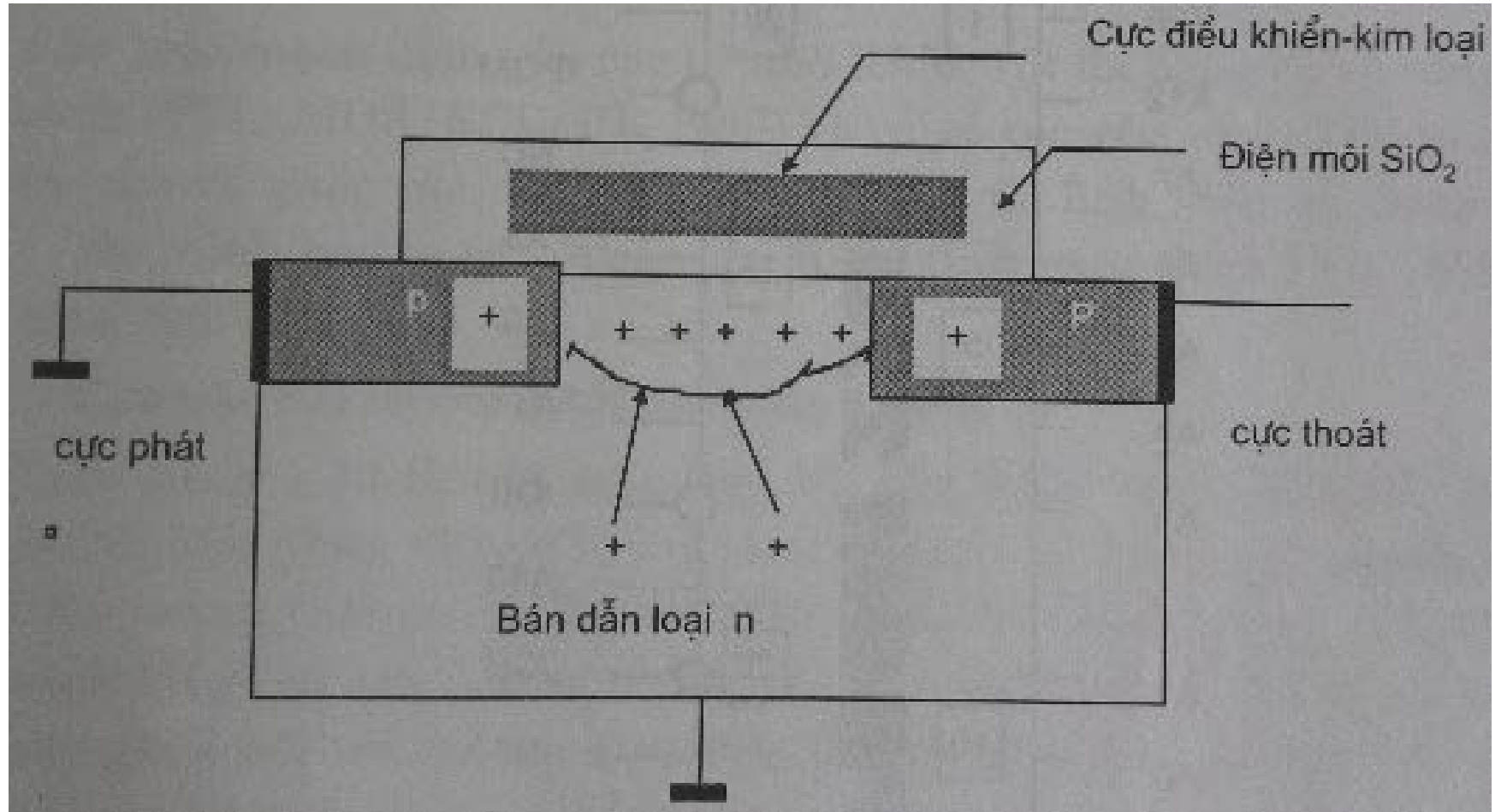


TG	Địa chỉ A1A0	Nội dung D3D2D1D0
R0	00	1 1 1 0
R1	01	1 1 0 1
R2	10	1 0 1 1
R3	11	0 1 1 1

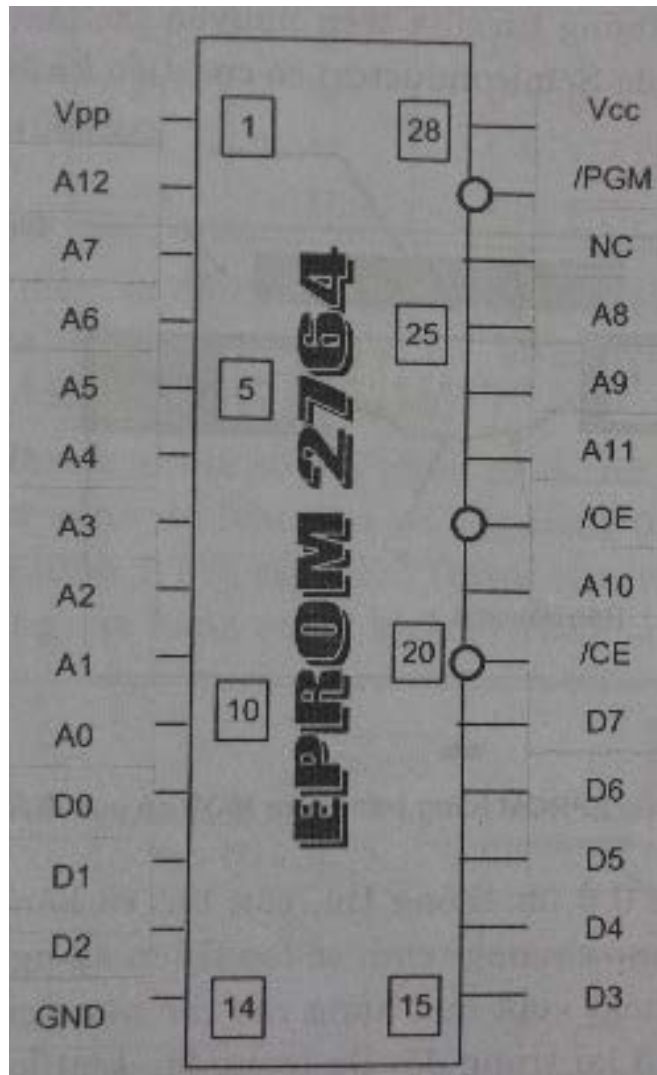
# Bộ nhớ PROM



# Một bit nhớ EPROM công nghệ MOS



# IC ROM 2764



MODE	/CE	/OE	/PGM	Vpp	Vcc	DATA BUS (11-13,15-19)
READ	L	L	H	Vcc	Vcc	output
chuẩn bị	H	X	X	Vcc	Vcc	High
nạp chương trình	L	X	L	Vpp	Vcc	input
kiểm tra ch.tr nạp	L	L	H	Vpp	Vcc	output
cấm nạp	H	X	X	Vpp	Vcc	high



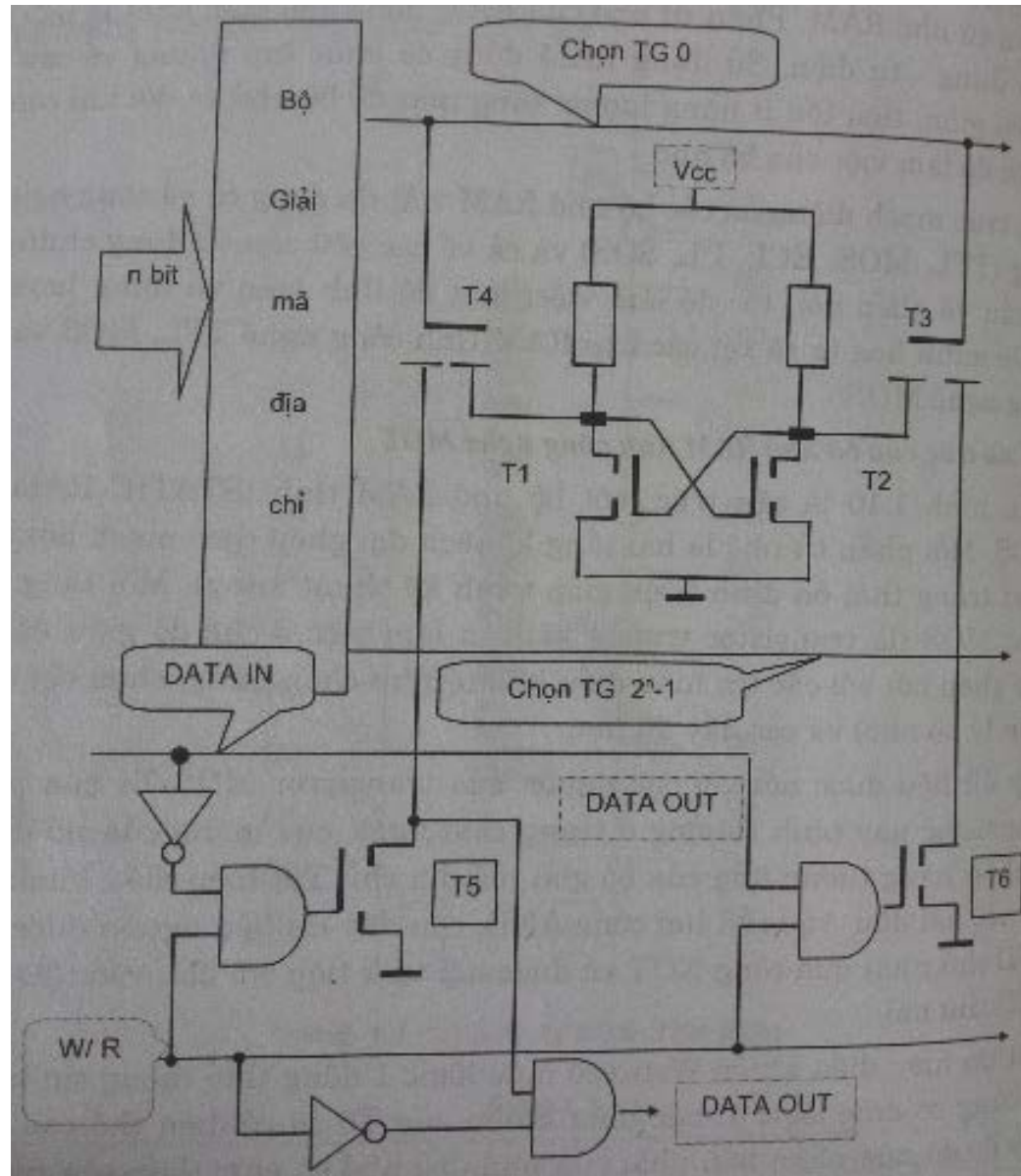
# RAM

---

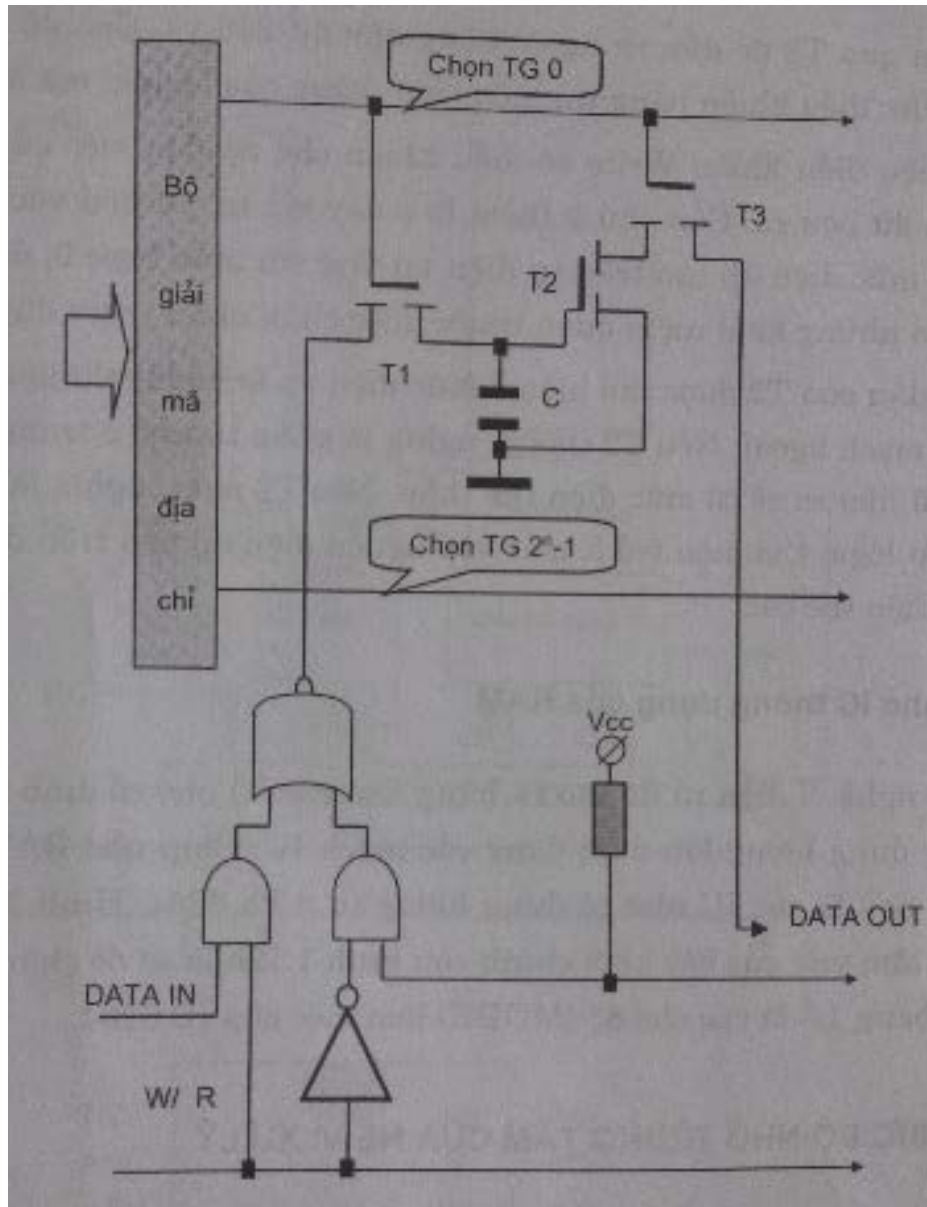
- SRAM: trigeo
- DRAM: tụ điện



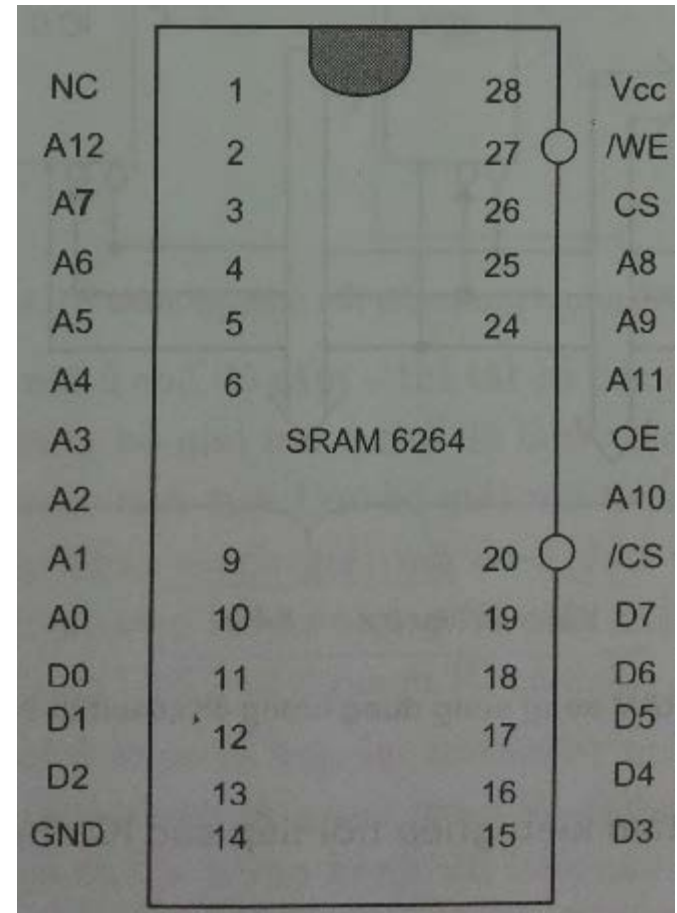
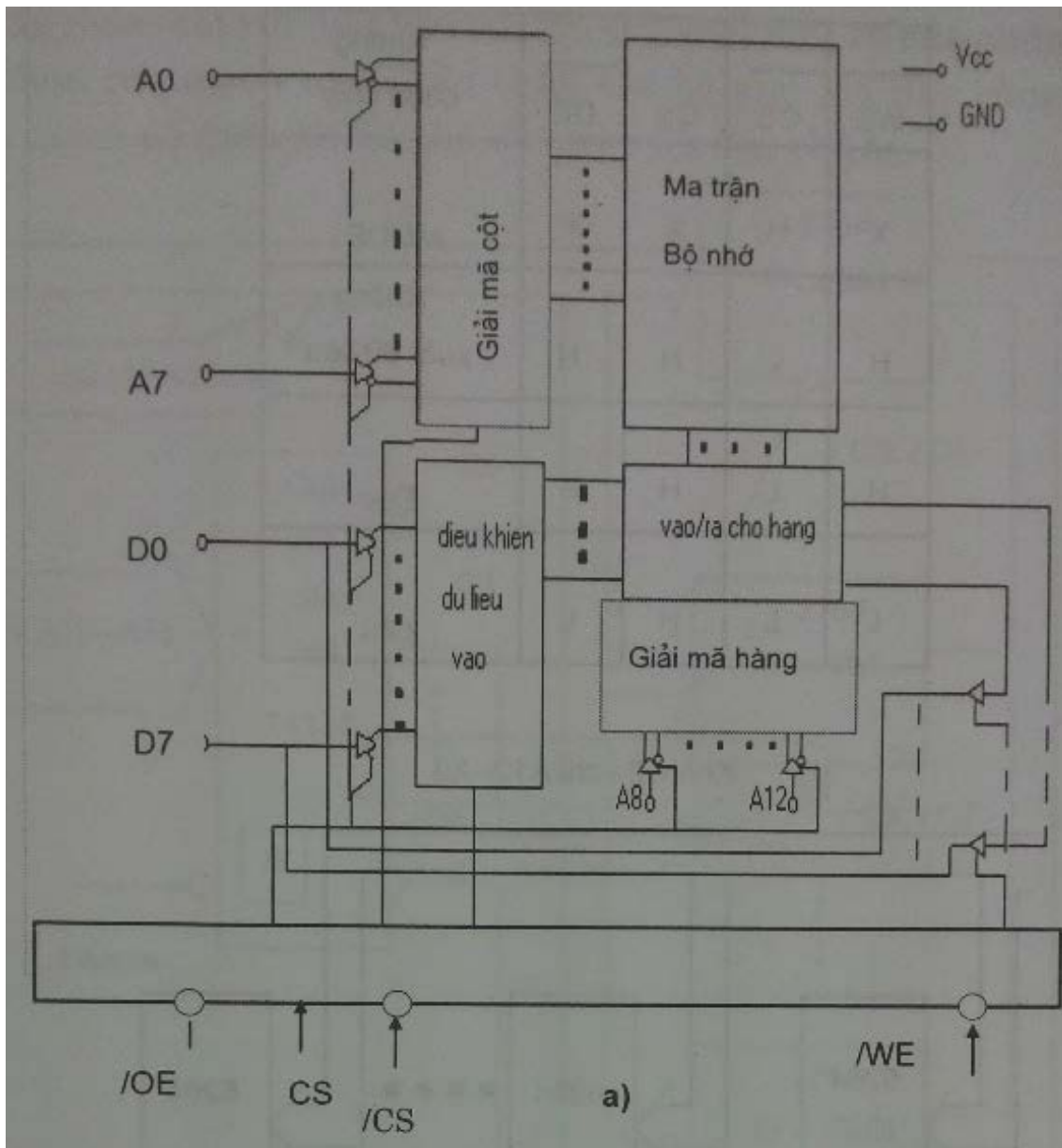
# Cấu trúc SRAM công nghệ MOS



# Bộ nhớ DRAM công nghệ MOS



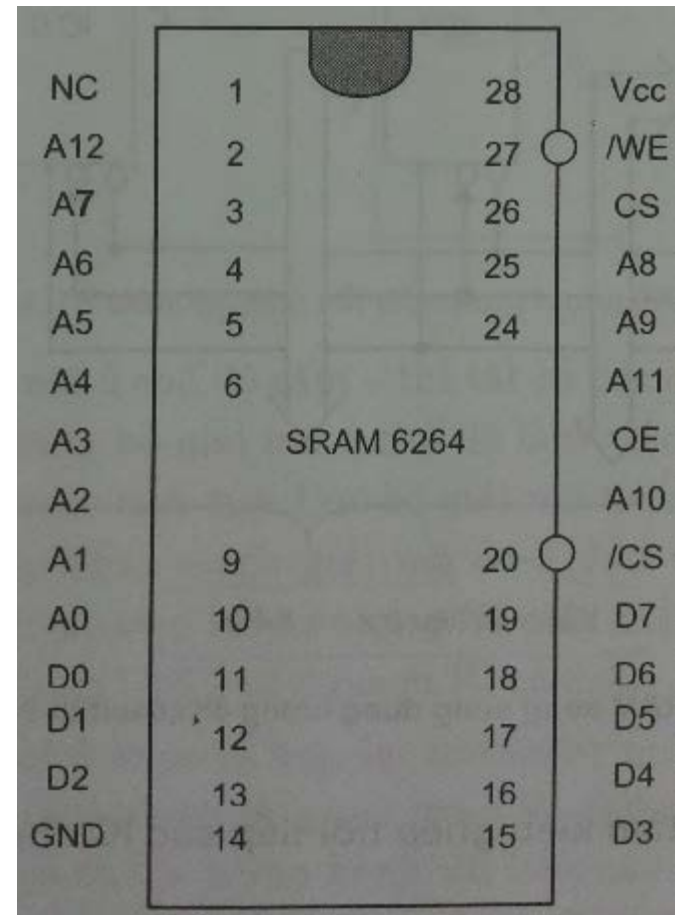
# SRAM 6264



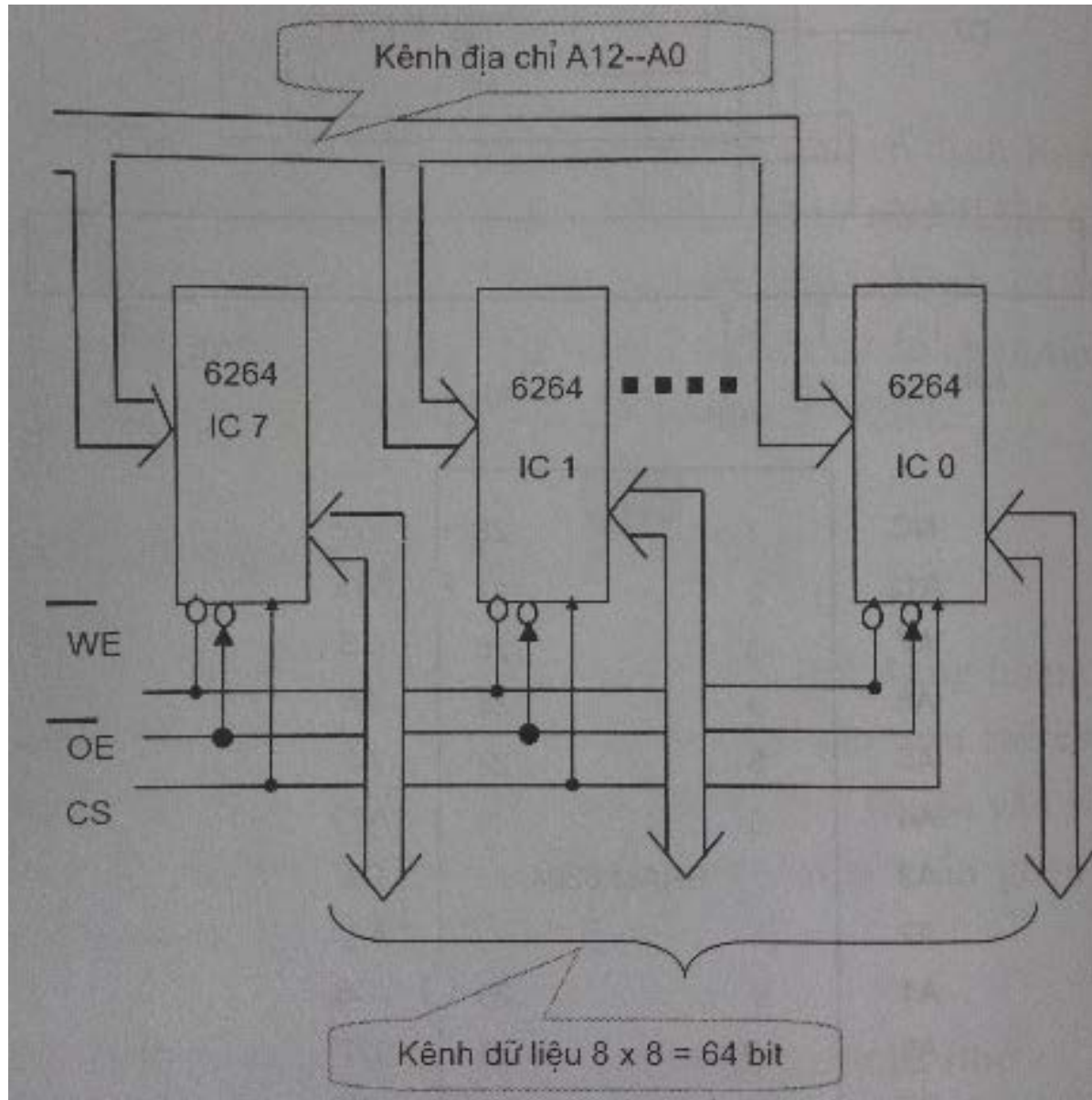
# SRAM 6264 (cont)

## Bảng chân lý của IC 6264

<u>WE</u>	<u>CS</u>	<u>CS</u>	<u>OE</u>	Không chọn chip
X	H	X	X	MODE
H	L	H	H	Không xuất dữ liệu
H	L	H	L	Đọc
L	L	H	L	Ghi



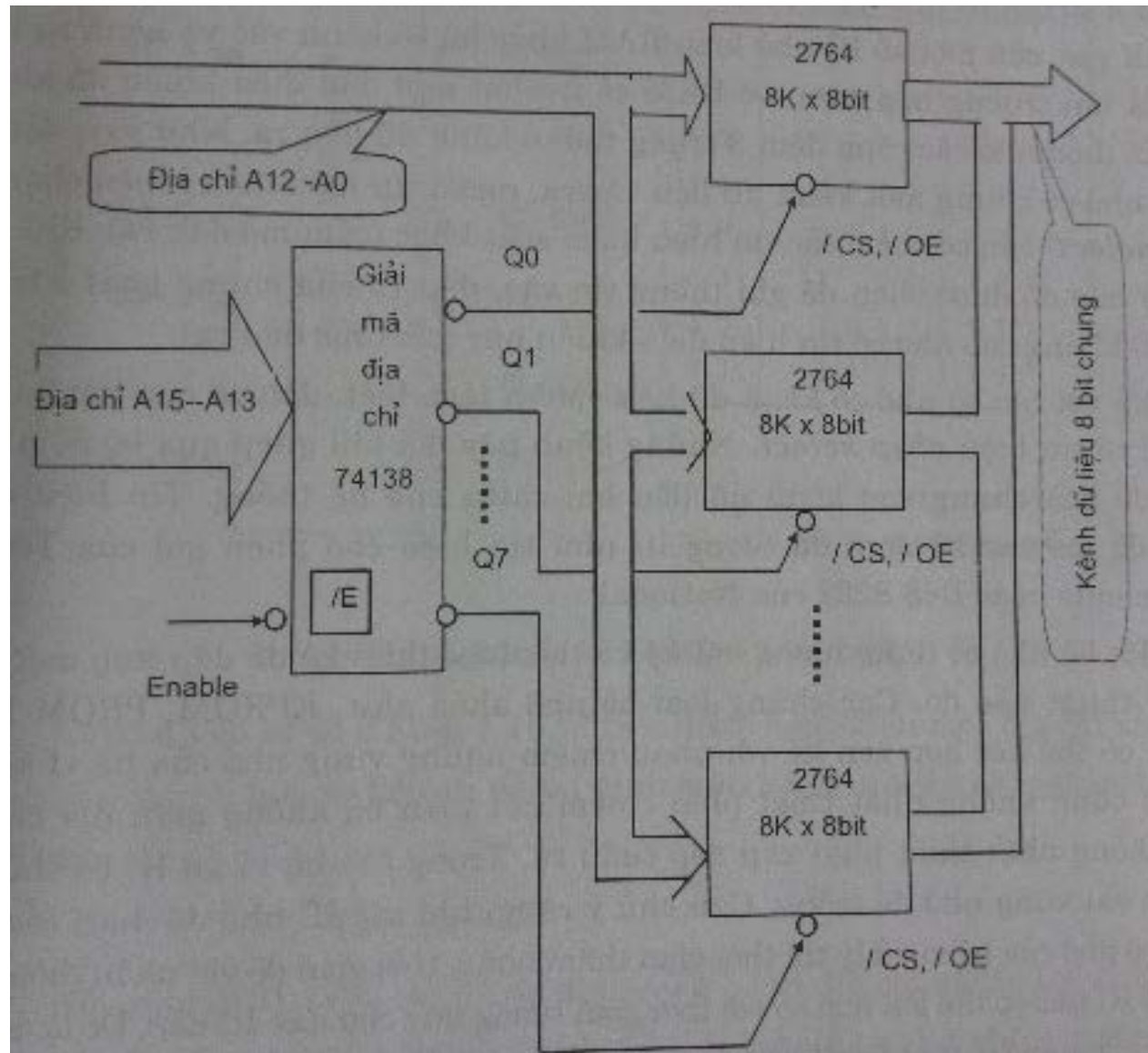
# Tổ chức bộ nhớ RAM 8Kx64 từ 6264



Bài toán: Tổ chức bộ nhớ RAM có dung lượng 8K ô nhớ, mỗi ô có độ rộng bus dữ liệu là 64 bit, dùng chip 6264



# Tổ chức bộ nhớ ROM 8Kx8 từ 2764



Bài toán: Tổ chức bộ nhớ ROM có dung lượng 64KB, độ rộng bus dữ liệu là 8 bit, dùng chip 2764

# Bộ giải mã 74LS138

