

# *Đề Tài Ứng Dụng*

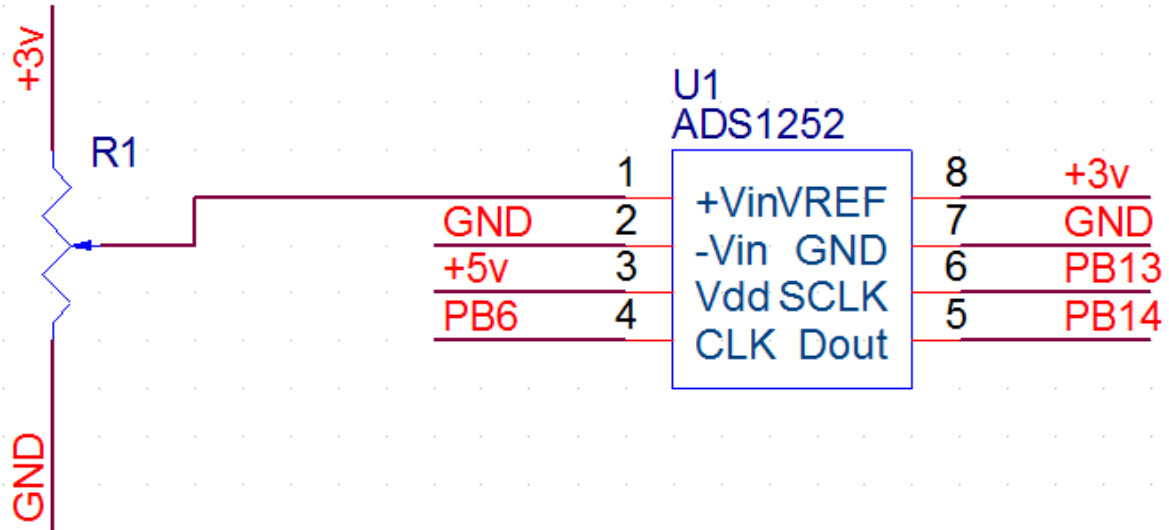
---

Read ADC ADS1252

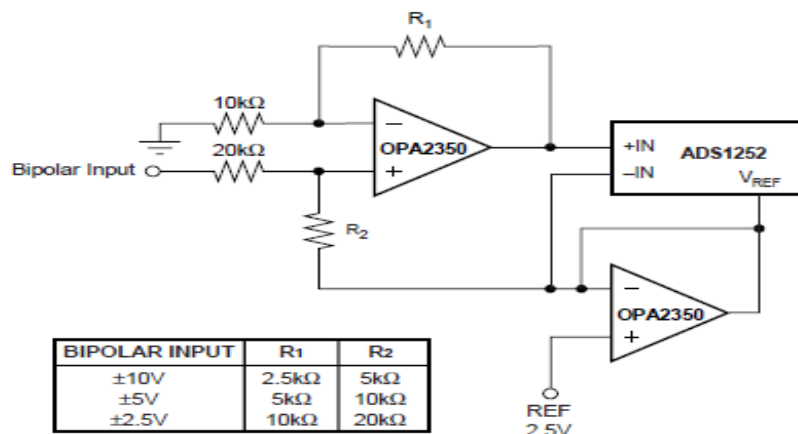
\_Hoàng Anh Hiệp\_

## 1. Thiết bị phần cứng:

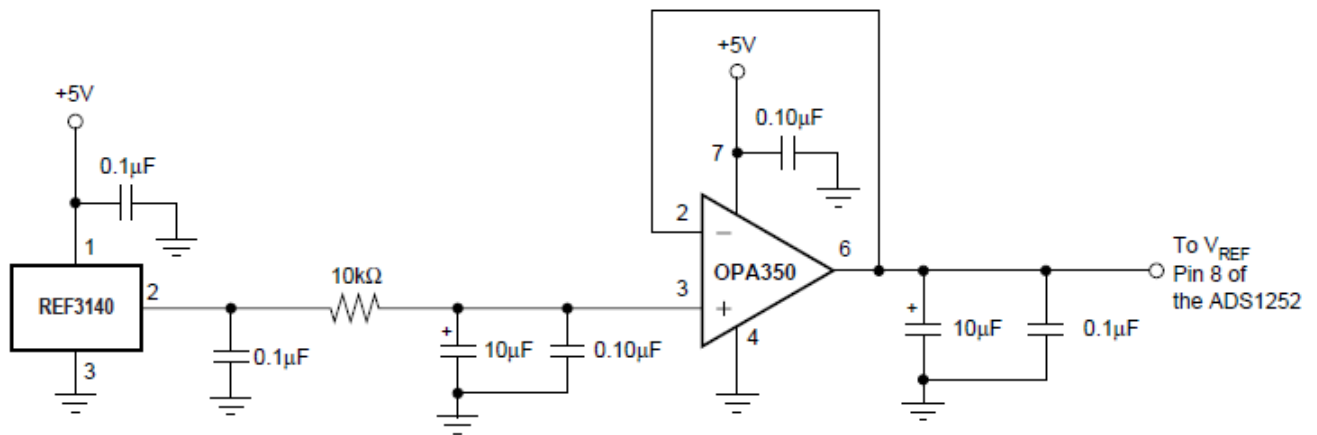
- Development Kit STM32F4 Discovery
- IC ADS1252
- Biến trở (Test).
  - Sơ đồ mạch nguyên lý:



- Các ngõ vào IC:
  - Hai chân +Vin và -Vin là ngõ vào analog input vi sai, có thể đọc được cả áp âm lẫn dương tùy theo cực mắc vào.
  - Chân Vdd cấp nguồn +5V
  - Chân CLK cấp xung clock hoạt động cho hệ thống của IC
  - Chân DOUT/DRDY tín hiệu ngõ ra nối tiếp dạng xung, ngõ ra data adc và trạng thái điều khiển.
  - Chân SCLK xung clock lấy dữ liệu cho truyền thông nối tiếp
  - Chân VREF tín hiệu áp reference cho adc.
- Mạch điều khiển cho tín hiệu vi sai lưỡng cực:

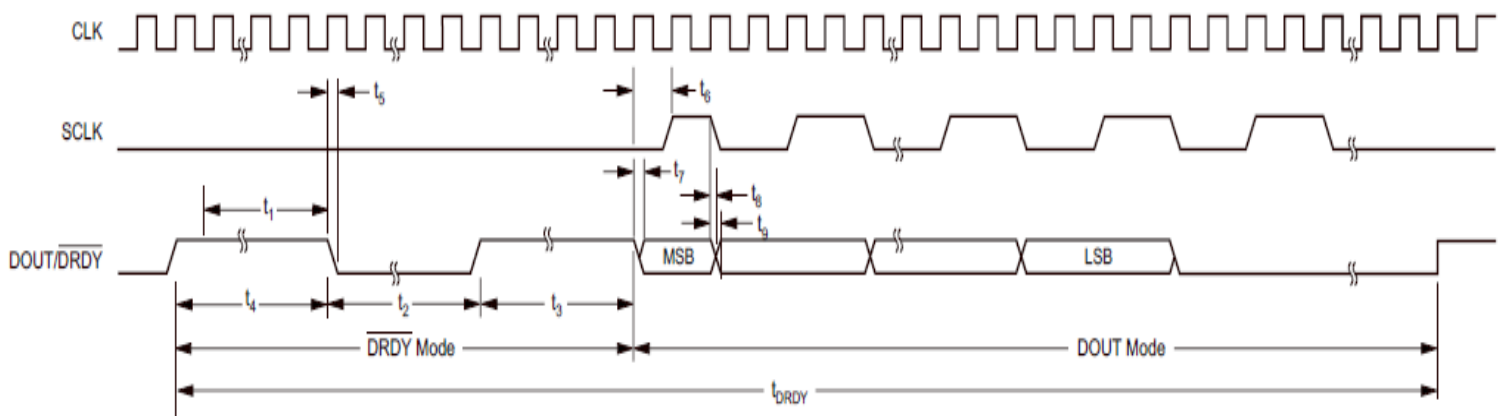


- Mạch ổn áp chống nhiễu cho tín hiệu VRef: Nên thêm mạch này vào thực tiễn để tránh trường hợp adc đọc tín hiệu bị nhiễu, bị trôi theo thời gian.



## 2. Phần mềm đọc ADC1252:

- Chương trình chỉ sử dụng TIMER 6 để định thời gian, ngoài ra các chân PB13, PB14, PB6 đều là chân IO thường không cần chức năng SPI.
- Timer 6 kích hoạt chạy với tần số 4 MHz thì sẽ có 1 interrupt. Như vậy interrupt 2 lần thì sẽ cho ra 1 xung hoàn chỉnh gồm mức 1 và mức 0. Dẫn đến tần số lớn nhất có thể cấp cho chân CLK của ADS1252 là 2MHz.
- Chuỗi dữ liệu cơ bản của ADS2152: Gồm có 2 quá trình chính DRDY và DOUT



- Quá trình DRDY là quá trình cho biết dữ liệu AD đã được chuyển đổi nằm trong thanh ghi và sẵn sàng cho việc đọc ra. Nó bắt đầu bởi 1 xung mức cao với thời gian  $24 \cdot \text{CLK}$ , tiếp theo là 1 xung mức thấp với thời gian là  $6 \cdot \text{CLK}$  và sau đó là 1 xung mức cao  $6 \cdot \text{CLK}$ .
- Sau khi quá trình DRDY kết thúc với xung mức cao  $= 6 \cdot \text{CLK}$  thì quá trình Dout bắt đầu với việc xuất dữ liệu ra chân Dout. Dữ liệu tiếp theo được đẩy ra ngoài bằng tín hiệu cạnh xuống ở chân

SCLK. Quá trình này kéo dài trong  $348 \cdot \text{CLK}$ , sau khi bit cuối cùng được đẩy ra thì chân Dout sẽ xuống mức 0 chờ đến khi hết thời gian  $348 \cdot \text{CLK}$  thì bắt đầu lên mức cao và tiếp tục quá trình DRDY

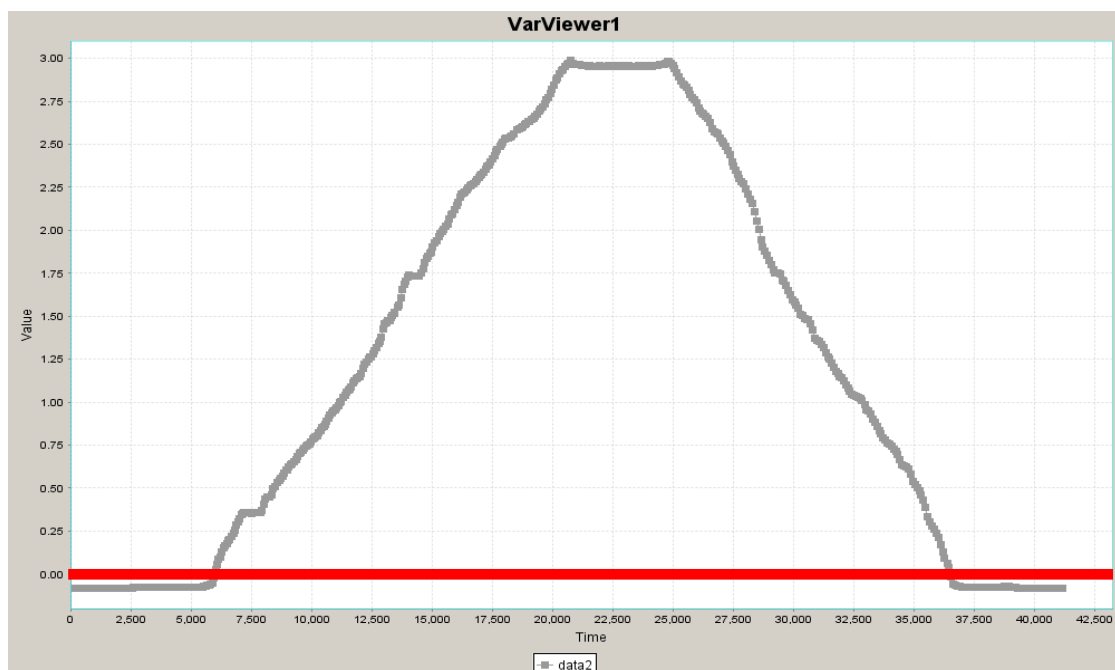
- Vậy tổng cộng 1 chu kì đọc dữ liệu sẽ tốn khoảng thời gian:

$$\underline{36+348=386 \cdot \text{CLK}}$$

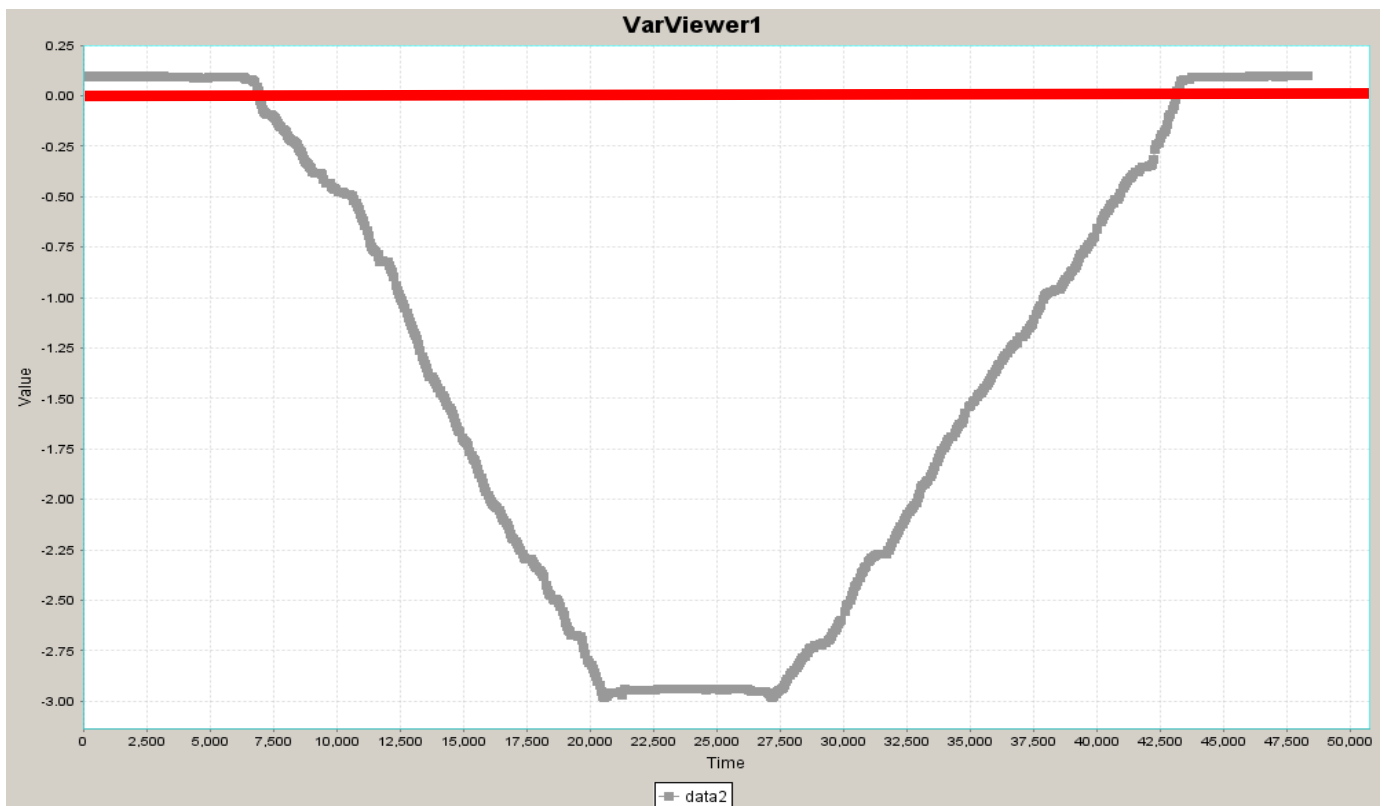
- Nếu chân SCLK được giữ ở mức cao trong ít nhất 4 chu kì đọc dữ liệu tức là bằng  $4 \cdot 386 \text{CLK}$  thì ADC sẽ chuyển sang chế độ reset, nếu giữ thêm 16 chu kì nữa thì ADC sẽ sang chế độ Power Down.
- Cách đọc dữ liệu cơ bản của ADC:
  - Do khi khởi động AD ta không biết được thời gian nào bắt đầu DRDY hay Dout nên việc trước tiên cần làm là reset ADC bằng cách giữ chân SCLK ở mức cao trong ít nhất  $4 \cdot \text{CLK}$ . Sau đó ra khỏi chế độ reset bằng cách cho chân SCLK xuống mức thấp.
  - Ngay sau khi cho chân SCLK xuống mức thấp, ta bắt đầu đọc chân Dout(PB14) về để coi nó có lên 1 hay chưa, nếu đã lên 1 thì quá trình DRDY đã bắt đầu.
  - Ta sẽ chờ cho quá trình DRDY kết thúc bằng cách cho chờ  $> 36 \cdot \text{CLK}$
  - Sau khi kết thúc DRDY ta bắt đầu ngay việc đọc dữ liệu bằng cách kích SCLK lên 1, đọc chân Dout vào, sau đó cho chân SCLK xuống 0 lặp lại vậy 24 lần ta sẽ có toàn bộ dữ liệu.

### 3. Kết quả:

- Giá trị ADC đọc về tốt tỷ lệ với giá trị biến trở.
- Kết quả vận biến trở khi chân +Vin mắc vào chân ra biến trở và –Vin mắc vào GND:



- Kết quả vắn biến trở khi chân -Vin mắc vào chân ra biến trở và +Vin mắc vào GND:



- Ta có thể thấy rõ ràng trong cả 2 trường hợp, kết quả ADC tuy có tỷ lệ với vắn biến trở **nhưng nó bị trượt đi tầm 0.1V**, kết quả này có thể là do tín hiệu VRef bị nhiễu, cần có thêm mạch chống nhiễu nêu trên mục 1.