BẢNG THEO DÕI SỬA ĐỔI

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **TT** | **Vị trí sửa** | **Lần ban hành** | **Nội dung sửa đổi** | **Người phê duyệt** | | **Ngày có hiệu lực** |
| 1 |  | **Lần 1** | Ban hành lần đầu | Nguyễn Thành | | 11/06/2018 |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  | *Ngày...../...../.....* | | *Ngày...../...../.....* | | *Ngày...../...../.....* | |
| **Biên soạn** | | **Kiểm tra** | | **Phê duyệt** | |
| Chữ ký | Đặng Hồng Luật | | Võ Như Dẫn | | Nguyễn Thành | |

MỤC LỤC

[BẢNG THEO DÕI SỬA ĐỔI 1](#_Toc516589314)

[MỤC LỤC 2](#_Toc516589315)

[DANH MỤC HÌNH VẼ 4](#_Toc516589316)

[DANH MỤC BẢNG BIỂU 6](#_Toc516589317)

[NỘI DUNG 7](#_Toc516589318)

[1 CHỨC NĂNG VÀ YÊU CẦU KỸ THUẬT CỦA HỆ THỐNG 7](#_Toc516589319)

[1.1 Chức năng hệ thống 7](#_Toc516589320)

[1.1.1 Hệ thống xử lý tín hiệu 7](#_Toc516589321)

[1.1.2 Hệ thống xử lý thông tin 9](#_Toc516589322)

[1.2 Yêu cầu kỹ thuật 11](#_Toc516589323)

[1.2.1 Hệ thống xử lý tín hiệu 11](#_Toc516589324)

[1.2.2 Hệ thống xử lý thông tin 20](#_Toc516589325)

[2 SƠ ĐỒ KHỐI CHỨC NĂNG VÀ MÔ TẢ HOẠT ĐỘNG 21](#_Toc516589326)

[2.1 Sơ đồ khối chức năng tổng quát 22](#_Toc516589327)

[2.2 Mô tả hoạt động toàn hệ thống XLTH & XLTT 22](#_Toc516589328)

[2.3 Hệ thống xử lý tín hiệu 22](#_Toc516589329)

[2.3.1 Hệ phát lệnh 22](#_Toc516589330)

[2.3.2 Hệ xử lý tín hiệu anten UV-10 23](#_Toc516589331)

[2.3.3 Hệ xử lý tín hiệu anten UV-11 25](#_Toc516589332)

[2.4 Hệ thống xử lý thông tin 26](#_Toc516589333)

[2.4.1 Hệ tọa độ 27](#_Toc516589334)

[2.4.2 Hệ điều khiển bệ anten 27](#_Toc516589335)

[2.4.3 Hệ hiện hình 27](#_Toc516589336)

[3 THIẾT KẾ CHI TIẾT 28](#_Toc516589337)

[3.1 Hệ thống xử lý tín hiệu 28](#_Toc516589338)

[3.1.1 Hệ phát lệnh 28](#_Toc516589339)

[3.1.2 Hệ xử lý tín hiệu UV-10 32](#_Toc516589340)

[3.1.3 Hệ xử lý tín hiệu UV-11 42](#_Toc516589341)

[3.2 Hệ thống xử lý thông tin 43](#_Toc516589342)

[3.2.1 Hệ tọa độ 44](#_Toc516589343)

[3.2.2 Hệ điều khiển bệ anten. 67](#_Toc516589344)

[3.2.3 Hệ hiện hình 72](#_Toc516589345)

[4 THIẾT KẾ PHẦN CỨNG 74](#_Toc516589346)

[5 PHƯƠNG ÁN THỬ NGHIỆM 75](#_Toc516589347)

[6 PHỤ LỤC 76](#_Toc516589348)

[6.1 Giao tiếp vào/ra 76](#_Toc516589349)

[7 Danh mục vật tư linh kiện 87](#_Toc516589350)

DANH MỤC HÌNH VẼ

[Hình 1‑1. Sơ đồ kế nối hệ thống XLTH với các hệ thống khác 21](#_Toc516589351)

[Hình 2‑1 – Sơ đồ khối chức năng của hệ phát lệnh 22](#_Toc516589352)

[Hình 2‑2 – Sơ đồ ghép nối tầng trên của hệ phát lệnh 23](#_Toc516589353)

[Hình 2‑3 – Sơ đồ khối chức năng của hệ xử lý tín hiệu radar UV-10 24](#_Toc516589354)

[Hình 2‑4 – Sơ đồ ghép nối tầng trên của hệ xử lý tín hiệu radar UV-10 24](#_Toc516589355)

[Hình 2‑5 – Sơ đồ khối chức năng của hệ xử lý tín hiệu radar UV-11 25](#_Toc516589356)

[Hình 2‑6 – Sơ đồ ghép nối tầng trên của hệ xử lý tín hiệu radar UV-11 26](#_Toc516589357)

[Hình 3‑1 – Sơ đồ ghép nối tầng dưới của hệ phát lệnh 28](#_Toc516589358)

[Hình 3‑2 – Sơ đồ khối chức năng khối phát tần số 29](#_Toc516589359)

[Hình 3‑3 – Sơ đồ khối chức năng khối điều chế tần số 29](#_Toc516589360)

[Hình 3‑4 – Sơ đồ khối chức năng khối điều chế biên độ 30](#_Toc516589361)

[Hình 3‑5 – Sơ đồ khối chức năng khối tổng hợp tín hiệu 31](#_Toc516589362)

[Hình 3‑6 – Sơ đồ khối chức năng của khối giữ chậm 32](#_Toc516589363)

[Hình 3‑7 – Sơ đồ khối chức năng của khối dịch pha 32](#_Toc516589364)

[Hình 3‑8 – Sơ đồ ghép nối tầng dưới của hệ xử lý tín hiệu radar UV-10 33](#_Toc516589365)

[Hình 3‑9 – Sơ đồ khối chức năng của khối tạo tín hiệu 33](#_Toc516589366)

[Hình 3‑10 – Sơ đồ khối chức năng khối chuyển đổi tín hiệu số/tương tự 34](#_Toc516589367)

[Hình 3‑11 – Sơ đồ khối chức năng khối chuyển đổi tín hiệu tương tự/số 35](#_Toc516589368)

[Hình 3‑12 – Sơ đồ khối chức năng khối trộn 35](#_Toc516589369)

[Hình 3‑13 – Sơ đồ khối chức năng khối lọc thông thấp 36](#_Toc516589370)

[Hình 3‑14 – Sơ đồ khối chức năng khối nén xung 37](#_Toc516589371)

[Hình 3‑15 – Sơ đồ khối chức năng khối đọc encoder 37](#_Toc516589372)

[Hình 3‑16 – Sơ đồ chức năng khối đọc cự ly 38](#_Toc516589373)

[Hình 3‑17 – Sơ đồ chúc năng khối đóng gói dữ liệu 39](#_Toc516589374)

[Hình 3‑18 – Sơ đồ chức năng máy tính nhúng 41](#_Toc516589375)

[Hình 3‑19 – Sơ đồ ghép nối tầng dưới của hệ xử lý tín hiệu radar UV-11 43](#_Toc516589376)

[Hình 3‑20. Sơ đồ vào ra khối ước lượng tọa độ mục tiêu. 45](#_Toc516589377)

[Hình 3‑21. Sơ đồ chi tiết khối ước lượng tọa độ mục tiêu 46](#_Toc516589378)

[Hình 3‑22. Các khối xử lý luồng PCIe 47](#_Toc516589379)

[Hình 3‑23. Khối đọc dữ liêu PCIe. 47](#_Toc516589380)

[Hình 3‑24. Nguyên lý đọc dữ liệu qua PCIe. 49](#_Toc516589381)

[Hình 3‑25. Khối nhận dạng và đóng gói dữ liệu. 50](#_Toc516589382)

[Hình 3‑26. Sơ đồ thuật toán xử lý khối dữ liệu PCIe. 53](#_Toc516589383)

[Hình 3‑27. Khối lọc tọa độ mục tiêu. 54](#_Toc516589384)

[Hình 3‑28. Thành phần khối lọc tọa độ. 54](#_Toc516589385)

[Hình 3‑29. Sơ đồ xử lý gói tin UV10 & UV11 khối đồng bộ. 55](#_Toc516589386)

[Hình 3‑30. Lọc tín hiệu mục tiêu 55](#_Toc516589387)

[Hình 3‑31. Thuật toán CFAR 56](#_Toc516589388)

[Hình 3‑32. Sơ đồ vào ra khối ước lượng tọa độ tên lửa. 57](#_Toc516589389)

[Hình 3‑33. Sơ đồ chi tiết khối ước lượng tọa độ tên lửa 58](#_Toc516589390)

[Hình 3‑34. Sơ đồ khối vào ra khối nhận dạng và đóng gói dữ liệu tên lửa 58](#_Toc516589391)

[Hình 3‑35. Sơ đồ thuật toán nhận dạng và đóng gói dữ liệu tên lửa. 61](#_Toc516589392)

[Hình 3‑36. Thành phần khối lọc tọa độ tên lửa 61](#_Toc516589393)

[Hình 3‑37. Sơ đồ xử lý gói tin UV11 & UV12 gối đồng bộ 62](#_Toc516589394)

[Hình 3‑38. Sơ đồ khối hệ thống thu 64](#_Toc516589395)

[Hình 3‑39. Sơ đồ khối điều khiển hệ thống XLTH 65](#_Toc516589396)

[Hình 2‑21. Giao tiếp hệ thống XLTT với hệ thống điều khiển. 68](#_Toc516589397)

DANH MỤC BẢNG BIỂU

[Bảng 1‑1 – Yêu cầu kỹ thuật của hệ thống XLTH 20](#_Toc516589398)

[Bảng 3‑1 – Bảng giá trị điều khiển điều chế tần số 30](#_Toc516589399)

[Bảng 3‑2 - Bảng giá trị điều khiển điều chế biên độ 31](#_Toc516589400)

[Bảng 3‑3 – Bảng quy ước đóng gói dữ liệu xử lý tín hiệu UV-10 40](#_Toc516589401)

[Bảng 5‑1 – Giao tiếp vào/ra 86](#_Toc516589402)

[Bảng 6‑1 – Bảng danh sách vật tư linh kiện 108](#_Toc516589403)

NỘI DUNG

# CHỨC NĂNG VÀ YÊU CẦU KỸ THUẬT CỦA HỆ THỐNG

## Chức năng hệ thống

### Hệ thống xử lý tín hiệu

#### Hệ phát lệnh

* Nhận tín hiệu điều khiển tên lửa từ hệ lập lệnh
  + Tín hiệu K1-I, K1-II, K2-I và K2-II, dạng số, điều khiển điều chế tần số
  + Tín hiệu K3-I, K3-II, K6-I và K6-II, dạng số, điều khiển điều chế biên độ
  + Tín hiệu xung chắn p\_UPK và tín hiệu xung hỏi tên lửa r0\_UPK, dạng số, điều khiển xung phát hỏi tên lửa và xung chắn
* Tạo tín hiệu phát tới hệ thống phát của UV-12
  + Tín hiệu nhóm UVK, dạng tương tự, gửi tới hệ thống phát của UV-12
  + Tín hiệu xung hỏi tên lửa, dạng số, gửi tới hệ thống phát của UV-12
  + Tín hiệu chắn xung hỏi, dạng số, gửi tới hệ thống phát của UV-12
* Dựa trên các tín hiệu điều khiển từ hệ lập lệnh, thực hiện điều chế tín hiệu theo các quy tắc quy ước để có tín hiệu yêu cầu ở đầu ra là tín hiệu tổng và các tín hiệu xung chắn, xung hỏi tên lửa

#### Hệ xử lý tín hiệu anten UV-10

* Phát tín hiệu:
  + Nhận tín hiệu điều khiển chế độ phát từ khối xử lý thông tin qua giao tiếp Ethernet, dưới dạng gói tin, điều khiển các tham số:
    - Chu kỳ lặp xung
    - Khoảng trễ đầu chu kỳ lặp xung
    - Khoảng trễ sau chu kỳ lặp xung
    - Khoảng trễ đầu xung phát
  + Tạo các tín hiệu phát cung cấp tới hệ thống phát anten UV-10 và các tín hiệu đồng bộ:
    - Tín hiệu phát, dạng tương tự, qua giao tiếp SMA
    - Tín hiệu báo chu kỳ xung, dạng số, qua giao tiếp GPIO
    - Tín hiệu báo xung, dạng số, qua giao tiếp GPIO
    - Tín hiệu báo đầu xung phát, dạng số, qua giao tiếp GPIO
    - Tín hiệu báo cuối xung phát, dạng số, qua giao tiếp GPIO
    - Tín hiệu báo đầu chu kỳ phát, dạng số, qua giao tiếp GPIO
    - Tín hiệu báo cuối chu kỳ phát, dạng số, qua giao tiếp GPIO
* Thu tín hiệu:
  + - Nhận các tín hiệu điều khiển chế độ thu từ khối xử lý thông tin qua giao tiếp Ethernet, dưới dạng gói tin, điều khiển các tham số:
      * Tâm cửa sổ quan sát
      * Phạm vi cửa sổ quan sát
    - Nhận tín hiệu thu từ hệ thống thu anten UV-10, dưới dạng tương tự, qua giao tiếp SMA
    - Nhận tín hiệu encoder từ hệ thống nguồn và điều khiển của UV-10 và bệ anten, dưới dạng tín hiệu số, qua giao tiếp SSI:
      * Dữ liệu góc phương vị bệ anten
      * Dữ liệu góc tà bệ anten
      * Dữ liệu góc anten UV-10
    - Xử lý tín hiệu thu từ hệ thống thu anten UV-10:
      * Chuyển đổi tín hiệu từ dạng tương tự sang dạng số
      * Đưa tín hiệu từ trung tần về băng tần cơ sở
      * Thực hiện nén xung ở băng tần cơ sở
      * Đồng bộ, đóng gói dữ liệu sau nén
    - Gửi các dữ liệu thu đã được đồng bộ và đóng gói tới hệ thống xử lý thông tin, dưới dạng tín hiệu số, qua giao tiếp PCIe:
      * Dữ liệu giá trị sau nén xung của tín hiệu thu từ hệ thống thu anten UV-10
      * Dữ liệu giá trị cự ly được đồng bộ với giá trị sau nén xung
* Dữ liệu góc phương vị và góc tà của anten UV-10 được đồng bộ theo chu kỳ lặp xung

#### Hệ xử lý tín hiệu anten UV-11

* Xử lý tín hiệu mục tiêu
  + Nhận các tín hiệu đồng bộ từ hệ xử lý tín hiệu radar UV-10:
    - Tín hiệu báo chu kỳ xung, dạng số, qua giao tiếp GPIO
    - Tín hiệu báo xung, dạng số, qua giao tiếp GPIO
    - Tín hiệu báo đầu xung phát, dạng số, qua giao tiếp GPIO
    - Tín hiệu báo cuối xung phát, dạng số, qua giao tiếp GPIO
    - Tín hiệu báo đầu chu kỳ phát, dạng số, qua giao tiếp GPIO
    - Tín hiệu báo cuối chu kỳ phát, dạng số, qua giao tiếp GPIO
  + Nhận tín hiệu thu từ hệ thống thu anten UV-11, dưới dạng tương tự, qua giao tiếp SMA
  + Nhận tín hiệu encoder từ hệ thống nguồn và điều khiển của UV-11, dưới dạng tín hiệu số, qua giao tiếp SSI
  + Xử lý tín hiệu thu từ hệ thống thu anten UV-11:
    - Chuyển đổi tín hiệu từ dạng tương tự sang dạng số
    - Đưa tín hiệu từ trung tần về băng tần cơ sở
    - Thực hiện nén xung ở băng tần cơ sở
    - Đồng bộ, đóng gói dữ liệu sau nén xung
  + Gửi các dữ liệu thu đã được đồng bộ và đóng gói tới hệ thống xử lý thông tin, dưới dạng tín hiệu số, qua giao tiếp PCIe:
    - Dữ liệu giá trị sau nén xung của tín hiệu thu từ hệ thống thu anten UV-11
    - Dữ liệu giá trị cự ly được đồng bộ với giá trị sau nén xung
    - Dữ liệu góc của anten UV-11 được đồng bộ theo chu kỳ lặp xung
* Xử lý tín hiệu tên lửa
  + Nhận tín hiệu thu từ hệ thống thu anten UV-11, dưới dạng tương tự, qua giao tiếp SMA
  + Xử lý tín hiệu thu từ hệ thống thu anten UV-11:
    - Chuyển đổi tín hiệu từ dạng tương tự sang dạng số
    - Đưa tín hiệu từ trung tần về băng tần cơ sở
    - Thực hiện phát hiện xung tín hiệu
* Đồng bộ, đóng gói dữ liệu sau nén xung

### Hệ thống xử lý thông tin

#### Hệ tọa độ

* Giao tiếp, điều khiển hệ thống phát.
  + Nhận các thông tin trạng thái từ hệ thống phát.
  + Đánh giá trạng thái đưa ra lệnh điều khiển tương ứng.
  + Gửi các lệnh điều khiển đóng mở nguồn, kích phát hệ thống.
* Giao tiếp, điều khiển hệ thống thu.
  + Nhận các thông tin trạng thái các khối thành phần của hệ thống thu.
  + Đánh giá trạng thái đưa ra lệnh điều khiển tương ứng.
  + Gửi các lệnh điều khiển suy hao, điều khiển bộ dao động ngoại sai và các khối thành phần khác.
* Ước lượng tọa độ mục tiêu: nhận dữ liệu trực tiếp từ khối xử lý tin hiệu, kết hợp với các giá trị tọa độ, góc của đài anten, từ đó tính toán và trả về giá trị các tham số, xác định tọa độ mục tiêu ước lượng được.
  + Nhận các gói tin UV10, UV11 kênh mục tiêu từ khối XLTH.
  + Xử lý gói tin UV10 xác định khoảng cách mục tiêu so với đài anten radar.
  + Xử lý gói tin UV11 xác định góc lệch của mục tiêu và góc lệch của tên lửa so với đường chuẩn anten UV11.
  + Gửi các tham số tọa độ đến các thành phần phục vụ việc điều khiển bám mục tiêu.
* Ước lượng tọa độ tên lửa: nhận dữ liệu trực tiếp từ khối xử lý tin hiệu, kết hợp với các giá trị tọa độ, góc của đài anten, từ đó tính toán các giá trị tham số, xác định tọa độ mục tiêu.
  + Nhận các gói tin UV11, UV12 kênh tên lửa từ khối XLTH
  + Xử lý gói tin UV12 xác định khoảng cách tên lửa so với đài anten radar.
  + Xử lý gói tin UV11 xác định góc lệch của tên lửa và góc lệch của tên lửa so với đường chuẩn anten UV11
  + Gửi các tham số tọa độ đến các thành phần phục vụ việc điều khiển bám mục tiêu.
* Giao tiếp điều khiển khối XLTH.
  + Điều khiển thay đổi vị trí tâm giải quét, độ rộng dải quét.
  + Điều khiển thay đổi chế độ làm việc quét dò tìm mục tiêu, bám mục tiêu.
  + Điều khiển thay đổi các tham số tín hiệu phát.
  + Điều khiển thay đổi các tham số tuyến thu UV10, UV11, UV12.
  + Điều khiển thay đổi các tham số bám bắt.
* Điều khiển bám mục tiêu.
  + Nhận các tham số tọa độ mục tiêu và tên lửa.
  + Nhận lệnh điều khiển bám từ xe UNK.
  + Tự động bám mục tiêu dựa trên các tham số tọa độ mục tiêu đo đạc được.
  + Bám mục tiêu bằng tay theo chỉ thị từ xe điều khiển UNK.

#### Hệ điều khiển bệ anten

* Giao tiếp điều khiển hệ thống nguồn.
  + Nhận các thông tin trạng thái hoạt động của nguồn điện trên xe UNV.
* Giao tiếp điều khiển bệ anten.
  + Nhận các giá trị góc anten, góc quay búp sóng anten, tốc độ góc và các giá trị điều khiển khác thu được từ cảm biến trên xe.
  + Nhận các lệnh điều khiển.
  + Mã hóa các lệnh, bản tin theo quy định giao tiếp với khối điều khiển.
  + Chuyển các bản tin chưa giá trị điều khiển liên tục đến khối điều khiển.
  + Chuyển các lệnh điều khiển đã mã hóa đến khối điều khiển đáp ứng.

#### Hệ hiện hình

* Hiển thị.
  + Hiển thị các giao diện điều khiển cấu hình hệ thống.
    - Giao diện điều khiển hệ thống phát.
    - Giao diện điều khiển hệ thống thu.
    - Giao diện điều khiển hệ thống XLTH.
    - Giao diện điều khiển hệ thống nguồn và điều khiển bệ anten.
  + Giao diện theo dõi trạng thái hoạt động, trạng thái kết nối của các hệ thống trên xe UNV.
  + Giao diện hiển thì tọa độ mục tiêu, tên lửa và điều khiển UV10.
  + Giao diện hiển thị tọa độ mục tiêu, tên lửa và điều khiển UV11 rãnh I và II.
  + Giao diện quan sát tín hiệu radar.
* Lưu trữ và tái hiện.
  + Lưu trữ và tái hiện các tham số radar thu được từ anten.
  + Lưu trữ và tái hiện các bản tin dữ liệu, bản tin điều khiển giữa tất cả các hệ thống
* Giao tiếp xe UNK.
  + Gửi các tham số tọa độ mục tiêu, tên lửa sang xe UNK.
  + Gửi thông tin trạng thái các hệ thống thành phần xe UNV sang UNK.
  + Nhận và đáp ứng các chỉ thị của xe UNK.

## Yêu cầu kỹ thuật

### Hệ thống xử lý tín hiệu

| **STT** | **Hệ chức năng** | **Nội dung** | **Tham số kỹ thuật** | **Ghi chú** |
| --- | --- | --- | --- | --- |
|  | Hệ phát lệnh | Tín hiệu K1-I | Đầu vào qua GPIO |  |
|  | Tín hiệu logic dạng số, 1 bit |  |
|  | Điện áp |  |
|  | Hệ phát lệnh | Tín hiệu K1-II | Đầu vào qua GPIO |  |
|  | Tín hiệu logic dạng số, 1 bit |  |
|  | Điện áp |  |
|  | Hệ phát lệnh | Tín hiệu K2-I | Đầu vào qua GPIO |  |
|  | Tín hiệu logic dạng số, 1 bit |  |
|  | Điện áp |  |
|  | Hệ phát lệnh | Tín hiệu K2-II | Đầu vào qua GPIO |  |
|  | Tín hiệu logic dạng số, 1 bit |  |
|  | Điện áp |  |
|  | Hệ phát lệnh | Tín hiệu K3-I | Đầu vào qua GPIO |  |
|  | Tín hiệu logic dạng số, 1 bit |  |
|  | Điện áp |  |
|  | Hệ phát lệnh | Tín hiệu K3-II | Đầu vào qua GPIO |  |
|  | Tín hiệu logic dạng số, 1 bit |  |
|  | Điện áp |  |
|  | Hệ phát lệnh | Tín hiệu K6-I | Đầu vào qua GPIO |  |
|  | Tín hiệu logic dạng số, 1 bit |  |
|  | Điện áp |  |
|  | Hệ phát lệnh | Tín hiệu K6-II | Đầu vào qua GPIO |  |
|  | Tín hiệu logic dạng số, 1 bit |  |
|  | Điện áp |  |
|  | Hệ phát lệnh | Tín hiệu p\_UPK | Đầu vào qua GPIO |  |
|  | Tín hiệu logic dạng số, 1 bit |  |
|  | Điện áp |  |
|  | Hệ phát lệnh | Tín hiệu r0\_UPK | Đầu vào qua GPIO |  |
|  | Tín hiệu logic dạng số, 1 bit |  |
|  | Điện áp |  |
|  | Hệ phát lệnh | Tín hiệu UVK | Đầu ra từ DDC theo chuẩn SMA |  |
|  | Tín hiệu dạng tương tự |  |
|  | Điện áp | Nguồn cấp |
|  | Dòng tối đa | Theo tài liệu cung cấp là |
|  | Tí số tín hiệu - tạp âm tối đa | Theo tài liệu cung cấp là trong dải hoạt động từ tới tần số Nyquist của bộ chuyển đổi |
|  | Hệ phát lệnh | Tín hiệu p\_UPK | Đầu ra qua GPIO |  |
|  | Tín hiệu logic dạng số, 1 bit |  |
|  | Điện áp |  |
|  | Hệ phát lệnh | Tín hiệu r0\_UPK | Đầu ra qua GPIO |  |
|  | Tín hiệu logic dạng số, 1 bit |  |
|  | Điện áp |  |
|  | Xử lý tín hiện radar UV-10 | Thời gian phát xung |  | Do chạy với clock , nên có sai số là .  Sai số này có thể bé hơn nữa, nếu cần thiết. |
|  | Xử lý tín hiện radar UV-10 | Chu kỳ lặp xung |  |
|  | Xử lý tín hiện radar UV-10 | Tín hiệu phát tới hệ thống phát anten UV-10  (UV\_10\_TX) | Tín hiệu điều chế LFM trong dải |  |
|  | Đầu ra từ DDC theo chuẩn SMA |  |
|  | Tín hiệu dạng tương tự |  |
|  | Điện áp | Nguồn cấp |
|  | Dòng tối đa | Theo tài liệu cung cấp là |
|  | Tí số tín hiệu - tạp âm tối đa | Theo tài liệu cung cấp là trong dải hoạt động từ tới tần số Nyquist của bộ chuyển đổi |
|  | Xử lý tín hiện radar UV-10 | Tín hiệu báo chu kỳ xung, dạng số, qua giao tiếp GPIO  (PRI\_VLD) | Đầu ra qua GPIO |  |
|  | Tín hiệu logic dạng số, 1 bit |  |
|  | Điện áp |  |
|  | Xử lý tín hiện radar UV-10 | Tín hiệu báo xung, dạng số, qua giao tiếp GPIO  (PI\_VLD) | Đầu ra qua GPIO |  |
|  | Tín hiệu logic dạng số, 1 bit |  |
|  | Điện áp |  |
|  | Xử lý tín hiện radar UV-10 | Tín hiệu báo đầu xung phát, dạng số, qua giao tiếp GPIO  (PI\_HEAD) | Đầu ra qua GPIO |  |
|  | Tín hiệu logic dạng số, 1 bit |  |
|  | Điện áp |  |
|  | Xử lý tín hiện radar UV-10 | Tín hiệu báo cuối xung phát, dạng số, qua giao tiếp GPIO  (PI\_TAIL) | Đầu ra qua GPIO |  |
|  | Tín hiệu logic dạng số, 1 bit |  |
|  | Điện áp |  |
|  | Xử lý tín hiện radar UV-10 | Tín hiệu báo đầu chu kỳ phát, dạng số, qua giao tiếp GPIO  (PRI\_HEAD) | Đầu ra qua GPIO |  |
|  | Tín hiệu logic dạng số, 1 bit |  |
|  | Điện áp |  |
|  | Xử lý tín hiện radar UV-10 | Tín hiệu báo cuối chu kỳ phát, dạng số, qua giao tiếp GPIO  (PRI\_TAIL) | Đầu ra qua GPIO |  |
|  | Tín hiệu logic dạng số, 1 bit |  |
|  | Điện áp |  |
|  | Xử lý tín hiện radar UV-10 | Tín hiệu encoder của góc phương vị của bệ  (AZI\_CLK\_P, AZI\_CLK\_N, AZI\_D\_P, AZI\_D\_N) | Đầu vào/ra qua GPIO |  |
|  | Tín hiệu logic dạng số, 4 bit |  |
|  | Điện áp |  |
|  | Xử lý tín hiện radar UV-10 | Tín hiệu encoder của góc tà của bệ  (ELE\_CLK\_P, ELE\_CLK\_N, ELE\_D\_P, ELE\_D\_N) | Đầu vào/ra qua GPIO |  |
|  | Tín hiệu logic dạng số, 4 bit |  |
|  | Điện áp |  |
|  | Xử lý tín hiện radar UV-10 | Tín hiệu encoder của góc của anten UV-11  (UV\_10\_CLK\_P, UV\_10\_CLK\_N, UV\_10\_D\_P, UV\_10\_D\_N) | Đầu vào/ra qua GPIO |  |
|  | Tín hiệu logic dạng số, 4 bit |  |
|  | Điện áp |  |
|  | Xử lý tín hiện radar UV-11 | Tín hiệu encoder của góc của anten UV-11  (UV\_11\_CLK\_P, UV\_11\_CLK\_N, UV\_11\_D\_P, UV\_11\_D\_N) | Đầu vào/ra qua GPIO |  |
| Tín hiệu logic dạng số, 4 bit |  |
| Điện áp |  |

Bảng 1‑1 – Yêu cầu kỹ thuật của hệ thống XLTH

### Hệ thống xử lý thông tin

#### Ghép nối các hệ thống



Hình 1‑1. Sơ đồ kế nối hệ thống XLTH với các hệ thống khác

Yêu cầu kỹ thuật hệ thống xử lý thông tin

Bảng 1.1. Yêu cầu kỹ thuật hệ thống XLTT

| **STT** | **Nội dung** | **Đơn vị** | **Giá trị** | **Ghi chú** |
| --- | --- | --- | --- | --- |
| 1 | Giao tiếp PCIe | Gbps | ≥ 2.5 | Hỗ trợ 2 khe cắm x8 và x16, PCIe gen 1 và gen 2. |
| 2 | Giao tiếp Ethernet | Gbps | ≥ 1 | Chuẩn kết nối RJ45 |

* Ethernet kết nối theo 1 trong 2 chuẩn đi dây.
  + EIA/TIA 568B Ethernet UTP

| **Pin** | **Signal Name** | **Description** | **cable wire color** | **Name** |
| --- | --- | --- | --- | --- |
| 1 | TX+\_D1 | Transmit Data+ | White with orange stripe | TX+\_D1 |
| 2 | TX-\_D1 | Transmit Data- | Orange with white stripe or solid orange | TX-\_D1 |
| 3 | RX+\_D2 | Receive Data+ | White with green stripe | RX+\_D2 |
| 4 | BI+\_D3 | Bi-directional+ | Blue with white stripe or solid blue | BI+\_D3 |
| 5 | BI-\_D3 | Bi-directional- | White with blue stripe | BI-\_D3 |
| 6 | RX-\_D2 | Receive Data- | Green with white stripe or solid | RX-\_D2 |
| 7 | BI+\_D4 | Bi-directional+ | White with brown strip | BI+\_D4 |
| 8 | BI-\_D4 | Bi-directional- | Brown with white stripe or solid brown | BI-\_D4 |

* + EIA/568B Ethernet UTP

| **Pin** | **Signal Name** | **Description** | **cable wire color** | **Name** |
| --- | --- | --- | --- | --- |
| 1 | TX+\_D1 | Transmit Data+ | White with orange stripe | TX+\_D1 |
| 2 | TX-\_D1 | Transmit Data- | Orange with white stripe or solid orange | TX-\_D1 |
| 3 | RX+\_D2 | Receive Data+ | White with green stripe | RX+\_D2 |
| 4 | BI+\_D3 | Bi-directional+ | Blue with white stripe or solid blue | BI+\_D3 |
| 5 | BI-\_D3 | Bi-directional- | White with blue stripe | BI-\_D3 |
| 6 | RX-\_D2 | Receive Data- | Green with white stripe or solid | RX-\_D2 |
| 7 | BI+\_D4 | Bi-directional+ | White with brown strip | BI+\_D4 |
| 8 | BI-\_D4 | Bi-directional- | Brown with white stripe or solid brown | BI-\_D4 |

# SƠ ĐỒ KHỐI CHỨC NĂNG VÀ MÔ TẢ HOẠT ĐỘNG

## Sơ đồ khối chức năng tổng quát

## Mô tả hoạt động toàn hệ thống XLTH & XLTT

## Hệ thống xử lý tín hiệu

### Hệ phát lệnh



Hình 2‑1 – Sơ đồ khối chức năng của hệ phát lệnh

Các khối chức năng tạo tín hiệu UVK-I và UVK-II có thiết kế chức năng tương đương nhau sử dụng để điều chế tín hiệu theo các bộ lệnh điều khiển tương ứng nhận được là K1-I, K2-I, K3-I, K6-I và K1-II, K2-II, K3-II, K6-II.

Hai tín hiệu UVK thành phần được tạo ra là UVK-I và UVK-II, tương ứng là 2 tín hiệu lệnh cho 2 tên lửa, được tổng hợp với nhau thành 1 tín hiệu UVK cuối cùng và chuyển đổi sang dạng tương tự, rồi đưa tới đầu ra làm tín hiệu cuối cùng của hệ.

Khối giữ chậm nhận 2 tín hiệu p\_UPK và r0\_UPK, thực hiện phép giữ chậm để đồng bộ trễ với quá trình tạo ra tín hiệu UVK.



Hình 2‑2 – Sơ đồ ghép nối tầng trên của hệ phát lệnh

Hệ phát lệnh là một hệ chức năng nằm trong hệ thống xử lý tín hiệu (phần cứng là bo mạch FPGAs kèm theo mạch chuyển đổi tương tự/số).

Hệ nhận 10 tín hiệu điều khiển qua giao tiếp GPIO (tương ứng là 10 GPIO header) của bo mạch FPGAs, bao gồm:

* K1-I: Điều khiển điều chế tần số với tần số tín hiệu lệnh cho tên lửa 1
* K1-II: Điều khiển điều chế tần số với tần số tín hiệu lệnh cho tên lửa 2
* K2-I: Điều khiển điều chế tần số với tần số tín hiệu lệnh cho tên lửa 1
* K2-II: Điều khiển điều chế tần số với tần số tín hiệu lệnh cho tên lửa 2
* K3-I, K6-I: Điều khiển điều chế biên độ với tần số và tín hiệu lệnh cho tên lửa 1
* K3-II, K6-II: Điều khiển điều chế biên độ với tần số và tín hiệu lệnh cho tên lửa 2

Hệ có 1 tín hiệu tương tự được đưa ra qua giao tiếp SMA (tương ứng là 1 SMA connector được nối dài từ khối chuyển đổi số/tương tự), bao gồm:

* UVK: tín hiệu tổng gửi tới hệ thống phát của UV-12

Hệ có 2 tín hiệu số dạng xung được truyền qua giao tiếp GPIO (tương ứng là 2 GPIO header) từ bo mạch FPGAs, bao gồm:

* p\_UPK: Xung chắn tín hiệu hỏi tên lửa
* r0\_UPK: Xung hỏi tên lửa

### Hệ xử lý tín hiệu anten UV-10



Hình 2‑3 – Sơ đồ khối chức năng của hệ xử lý tín hiệu radar UV-10



Hình 2‑4 – Sơ đồ ghép nối tầng trên của hệ xử lý tín hiệu radar UV-10

### Hệ xử lý tín hiệu anten UV-11



Hình 2‑5 – Sơ đồ khối chức năng của hệ xử lý tín hiệu radar UV-11



Hình 2‑6 – Sơ đồ ghép nối tầng trên của hệ xử lý tín hiệu radar UV-11

## Hệ thống xử lý thông tin



Hình 2‑7. Sơ đồ khối tổng quan hệ thống xử lý thông tin



Hình 2‑8. Sơ đồ các khối thành phần hệ thống xử lý thông tin

### Hệ tọa độ



Hình 2‑9. Sơ đồ giao tiếp hệ tọa độ - hệ thống XLTT

Khối giao tiếp

Hai khối ước lượng tọa độ tên lửa và ước lượng tọa độ mục tiêu xử lý dữ liệu thu được từ 2 kênh tương ứng, đưa ra tọa độ ước lượng được của tên lửa vào mục tiêu gửi đến khối điều khiển bám. Khối điều khiển bám được điều khiển bởi hệ hiện hình, đáp ứng 2 chức năng bám mục tiêu tự động và bám mục tiêu bằng tay.

* Ở trường hợp bám mục tiêu tự động, khối điều khiển bám mục tiêu dựa trên tọa độ ước lượng được của mục tiêu và tên lửa, tự động đưa ra yêu cầu điều khiển đường ngắm theo cự li và ngắm cự li. Lênh điều khiển bệ anten bám góc được gửi đến khối điều khiển bệ anten. Lệnh điều khiển đường ngắm mục tiêu được gửi đến khối XLTH, bao gồm điều khiển tâm ngắm và dải quét. Đồng thời các giá trị của đường ngắm này được gửi đến khối hiển thị, lưu trữ và chuyển tiếp sang xe điều khiển.
* Ở trường hợp bám mục tiêu bằng tay, các giá trị được chuyển trực tiếp lên khối hiển thị và lưu trữ, trắc thủ dựa trên những giá trị thu được này thực hiện điều khiển tâm ngắm bằng tay.

### Hệ điều khiển bệ anten



Hình 2‑10. Sơ đồ giao tiếp hệ giao tiếp hệ thống nguồn và điều khiển – hệ thống XLTT

Hệ tọa độ đại diện bởi khối giao tiếp hệ thống nguồn điều khiển kết nối với hệ thống nguồn và điều khiển trên xe UNV bằng một đường ethernet. Đáp ứng các yêu cầu chức năng đã nêu ở phần 1.1.2 sẽ sử dụng đồng thời hai giao thức TCP/IP và UDP/IP. Các giá trị tham số góc của bệ anten nhận liên tục từ hệ sẽ được đóng gói thành bản tin và được truyền liên tục bằng giao thức UDP/IP đến hệ thống điều khiển, phục vụ việc điều khiển động cơ trên xe anten. Các lệnh phục vụ việc điều khiển bệ anten sẽ được truyền với mức ưu tiên thấp hơn nhưng đòi hỏi độ tin cậy sẽ được truyền với giao thưc TCP/IP.

### Hệ hiện hình



Hình 2‑11. Sơ đồ giao tiếp hệ hiện hình – hệ thống XLTT

* **Tuyến dữ liệu đến xe UNK**.

Thông tin trạng thái hệ thống nguồn và trạng thái các khối thành phần khác trên xe UNK nhận được từ hệ tọa độ được đóng gói thành 1 bản tin trạng thái UNV chung và được truyền qua đường cáp quang, giao thức TCP/IP đến xe UNK. Các trạng thái bao gồm

* Các tham số hệ thống thu phát.
* Các tham số hệ thống khuếch đại công suất.
* Các tham số hệ thống điều khiển, tham số trạng thái xe UNV.
* Các tham số hệ thống nguồn xe UNV.

Thông tin tọa độ mục tiêu, tọa độ tên lửa nhận được từ hệ tọa độ được gửi đến xe UNK theo đường cáp quang chung với bản tin trạng thái, giao thức UDP/IP, tần số gửi cao hơn bản tin trạng thái. Thông tin bao gồm

* Cự li, góc theta UV10, góc theta UV11, góc phương vị và góc tà tại thời điểm phát xung xác định vị trí mục tiêu.
* Cự li, góc theta UV10, góc theta UV11, góc phương vị và góc tà tại thời điểm phát xung xác định vị trí tên lửa.
* **Tuyến dữ liệu từ xe UNK đi ra.**

Các lệnh điều khiển xe UNV từ xe UNK bao gồm

* Điều khiển thay đổi chế độ hoạt động xe UNV.
* Điều khiển quay bệ anten.
* Điều khiển thay đổi tham số các hệ thống thành phần xe UNV (hệ thống thu phát, hệ thống xử lý tín hiệu, hệ thống khuếch đại công suất, hệ thống điều khiển).

# THIẾT KẾ CHI TIẾT

## Hệ thống xử lý tín hiệu

### Hệ phát lệnh



Hình 3‑1 – Sơ đồ ghép nối tầng dưới của hệ phát lệnh

#### Khối phát tần số



Hình 3‑2 – Sơ đồ khối chức năng khối phát tần số

Khối phát tần số bao gồm 1 bộ Counter đếm địa chỉ, thực hiện việc đếm liên tục trong dải địa chỉ của các khối Look Up Table. Các khối LUT được khởi tạo sẵn các giá trị của 1 chu kỳ tương ứng với tần số mong muốn. Trên hình là ví dụ khối ghép nối thiết kế của khối phát tần số , các khối phát tần số còn lại có thiết kế tương tự và giống với ví dụ trên.

#### Khối điều chế tần số



Hình 3‑3 – Sơ đồ khối chức năng khối điều chế tần số

Khối điều chế tần số nhận đầu vào là 2 tần số từ khối phát tần số, ở ví dụ trên là , và tín hiệu điều khiển là các tín hiệu lệnh nhận được từ hệ lập lệnh, ở ví dụ trên là K1-I. Tín hiệu lệnh nhận được từ hệ lập lệnh, ở đây là K1-I, được sử dụng như tín hiệu điều khiển cho bộ Multiplexer chọn lọc giữa 2 tần số F1 và F2. Đầu ra của khối là tín hiệu sau khi được chọn bởi tín hiệu điều khiển K1-I. Các khối điều chế tần số còn lại trong hệ thống cũng có thiết kế tương tự, chỉ khác nhau tín hiệu điều khiển và tần số sử dụng để chọn lọc.

| **STT** | **Tín hiệu điều khiển** | **Giá trị điều khiển** | **Tín hiệu tần số đầu ra** |
| --- | --- | --- | --- |
|  | K1-I | 1 | F1 |
|  | 0 | F2 |
|  | K2-I | 1 | F3 |
|  | 0 | F4 |
|  | K1-II | 1 | F5 |
|  | 0 | F6 |
|  | K2-II | 1 | F7 |
|  | 0 | F8 |

Bảng 3‑1 – Bảng giá trị điều khiển điều chế tần số

#### Khối điều chế biên độ



Hình 3‑4 – Sơ đồ khối chức năng khối điều chế biên độ

Khối điều chế biên độ được cung cấp các tín hiệu tần số điều chế biên độ tương ứng với nhánh trên sơ đồ thiết kế chi tiết, ở ví dụ là nhánh đầu ra sau khi điều chế tần số với lệnh K1, đồng thời, được cung cấp tín hiệu sau điều chế tần số tương ứng và các lệnh điều khiển điều chế biên độ là K3 và K6, ở ví dụ là K3-I và K6-I cho tên lửa 1.

Các tín hiệu K3 và K6 điều khiển việc chọn tần số sử dụng để diều chế biên độ bằng khối Multiplexer với quy tắc như bảng dưới.

Tần số được chọn sẽ được đưa tới khối nhân đại số cùng với tín hiệu sau điều chế tần số. Kết quả phép nhân đại số này là đầu ra cho khối điều chế biên độ cho tín hiệu đầu vào.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **STT** | **Tín hiệu điều khiển** | | **Tần số điều chế biên độ** | |
| **K3-I/K3-II** | **K6-I/K6-II** | **cho tín hiệu đầu ra điều chế tần số lệnh K1** | **cho tín hiệu đầu ra điều chế tần số lệnh K2** |
|  | 0 | 0 | - | - |
|  | 0 | 1 |  |  |
|  | 1 | 0 |  |  |
|  | 1 | 1 | - | - |

Bảng 3‑2 - Bảng giá trị điều khiển điều chế biên độ

#### Khối tổng hợp tín hiệu



Hình 3‑5 – Sơ đồ khối chức năng khối tổng hợp tín hiệu

Khối tổng hợp tín hiệu, thực chất, là một khối cộng đại số của 2 tín hiệu đầu vào.

#### Khối giữ chậm



Hình 3‑6 – Sơ đồ khối chức năng của khối giữ chậm

Khối giữ chậm, thực chất, là một chuỗi các khối delay, có tác dụng giữ lại các giá trị tín hiệu và giữ chậm lại tới một số lượng chu kỳ đặt trước. Đầu ra của khối là đầu vào của khối tại một thời điểm trong quá khứ, cách một khoảng thời gian tính bằng chu kỳ xung biết trước. Việc sử dụng dụng khối giữ chậm này nhằm đảm bảo các tín hiệu p\_UPK và r0\_UPK được giữ chậm lại một khoảng thời gian bằng thời gian xử lý điều chế, để đồng bộ tín hiệu đầu ra của khối.

#### Khối dịch pha



Hình 3‑7 – Sơ đồ khối chức năng của khối dịch pha

Khối dịch pha, có cấu trúc y hệt như khối giữ chậm, được xây dựng lên từ các khối delay. Việc giữ chậm 1 tín hiệu tuần hoàn trong một khoảng thời gian sẽ làm dịch pha của tín hiệu so với tín hiệu gốc, từ đó đạt được chức năng mong muốn là dịch pha tín hiệu trên hệ thống.

#### Khối chuyển đổi tín hiệu số/tương tự

### Hệ xử lý tín hiệu UV-10



Hình 3‑8 – Sơ đồ ghép nối tầng dưới của hệ xử lý tín hiệu radar UV-10

#### Khối tạo tín hiệu



Hình 3‑9 – Sơ đồ khối chức năng của khối tạo tín hiệu

Khối tạo tín hiệu được điều khiển bởi vi xử lý lõi Nios – Nios II Processor, bằng các giá trị mà vi xử lý nhận được từ hệ thống xử lý tín hiệu và chuyển tiếp tới hệ, bao gồm các tín hiệu:

* PI: Thời gian phát xung
* PRI: Thời gian lặp xung
* PRE\_PI\_OFFSET: Khoảng đệm của xung báo tín hiệu phát ở đầu xung
* POST\_PI\_OFFSET: Khoảng đệm của xung báo tín hiệu phát ở cuối xung
* PRE\_PRI\_OFFSET: Khoảng đệm của xung báo chu kỳ lặp xung ở đầu xung
* POST\_PRI\_OFFSET: Khoảng đệm của xung báo chu kỳ lặp xung ở cuối xung

Khối điều khiển nhận các giá trị thiết lập trên, tính toán, và đưa ra xung điều khiển tới khối đếm, giúp khối đếm tạo ra các giá trị đầu ra là các địa chỉ đọc bảng giá trị tham chiếu.

Bảng giá trị tham chiếu chứa một chu kỳ tuần hoàn của tuần số thấp. Việc thay đổi tốc đô biến thiên của địa chỉ đọc bảng giá trị tham chiếu cũng là thay đổi tần số tín hiệu đầu ra của khối, từ đó tạo ra được tín hiệu với tần số mong muốn.

Tín hiệu đầu ra được đưa tới khối chuyển đổi tín hiệu số sang dạng tương tự.

Các xung điều khiển khối đếm được đưa ra ngoài tới khối đọc cự ly, giúp khối này có khả năng tính toán được cự ly tín hiệu phản hồi.

#### Khối chuyển đổi tín hiệu số/tương tự



Hình 3‑10 – Sơ đồ khối chức năng khối chuyển đổi tín hiệu số/tương tự

Khối chuyển đổi số/tương tự là một thiết bị mở rộng bên ngoài của bo mạch xử lý tín hiệu. Tốc độ chuyển đổi được đặt ở mức cao nhất là . Việc sử dụng tốc độ ADC cao nhất giúp cho tín hiệu đầu ra có SNR thấp nhất có thể.

#### Khối chuyển đổi tương tự/số



Hình 3‑11 – Sơ đồ khối chức năng khối chuyển đổi tín hiệu tương tự/số

Khối chuyển đổi tương tự/số là một thiết bị mở rộng bên ngoài của bo mạch xử lý tín hiệu. Tốc độ chuyển đổi được đặt ở mức .

Việc đặt tốc độ lấy mẫu này có tác dụng thiết lập độ phân giải cự ly cho hệ thống xử lý tín hiệu radar của UV-10 là với một ô cự ly. Đồng thời, việc lấy mẫu với tốc độ như vậy cũng đưa tín hiệu từ trung tần về dải tần thấp hơn là , khối trộn tần sẽ sử dụng tín hiệu ở dải tần số này để chuyển đổi tín hiệu về băng tần cơ sở sau này.

#### Khối trộn



Hình 3‑12 – Sơ đồ khối chức năng khối trộn

Khối trộn thực hiện phép nhân đại số của 2 tín hiệu tuần hoàn vuông pha nhau, một là tín hiệu hình sin với tần số , tín hiệu còn lại là cos , với cùng một tín hiệu đầu vào, để cho ra hai tín hiệu ở đầu ra là hai thành phần I (In-phase) và Q (Quadrature phase) của tín hiệu. Hai thành phần này ở đầu ra được đưa tới khối lọc thông thấp để loại bỏ các thành phần tần số cao.

Việc thực hiện trộn tín hiệu ở băng tần với một tín hiệu tuần hoàn có tần số sẽ cho ra một tín hiệu có năng lượng ở các tần số . Trong đó, thành phần tín hiệu mong muốn ở đây là , là tín hiệu ở băng tần cơ sở.

#### Lọc thông thấp



Hình 3‑13 – Sơ đồ khối chức năng khối lọc thông thấp

Khối lọc thông thấp thực hiện lọc cả 2 tín hiệu I và Q với dải thông chắn là , dạng cos nâng. Việc đặt dải chắn là có liên quan tới băng thông tin hiệu , dải chắn trên sẽ giữ được đủ năng lượng tín hiệu mong muốn và loại bỏ các thành phần năng lượng ở tần số cao.

Cuối cùng, sau khi đã lọc hết các thành phần tần số cao, tín hiệu ở băng tần cơ sở sẽ được đưa tới thực hiện nén xung.

#### Nén xung



Hình 3‑14 – Sơ đồ khối chức năng khối nén xung

Khối nén xung bao gồm 2 khối lọc khớp, chứa dữ liệu mẫu của 2 thành phần I và Q của tín hiệu. Hai thành phần này sau khi đi qua lọc khớp, sẽ sinh ra đỉnh xung dạng sinc khi phát hiện ra tín hiệu trùng khớp. Hai tín hiệu sau lọc được đưa qua khối tổng bình phương biên độ nhằm tổng hợp biên độ có ích của cả hai thành phần I và Q lại thành một xung nén cuối cùng.

#### Đọc góc phương vị, góc tà và bệ của anten UV-10



Hình 3‑15 – Sơ đồ khối chức năng khối đọc encoder

Việc đọc các giá trị góc của bệ anten và anten UV-10 nhờ vào encoder của hệ thống nguồn và điều khiển.

Thiết bị encoder hoạt động theo nguyên lý nhận xung và phản hồi dữ liệu, với mỗi xung nhận được, một bit dữ liệu sẽ được trả về. Tương ứng với độ phân giải của encoder là 20 bit, số lượng xung khối tạo xung phải tạo ra liên tục là 20 xung clock để đọc dữ liệu từ encoder. Xung clock truyền tới encoder có dạng là tín hiệu vi sai.

Sau khi nhận được xung đọc từ hệ thống XLTH, encoder sẽ trả về dữ liệu dưới dạng bit tuần tự, lúc này, khối chuyển đổi tuần tự/song song sẽ có nhiệm vụ chuyển đổi dữ liệu từ dạng tương tự sang dạng song song. Dữ liệu, sau khi đã được gom lại thành 1 đường dữ liệu song song biểu thị giá trị là 1 số 20 bit, sẽ đươc gửi tới khối đóng gói dữ liệu để sắp xếp gửi về hệ thống XLTT.

#### Đọc cự ly



Hình 3‑16 – Sơ đồ chức năng khối đọc cự ly

Việc đo cự ly được thực hiện bằng cách sử dụng các tín hiệu từ khối tạo tín hiệu (PI\_HEAD và PI\_TAIL) để điều khiển khối tạo xung đếm. Khi có xung PI\_HEAD, khối tạo xung sẽ bắt đầu đưa xung lên mức cao và hạ xuống mức thấp khi có xung PI\_TAIL. Chuỗi xung này được sử dụng để làm tín hiệu điều khiển bộ đếm. Khi có xung, bộ đếm bắt đầu đếm từ giá trị ô cự ly 0 tới khi hết xung hoặc có tín hiệu PI\_TAIL, bộ đếm đưa giá trị đếm về lại giá trị mặc định là ở ô cự ly 0. Dữ liệu ô cự ly này cuối cùng được chuyển tới khối đóng gói dữ liệu để chuẩn bị đưa tới hệ thống XLTT.

#### Đóng gói dữ liệu



Hình 3‑17 – Sơ đồ chúc năng khối đóng gói dữ liệu

Khối đóng gói dữ liệu, như tên gọi, đảm nhận nhiệm vụ đóng gói các dữ liệu được gửi tới theo một quy ước cho trước và lưu tại bộ nhớ đệm, chờ các hệ thống có chức năng khác đọc và xử lý.

Các dữ liệu tất cả đầu vào được đưa tới khối phân luồng dữ liệu. Ở đây, dữ liệu sẽ được căn chỉnh lại thời gian truyền tới khối đóng gói dữ liệu giúp các dữ liệu khi tới khối đóng gói sẽ thành từng gói con 64 bit (8 bytes) dữ liệu. Quy trình gửi gói theo như bảng dưới đây.

| **STT** | **Nội dung** | **Định dạng dữ liệu** | **Ghi chú** |
| --- | --- | --- | --- |
|  | Header | 2 bytes dữ liệu ngẫu nhiên được chọn làm header do bên đọc (XLTT) quy định | 2 bytes |
|  | Length | Dữ liệu thông báo độ dài của toàn gói tin dữ liệu nén xung (số lượng dữ liệu sau nén xung tương ứng với ô cự ly được gửi đi) | 2 bytes |
|  | Azimuth | Dữ liệu chứa giá trị góc phương vị của bệ quay anten | 2 bytes |
|  | Elevation | Dữ liệu chứa giá trị góc tà của hệ quay anten | 2 bytes |
|  | Theta | Dữ liệu chứa góc tà của anten UV-10 | 2 bytes |
|  | Location | Dữ liệu location tại vị trí dữ liệu nén xung đầu tiên | 2 bytes |
|  | Data | Dữ liệu sau nén xung của tín hiệu thu được từ khối thu anten UV-10 | 1 bytes/location |

Bảng 3‑3 – Bảng quy ước đóng gói dữ liệu xử lý tín hiệu UV-10

Khối đóng gói sau khi phân luồng, sẽ gom 8 bytes một thành 1 đường bus dữ liệu 64 bits gửi tới khối quản lý ghi dữ liệu vào bộ nhớ.

Khối quản lý ghi sẽ đảm nhận nhiệm vụ quan sát tín hiệu phản hồi trạng thái bộ nhớ và thực hiện ghi dữ liệu, sao cho dữ liệu không bị mất mát và trùng lặp.

Dữ kiệu này được lưu vào bộ nhớ full-res FIFO, nghĩa là bộ nhớ lưu các giá trị đầy đủ và độ phân giải tối đa. Một bộ nhớ được ghi song song là low-res FIFO, nghĩa là bộ nhớ với độ phân giải thấp. Điểm khác nhau là với dữ liệu được ghi ở low-res FIFO, trước khi thực hiện quy trình trên, dữ liệu được chọn lọc với tỷ lệ 1/40 để làm giảm tốc độ, cũng như độ phân giải của dữ liệu đi 40 lần.

#### Máy tính nhúng



Hình 3‑18 – Sơ đồ chức năng máy tính nhúng

Hệ thống máy tính nhúng được thiết kế chủ yếu phục vụ điều khiển, cấp tham số cho các khối chức năng trong hệ và giao tiếp với hệ thống xử lý thông tin.

Việc giao tiếp được thực hiện qua 2 giao tiếp là PCIe và Ethernet. Các lệnh điều khiển và cấp tham số cho hệ thống xử lý tín hiệu sẽ được truyền qua giao tiếp Ethernet, còn lại, các dữ liệu sẽ được truyền qua giao tiếp PCIe.

Cơ chế truyền nhận được sử dụng tương đương cho cả 2 giao tiếp là DMA kết hợp với bộ nhớ đệm. Riêng với dữ liệu truyền qua PCIe, là dữ liệu thời gian thực, nên sẽ cần thêm một bộ nhớ đệm khác là FIFO.

Dữ liệu truyền thời gian thực sẽ được lưu liên tục vào bộ nhớ FIFO. Vi xử lý sẽ thực hiện kiểm tra trạng thái bộ nhớ liên tục, khi đạt tới lượng dữ liệu cần thiết, vi xử lý sẽ ra lệnh cho DMA đọc toàn bộ dữ liệu này ra một bộ đệm khác. Sau khi đã thực hiện di chuyển dữ liệu ra một bộ đệm khác tĩnh, không bị tác động bởi hệ thống thời gian thực nào khác, vi xử lý chuyển quyền điều khiển cho hệ thống XLTT sử dụng DMA để đọc toàn bộ dữ liệu trong vùng nhớ này qua giao tiếp PCIe.

Tương tự như với dữ liệu trao đổi thông tin giữa hệ thống XLTT và XLTH qua Ethernet cũng trên nguyên lý sử dụng chung DMA và buffer qua lại lẫn nhau.

### Hệ xử lý tín hiệu UV-11



Hình 3‑19 – Sơ đồ ghép nối tầng dưới của hệ xử lý tín hiệu radar UV-11

## Hệ thống xử lý thông tin

### Hệ tọa độ





#### Khối ước lượng tọa độ mục tiêu.

##### Chức năng

Khối ước lượng tọa độ mục tiêu nhận dữ liệu trực tiếp từ khối xử lý tin hiệu, kết hợp với các giá trị tọa độ, góc của đài anten, từ đó tính toán và trả về giá trị các tham số, xác định tọa độ mục tiêu ước lượng được. Chi tiết chức năng như sau

* Xử lý gói tin UV10 xác định khoảng cách mục tiêu so với đài anten radar.
* Xử lý gói tin UV11 xác định góc lệch của mục tiêu và góc lệch của tên lửa so với đường chuẩn anten UV11.

##### Sơ đồ khối và mô tả hoạt động.



Hình 3‑20. Sơ đồ vào ra khối ước lượng tọa độ mục tiêu.

Dữ liệu từ hệ thống xử lý tín hiệu được truyền qua giao diện PCIe và đẩy vào khối ước lượng tọa độ mục tiêu để xử lý.

* **Đầu vào**

Đầu vào khối ước lượng tọa độ mục tiêu là luồng dữ liệu được đẩy liên tục từ khối XLTH thông qua giao diện PCIe lên khối XLTT và đưa vào khối ước lượng tọa độ mục tiêu thành phần. Luồng dữ liệu này thực chất là các gói 1024x8 bytes (phụ thuộc vào cấu hình máy và driver đọc/ghi PCIe)

* + Data 0: dòng dữ liệu từ PCIe đọc từ BAR0 trên cắm khối XLTH xử lý kênh UV10.
  + Data 1: dòng dữ liệu từ PCIe đọc từ BAR0 trên cắm khối XLTH xử lý kênh UV11 và UV12.

Cấu trúc các gói này như sau

|  |  |
| --- | --- |
| **Header** | **Data** |
| 2 bytes | (1024x8 - 2) bytes |
| 1024x8 bytes | |

Quy định header

|  |  |
| --- | --- |
| **Giá trị header** | **Mô tả** |
| 0xFF10 | Header nhận dạng bản tin kênh UV10 |
| 0xFF11 | Header nhận dạng bản tin kênh UV11T mục tiêu. |

* **Đầu ra**

Các giá trị tham số chỉ thị vị trí của mục tiêu

* + d: khoảng cách từ anten đến mục tiêu.
  + búp sóng anten UV10 so với vị trí gốc.
  + : giá trị góc lệch của mục tiêu so với đường chuẩn rãnh I anten UV11.
  + : giá trị góc lệch của mục tiêu so với đường chuẩn rãnh II anten UV11.
  + : giá trị góc tà của bệ anten.
  + : giá trị góc phương vị của bệ anten.

##### Thiết kế chi tiết.



Hình 3‑21. Sơ đồ chi tiết khối ước lượng tọa độ mục tiêu

Khối ước lượng tọa độ mục tiêu sau khi thiết kế được chia thành năm khối chính. Trong đó, hai khối *Read PCIe BAR0* và *Read PCIe BAR1* phục vụ việc đọc dữ liệu liên tục từ khối XLTH lên, hai khối nhận dạng, xử lý thô, đóng gói dữ liệu và một khối xác định tọa độ bằng các phương pháp tính toán.

Bốn khối đầu tiên sẽ thực hiện việc xử lý luồng dữ liệu đọc từ PCIe. Trong đó, hai khối *Read PCIe* chạy dưới hai thread tương ứng đọc dữ liệu liên tục từ hai cổng PCIe BAR0 và BAR1 kết nối với hai board xử lý tín hiệu FPGA0 và FPGA1; hai khối *nhận dạng và đóng gói* đi kèm tương ứng sẽ nhận dạng dữ liệu gửi về có header đúng header mong muốn, sau đó đem xử lý thô, phân bổ lại khối dữ liệu này.



Hình 3‑22. Các khối xử lý luồng PCIe

Các tiến trình (thread) xử lý luồng dữ liệu đọc được qua giao thức PCIe chạy với mức ưu tiên cao nhất, tương đương với các tiến trình chạy realtime của máy, phục vụ việc nhận dữ liệu từ FPGA và đảm bảo cho luồng dữ liệu được đọc liên tục không bị gián đoạn khi có các tiến trình khác tác động vào.

###### Thiết kế chi tiết 2 khối đọc dữ liệu PCIe – Thread realtime GetPCIeData.



Hình 3‑23. Khối đọc dữ liêu PCIe.

Trước khi chạy chương trình, PCIe driver cần được nạp vào kernel của máy. Cấu hình phần cứng driver cũng phải được khai báo trước, tất cả cấu hình của driver PCIe được khai báo trong file *config\_file.* Nội dung bao gồm

* **Cấu hình driver PCIe**

1. Cấu hình Vendor ID và Device ID. Hai giá trị này phải trùng với cấu hình của board FPGA.
   * vendor\_id = 0x1172
   * device\_id = 0x0de4
2. Thiết lập các tham số liên quan đến PCI Express IP Core.
   * pci\_dma\_bit\_range = 31 : định nghĩa bit mask cho DMA buffer. Địa chỉ sẽ nằm trong dải 0x00000000 - 0x7FFFFFFF.
   * tx\_base\_addr = 0x80000000 : địa chỉ gốc của txs Avalong-MM slave.
   * pcie\_cra\_bar\_no = 2 : số BAR kết nối với cra Avalong-MM slave.
   * pcie\_cra\_base\_addr = 0x00000000 : địa chỉ gốc ủa cra Avalong-MM slave.
3. Thiết lập các thông số cho DMA controller. Mặc định driver hỗ trợ nhiều nhất bốn DMA controllers. Tuy nhiên, do chỉ sử dụng DMA Controller và Scatter-Gather DMA Controller trong hệ thống, nên các trường cho 2 DMA controller còn lại không cần khai báo.

* dma\_type = 1 : Trong đó, 1 đại diện cho DMA Controller, 2 đại diện cho Scatter-Gather DMA Controller.
  + dma\_irq\_no = 1 : số đường tín hiệu ngắt của DMA controller, tương ứng với giá trị được định nghĩa phía FPGA.
  + dma\_ctrl\_bar\_no = 2 : số BAR kết nối đến DMA controller.
  + dma\_ctrl\_base\_addr = 0x00004000 : địa chỉ gốc của cổng điều khiển.

1. Thiết lập kích thước data width cho phép DMA Controller truyền nhận.
   * sdma\_data\_width = 8

Sau khi đã có tập tin cấu hình *file\_config,* sử dụng Makefile và source code trong thư mục driver biên dịch, sinh ra file *alt\_up\_pci.ko.* Sử dụng file *load\_alt\_up\_pci\_driver.sh* để nạp module *alt\_up\_pci.ko* và file cấu hình *config\_file ­*vào kernel của máy linux. Sử dụng lệnh:

***sudo* ./*load\_alt\_up\_pci\_driver.sh config\_file***

Cửa sổ sẽ xuất hiện thông báo *Matching Device Found* nếu module được nạp vào kernel thành công, hoặc *Matching Device Not Found* nếu quá trình nạp xảy ra lỗi. Khi đó, cần phải kiểm tra lại các cấu hình hệ thống và module .*alt\_up\_pci*.*ko.*

Sau khi driver đã được nạp vào trong kernel, dữ liệu từ FPGA có thể được đọc lên thông qua giao diện PCIe, toàn bộ quá trình đọc diễn ra liên tục theo sơ đồ dưới Hình 3‑24.



Hình 3‑24. Nguyên lý đọc dữ liệu qua PCIe.

Trong đó, CtrlFlag là giá ô nhớ cờ, quy định quyền được truy cập vào FIFO chứa khối dữ liệu cần truyền. Kích thước ô nhớ CtrlFlag là 1 byte, có 2 giá trị thay đổi là ‘H’-chỉ cho phép host truy cập vào FIFO và ‘D’- chỉ cho phép driver truy cập vào FIFO.

Ở giai đoạn khởi tạo, máy tính, hay còn gọi là host sẽ truy cập trực tiếp đến bộ nhớ trên bo FPGA(được gọi là Driver) thông qua DMA controller đến vị trí ô nhớ cờ CtrlFlag, có địa chỉ 0x00400000 được khai báo sẵn và thiết lập giá trị ô nhớ này là ‘D’, nhường quyền truy cập FIFO cho driver, đồng thời ngay lập tức liên tục kiểm tra giá trị ô nhớ cờ này. Driver sau khi nhận được quyền sẽ thực ghi dữ liệu lên FIFO đến khi đủ giá trị mong muốn, đặt lại cờ là ‘H’, chuyền quyền truy cập FIFO cho host. Host kiểm tra liên tục cờ đến khi thấy quyền được chuyền lại cho mình, thực hiện đọc dữ liệu trong FIFO và đẩy vào buffer chờ xử lý. Sau khi quá trình đọc hoàn thành, host lại chuyển lại quyền cho driver. Quá trình này diễn ra liên tục trong quá trình hoạt động của hệ thống và được chạy như một tiến trình realtime của hệ thống.

###### Thiết kế chi tiết khối xử lý và đóng gói dữ liệu sau nhận được từ FPGA.

Chức năng.

Tách bản tin UV10 kênh tên lửa ra khỏi luồng dữ liệu PCIe BAR0 và bản tin UV11 kênh mục tiêu ra khỏi luồng dữ liệu PCIe BAR1, phân bổ và đóng gói lại bản tin và đẩy vào bộ đêm BUFFER UV11 và BUFFER UV12 tương ứng chờ xử lý.

Sơ đồ khối và hoạt động.



Hình 3‑25. Khối nhận dạng và đóng gói dữ liệu.

* **Đầu vào** (dòng dữ liệu đầu vào khối ước lượng tọa độ mục tiêu).
* **Đầu ra: bao gồm gói tin UV10 và gói tin UV11.**
* Gói tin UV10 kênh mục tiêu

Khối xử lý luồng dữ liệu UV10 nhân dữ liệu liên tục từ board FPGA\_0 thông qua giao diện PCIe, dữ liệu này được đóng gói thành gói tin có tên là package\_UV10, cấu trúc gói tin package\_UV10 được mô tả theo Bảng 3.1.

Bảng 3.1. Cấu trúc gói tin UV10 kênh mục tiêu.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| STT | Tên | Kích thước | Giá trị | Ý nghĩa |
| 1 | Header | 2 byte | 0xFF10 | Header nhận dạng bản tin UV10 |
| 2 | AutoIncrease | 4 byte |  | Biến tự động tăng sau mỗi bản tin. Dùng để đồng bộ bản tin. |
| 3 | Length | 2 byte | 0 ÷ 40000 | Kích thước dải quét, tương ứng với số cell, bằng với kích thước data trong gói tin. |
| 4 | ɛA | 2 byte | -1 ÷ 84 | Góc phương vị của bệ anten |
| 5 |  | 2 byte | 0 ÷ 360 | Góc tà của bệ anten |
| 6 |  | 2 byte | -5 ÷ 5 | Góc lệch búp sóng anten UV10 so với đường chuẩn |
| 7 | Loc | 2 byte | 0 ÷ 40000 | Giá trị ô cự li đầu tiên của dải quét |
| 8 | Data | Length (byte) | 0 ÷ 40000 | Dữ liệu tương ứng với với từng ô cự li trong dải quét. |

* Gói tin UV11 kênh mục tiêu

Khối xử lý luồng dữ liệu UV11 nhân dữ liệu liên tục từ board FPGA\_1 thông qua giao diện PCIe, dữ liệu này được đóng gói thành gói tin có tên là package\_UV11T quy định giá trị bản tin gửi về là bản tin chưa tín hiệu thu được từ mục tiêu, cấu trúc gói tin package\_UV11T được mô tả theo Bảng 3.2.

Bảng 3.2. Cấu trúc gói tin UV11 kênh mục tiêu

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| STT | Tên | Kích thước | Giá trị | Ý nghĩa |
| 1 | Header | 2 byte | 0xFF11 | Header nhận dạng bản tin UV11T của mục tiêu |
| 2 | AutoIncrease | 4 byte |  | Biến tự động tăng sau mỗi bản tin. Dùng để đồng bộ bản tin |
| 3 | Length | 2 byte | 0 ÷ 40000 | Kích thước dải quét, tương ứng với số cell, bằng với kích thước data trong gói tin. |
| 4 |  | 2 byte | -7.5÷ 7.5 | Góc lệch búp sóng anten UV10 so với đường chuẩn |
| 5 | Loc | 2 byte | 0 ÷ 40000 | Giá trị ô cự li đầu tiên của dải quét |
| 6 | Data | Length (byte) | 0 ÷ 40000 | Dữ liệu tương ứng với với từng ô cự li trong dải quét. |

Thiết kế chi tiết

Dữ liệu nhận được từ XLTH sau khi đưa vào bộ đệm sẽ được kiểm tra liên tục đến khi nhận được đúng header. Tương ứng với từng giá trị header sẽ được giải mã theo đúng cấu trúc đã quy định. Quy trình xử lý khối dữ liệu này được biểu diễn như Hình 3‑26.



Hình 3‑26. Sơ đồ thuật toán xử lý khối dữ liệu PCIe.

Sau khi được giả mã và đóng gói lại thành gói tin UV10 và UV11, các gói tin này sẽ được đưa vào bộ đệm tương ứng chờ xử lý.

###### Thiết kế chi tiết khối lọc tọa độ.



Hình 3‑27. Khối lọc tọa độ mục tiêu.

Các gói tin trong bộ đệm UV10 & UV11 sau khi được tập trung lại sẽ được khối lọc tọa độ lấy ra xử lý. Khối lọc tọa độ bao gồm 2 khối thành phần là khối đồng bộ gói và khối lọc dữ liệu.



Hình 3‑28. Thành phần khối lọc tọa độ.

Khối đồng bộ gói

Khối đồng bộ gói đảm bảo hai gói tin UV10 và UV11 là một cặp, thu được sau khi phát một chu kỳ tín hiệu phát mà không phải ở hai chu kỳ phát khác nhau.



Hình 3‑29. Sơ đồ xử lý gói tin UV10 & UV11 khối đồng bộ.

Việc đồng bộ gói tin được thực hiên thông qua việc đánh số định danh id cho từng gói tin, giá trị định danh này được tăng liên tục sau mỗi goi tin.

Khối lọc dữ liệu.

Sau khi đồng bộ gói dữ liệu UV10 và UV11, khối lọc dữ liệu sẽ lấy thông tin dưa trên cấu trúc gói tin và trả về các giá trị tham số xác định tọa độ mục tiêu mong muốn.

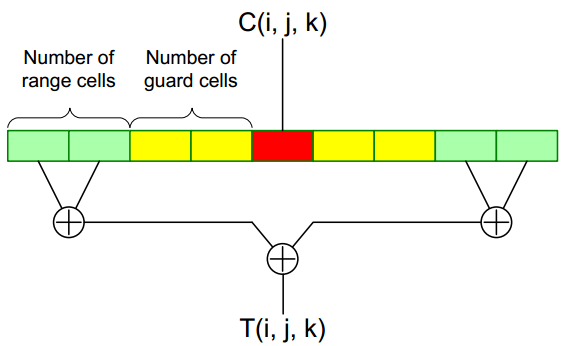


Hình 3‑30. Lọc tín hiệu mục tiêu

* **Thuật toán CFAR**

Thuật toán Constant False-Alarm Rate, hay CFAR được dùng để xác định mục tiêu trong môi trường có nền nhiễu thay đổi bằng các so sánh 1 ô cự li (ô cự li C) với các ô cự li lân cận (T) như Hình 3‑11.

* Đầu vào: mảng M giá trị tín hiệu tương ứng với M ô cự li.
* Đầu ra: mảng M giá trị thu được theo công thức CFAR.



Hình 3‑31. Thuật toán CFAR

* **Khối lọc**
* **Xác định tâm năng lượng**

#### Khối ước lượng tọa độ tên lửa.

##### Chức năng.

Khối ước lượng tọa độ tên lửa nhận dữ liệu trực tiếp từ khối xử lý tin hiệu, kết hợp với các giá trị tọa độ, góc của đài anten, từ đó tính toán các giá trị tham số, xác định tọa độ mục tiêu. Chi tiết chức năng như sau

* Xử lý gói tin UV10 xác định khoảng cách mục tiêu so với đài anten radar.
* Xử lý gói tin UV11 xác định góc lệch của mục tiêu và góc lệch của tên lửa so với đường chuẩn anten UV11.

##### Sơ đồ khối và mô tả hoạt động.



Hình 3‑32. Sơ đồ vào ra khối ước lượng tọa độ tên lửa.

Dữ liệu từ hệ thống xử lý tín hiệu kênh tên lửa và kênh UV11 được truyền qua giao diện PCIe và đẩy vào khối ước lượng tọa độ tên lửa để xử lý.

* **Đầu vào**

Đầu vào khối ước lượng tọa độ mục tiêu là luồng dữ liệu được đẩy liên tục từ khối XLTH thông qua giao diện PCIe cắm ở BAR1 lên khối XLTT và đưa vào các khối ước lượng tọa độ thành phần. Luồng dữ liệu này thực chất là các gói 1024x8 bytes (phụ thuộc vào cấu hình máy và driver đọc/ghi PCIe).

* + Data 1: dòng dữ liệu từ PCIe đọc từ BAR1 trên cắm khối XLTH xử lý kênh UV11 và UV12 tên lửa (*xem mục 3.2.1.1.3.1).*
* **Đầu ra**

Khối ước lượng tọa độ tên lửa trả về các giá trị tham số dM, . Xác định tọa độ tên lửa đo được từ từ xe radar UNV.

* + dM: khoảng cách từ anten đến tên lửa.
  + búp sóng anten UV10 so với vị trí gốc.
  + : giá trị góc lệch của mục tiêu so với đường chuẩn rãnh I anten UV11.
  + : giá trị góc tà của bệ anten thời điểm phát xung hỏi tên lửa.
  + : giá trị góc phương vị của bệ anten thời điểm phát xung hỏi tên lửa.

##### Thiết kế chi tiết khối ước lượng tọa độ tên lửa.



Hình 3‑33. Sơ đồ chi tiết khối ước lượng tọa độ tên lửa

Khối ước lượng tọa độ tên lửa sau khi thiết kế được chia thành năm khối chính. Trong đó, khối *Read PCIe BAR1* phục vụ việc đọc dữ liệu liên tục từ khối XLTH lên, hai khối nhận dạng, xử lý thô, đóng gói dữ liệu và một khối xác định tọa độ bằng các phương pháp tính toán.

Hai khối đầu tiên sẽ thực hiện việc xử lý luồng dữ liệu đọc từ PCIe. Trong đó, khối *Read PCIe* chạy dưới hai thread tương ứng đọc dữ liệu liên tục từ cổng PCIe BAR1 kết nối với hai board xử lý tín hiệu FPGA1; khối *nhận dạng và đóng gói* đi kèm tương ứng sẽ nhận dạng dữ liệu gửi về có header đúng header mong muốn, sau đó đem xử lý thô, phân bổ lại khối dữ liệu này.

###### Thiết kế chi tiết khối nhận dạng và đóng gói dữ liệu tên lửa.

Chức năng.

Tách bản tin UV11 kênh tên lửa và bản tin UV12 ra khỏi luồng dữ liệu PCIe BAR1, phân bổ và đóng gói lại bản tin và đẩy vào bộ đêm BUFFER UV11 và BUFFER UV12 tương ứng chờ xử lý.

Sơ đồ khối và mô tả.



Hình 3‑34. Sơ đồ khối vào ra khối nhận dạng và đóng gói dữ liệu tên lửa

* **Đầu vào** (đầu vào khối ước lượng tọa độ tên lửa).
* **Đầu ra**
* Gói tin UV11 kênh tên lửa.

Bảng 3.3. Cấu trúc gói tin UV11 kênh tên lửa

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| STT | Tên | Kích thước | Giá trị | Ý nghĩa |
| 1 | Header | 2 byte | 0xFF21 | Header nhận dạng bản tin UV11M của tên lửa. |
| 2 | AutoIncrease | 4 byte |  | Biến tự động tăng sau mỗi bản tin. Dùng để đồng bộ bản tin. |
| 3 | Length | 2 byte | 0 ÷ 40000 | Kích thước dải quét, tương ứng với số cell, bằng với kích thước data trong gói tin. |
| 4 |  | 2 byte | -7.5÷ 7.5 | Góc lệch búp sóng anten UV10 so với đường chuẩn |
| 5 | Loc | 2 byte | 0 ÷ 40000 | Giá trị ô cự li đầu tiên của dải quét |
| 6 | Data | Length (byte) | 0 ÷ 40000 | Dữ liệu tương ứng với với từng ô cự li trong dải quét. |

* Gói tin UV12 kênh tên lửa.

Bảng 3.4. Cấu trúc bản tin UV12

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| STT | Tên | Kích thước | Giá trị | Ý nghĩa |
| 1 | Header | 2 byte | 0xFF12 | Header nhận dạng bản tin UV12 |
| 2 | AutoIncrease | 4 byte |  | Biến tự động tăng sau mỗi bản tin. |
| 3 | Length | 2 byte | 0 ÷ 40000 | Kích thước dải quét, tương ứng với số cell, bằng với kích thước data trong gói tin. |
| 4 | ɛA | 2 byte | -1 ÷ 84 | Góc phương vị của bệ anten |
| 5 |  | 2 byte | 0 ÷ 360 | Góc tà của bệ anten |
| 7 | Loc | 2 byte | 0 ÷ 40000 | Giá trị ô cự li đầu tiên của dải quét |
| 8 | Data | Length (byte) | 0 ÷ 40000 | Dữ liệu tương ứng với với từng ô cự li trong dải quét. |

Thiết kế chi tiết.



Hình 3‑35. Sơ đồ thuật toán nhận dạng và đóng gói dữ liệu tên lửa.

###### Thiết kế chi tiết khối lọc tọa độ tên lửa.

Các khối trong bộ đệm UV11 & UV12 sau khi được tập trung lại sẽ được khối lọc tọa độ lấy ra xử lý.



Hình 3‑36. Thành phần khối lọc tọa độ tên lửa

Khối lọc tọa độ bao gồm 2 khối thành phần là khối đồng bộ gói và khối lọc dữ liệu.

Khối đồng bộ UV11 & UV12

Khối đồng bộ gói đảm bảo hai gói tin UV11 và UV12 là một cặp, thu được sau khi phát một chu kỳ tín hiệu phát mà không phải ở hai chu kỳ phát khác nhau.



Hình 3‑37. Sơ đồ xử lý gói tin UV11 & UV12 gối đồng bộ

Khối lọc dữ liệu tên lửa.

Sau khi đồng bộ gói dữ liệu UV11 và UV12, khối lọc dữ liệu sẽ lấy thông tin dưa trên cấu trúc gói tin và trả về các giá trị tham số xác định tọa độ mục tiêu mong muốn.



* **Thuật toán CFAR:** xem mục 3.2.1.1.3.3.2**.**
* **Khối lọc:** xem mục 3.2.1.1.3.3.2**.**
* **Khối xác định tâm năng lượng:** xem mục 3.2.1.1.3.3.2**.**

#### Khối điều khiển bám mục tiêu.

##### Chức năng

Khối điều khiển bám là 1 trong những thành phần chính trong hệ tọa độ hệ thống xử lý thông tin xe UNV, giao tiếp trực tiếp với hệ tọa độ và hệ điều khiển bệ anten. Các chức năng gồm có

* Nhận dữ liệu tọa độ mục tiêu, tọa độ tên lửa từ hai khối ước lượng tọa độ mục tiêu và ước lượng tọa độ tên lửa tương ứng.
* Xử lý dữ liệu tọa độ, trực tiếp đưa ra các lệnh điều khiển nếu ở chế độ tự động bám. Đồng thời chuyển tiếp dữ liệu này đến hệ hiện hình.
* Nhận các lệnh điều khiển quay bệ anten từ hệ hiện hình, các lệnh này bao gồm lệnh gửi trực tiếp từ hệ hiện hình và các lệnh được hệ hiện hình chuyển tiếp từ xe UNK sang.
  + Lệnh điều khiển quay bệ anten.
  + Lệnh điều khiển thay đổi chế độ bám tự động.
* Đáp ứng các lệnh điều khiển điều khiển quay bệ anten, thực hiện mã hóa lệnh và gửi đến các khối đáp ứng.

##### Sơ đồ khối và mô tả hoạt động.



##### Thiết kế chi tiết.

###### Xử lý dữ liệu tọa độ mục tiêu, tên lửa.



###### Xử lý lệnh từ hệ hiện hình.



#### Khối điều khiển hệ thống thu phát.

##### Giao tiếp điều khiển hệ thống phát.

###### Chức năng

Khối giao tiếp hệ thống thu có nhiệm vụ điều khiển, cấu hình các tham số và giám sát trạng thái hoạt động của máy phát. Quy định các bản tin điều khiển, đóng gói bản tin và chuyển gói tin hệ thống máy phát đáp ứng. Đồng thời nhận các bản tin báo trạng thái, giải mã và xử lý tương ứng. Các chức năng bao gồm

1. Điều khiển cấp nguồn máy phát kênh mục tiêu.
2. Điều khiển kích phát kênh mục tiêu.
3. Điều khiển cấp nguồn máy phát kênh tên lửa.
4. Điều khiển kích phát kênh tên lửa.

###### Yêu cầu kỹ thuật.

| **STT** | **Nội dung** | **Đơn vị** | **Giá trị** | **Chuẩn giao tiếp** | **Ghi chú** |
| --- | --- | --- | --- | --- | --- |
| 1 | Giao tiếp Ethernet | Gbps | ≥ 1 | TCP/IP |  |
| 2 | Port |  | xxxx |  |  |
| 3 | Địa chỉ IP hệ thống phát |  | 192.168.1.13 |  |  |

###### Sơ đồ khối và mô tả hoạt động.



Hình 3‑38. Sơ đồ khối giao tiếp hệ thống máy phát

###### Thiết kế chi tiết.

##### Giao tiếp điều khiển hệ thống thu.

###### Chức năng

Khối giao tiếp hệ thống thu có nhiệm vụ điều khiển, cấu hình các tham số và giám sát trạng thái hoạt động của máy thu. Quy định các bản tin điều khiển, đóng gói bản tin và chuyển gói tin hệ thống thu đáp ứng. Đồng thời nhận các bản tin báo trạng thái, giải mã và xử lý tương ứng. Các chức năng bao gồm

1. Điều khiển thay đổi giá trị các bộ dao động ngọai sai.
2. Điều khiển suy hao công suất tuyến thu.
3. Điều khiển suy hao công suất tuyến phát.

###### Yêu cầu kỹ thuật.

| **STT** | **Nội dung** | **Đơn vị** | **Giá trị** | **Chuẩn giao tiếp** | **Ghi chú** |
| --- | --- | --- | --- | --- | --- |
| 1 | Giao tiếp Ethernet | Gbps | ≥ 1 | TCP/IP |  |
| 2 | Port |  | xxxx |  |  |
| 3 | Địa chỉ IP hệ thống thu |  | 192.168.1.14 |  |  |

###### Sơ đồ khối và mô tả hoạt động.



Hình 3‑39. Sơ đồ khối hệ thống thu

###### Đầu vào

* Các giá trị tham số điều khiển nhận được từ khối điều khiển chung trong hệ hiện hình.

###### Đầu ra

* Các lệnh điều khiển đến hệ thống thu.

###### Thiết kế chi tiết.

#### Khối điều khiển hệ thống XLTH.

##### Chức năng.

Khối giao tiếp điều khiển khối xử lý tín hiệu kết nối với khối XLTH theo đường ethernet, sử dụng giao thức TCP/IP. Khối này quy định các bản tin điều khiển, đóng gói bản tin và chuyển gói tin đến board FPGA đáp ứng. Các bản tin điều khiển đáp ứng các chức năng

1. Điều khiển thay đổi vị trí tâm giải quét, độ rộng dải quét.
2. Điều khiển thay đổi chế độ làm việc quét dò tìm mục tiêu, bám mục tiêu.
3. Điều khiển thay đổi các tham số tín hiệu phát.
4. Điều khiển thay đổi các tham số tuyến thu UV10, UV11, UV12.
5. Điều khiển thay đổi các tham số bám bắt.

##### Yêu cầu kỹ thuật.

| **STT** | **Nội dung** | **Đơn vị** | **Giá trị** | **Chuẩn giao tiếp** | **Ghi chú** |
| --- | --- | --- | --- | --- | --- |
| 1 | Giao tiếp Ethernet | Gbps | ≥ 1 | TCP/IP |  |
| 2 | Port |  | xxxx |  |  |
| 3 | Địa chỉ IP hệ thống XLTH |  | 192.168.1.11 |  |  |

##### Sơ đồ khối và mô tả hoạt động.



Hình 3‑40. Sơ đồ khối điều khiển hệ thống XLTH

###### Đầu vào

* Các giá trị tham số điều khiển nhận được từ khối điều khiển chung trong hệ hiện hình.

###### Đầu ra

* Các lệnh điều khiển đến khối XLTH.

##### Thiết kế chi tiết.

Các bản tin điều khiển khối XLTH có 2 bytes header, byte thứ nhất cố định có giá trị **0x3E**, byte thứ 2 phân loại bản tin điều khiển. Bản tin đầu ra sẽ gồm 2 bytes header, các byte tiếp theo chứa dữ liệu điều khiển.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
|  | Header | | Length | Data | | | |
| Byte | 0 | 1 | 2 ÷ 5 | 6 | 7 | … | Length + 5 |
| Giá trị | 0x3E | Header 2 | Số byte data | Val 1 | Val 2 | … | Val (length) |

Cấu trúc bản tin quy định chi tiết dưới bảng Bảng 3.4.

Bảng 3.4. Cấu trúc bản tin điều khiển khối XLTH

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| STT | Header 2 | Mô tả | Giá trị đầu vào | Vị trí đầu ra | Kiểu | Size (bytes) | Ý nghĩa |
| 1. Điều khiển thay đổi vị trí tâm giải quét, độ rộng dải quét | | | | | | | |
| 1 | 0x11 | Điều khiển thay đổi các tham số dải quét | Early | Val 1 | Int | 4 | Số cell trước |
| Late | Val 2 | Int | 4 | Số cell sau |
| Predicted | Val 3 | Int | 4 | * Cell tâm dải quét |
| 2 | 0x12 | Thay đổi tâm dải quét | Predicted | Val 1 | Int | 4 | Cell tâm dải quét |
| 3 | 0x13 | Thay đổi kích thước dải quét | Early | Val 1 | Int | 4 | Số cell trước |
| Late | Val 2 | Int | 4 | Số cell sau |
| 1. Điều khiển thay đổi chế độ làm việc quét dò tìm mục tiêu, bám mục tiêu | | | | | | | |
| 4 | 0x21 |  |  |  |  |  |  |
| 1. Điều khiển thay đổi các tham số tín hiệu phát | | | | | | | |
| 5 | 0x22 |  |  |  |  |  |  |
| 6 | 0x23 |  |  |  |  |  |  |
| 1. Điều khiển thay đổi các tham số tuyến thu UV10, UV11, UV12. | | | | | | | |
| 7 | 0x41 |  |  |  |  |  |  |
| 8 | 0x42 |  |  |  |  |  |  |
| 9 | 0x43 |  |  |  |  |  |  |
| 10 | 0x0A |  |  |  |  |  |  |
| 1. Điều khiển thay đổi các tham số bám bắt | | | | | | | |
| 11 | 0x0D |  |  |  |  |  |  |
| 12 |  |  |  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |

### Hệ điều khiển bệ anten.



#### Khối giao tiếp điều khiển bệ anten.

##### Chức năng

Khối giao tiếp hệ thống điều khiển kết nối hệ thống điều khiển thông qua đường ethernet với 2 nhiệm vụ chính

* Truyền các giá trị tham số góc của anten lên phục vụ điều khiển.
* Gửi các lệnh điều khiển bên quay anten, điều khiển quay búp sóng anten.

##### Yêu cầu kỹ thuật.

Các tham số cảm biến nhận từ khối ước lượng tọa độ được truyền liên tục đến khối giao tiếp điều khiển theo giao thực UDP/IP

* Địa chỉ IP hệ thống điều khiển: 192.168.xxx.xxx – PORT: 10120
* Địa chỉ IP hệ thống XLTT: 192.168.xxx.xxx – PORT: 10120

Các lệnh điều khiển bệ quay anten không yêu cầu liên tục, truyền với độ tin cậy cao hơn qua giao thức TCP/IP

* Địa chỉ IP hệ thống điều khiển: 192.168.xxx.xxx – PORT: 1024
* Địa chỉ IP hệ thống XLTT: 192.168.xxx.xxx – PORT: 1024

##### Sơ đồ khối và mô tả hoạt động.



Hình 3‑41. Giao tiếp hệ thống XLTT với hệ thống điều khiển.

##### Thiết kế chi tiết.

* Lệnh từ khối XLTT đến khối điều khiển.

|  |  |  |
| --- | --- | --- |
| Type | Length | Value |

Các lệnh gửi từ khối xử lý tín hiệu đến khối điều khiển được mã hóa tlv với cấu trúc cụ thể các bản tin được quy định như bảng

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **STT** | **Mô tả** | **Type** | | **Length** | **Value (đơn vị: byte)** |
| **Điều khiển tùy chỉnh (TCP/IP)** | | | | | |
| 1 | Quay đều theo phương ngang. | 0x1E | 0x11 | 5 | Val[0] =  Val[1:4] = (int) tốc độ góc quay |
| 2 | Quay lên xuống với vận tốc góc cố định. | 0x12 | 12 | Val[0:3] = (int) giới hạn góc trên  Val[4:7] = (int) giới hạn góc dưới  Val[8:11] = (int) tốc độ góc quay. |
| 3 | Quay theo phương ngang lệch 1 góc (chiều dương hướng từ trái sang phải) | 0x13 | 8 | Val[0:3] = (float)  Val[4:7] = (int) tốc độ góc quay |
| 4 | Quay theo phương thẳng đứng lệch 1 góc (chiều dương hướng từ dưới lên trên) | 0x14 | 8 | Val[0:3] = (float)  Val[4:7] = (int) tốc độ góc quay |
| 5 | Quay đến góc phương vị | 0x15 | 8 | Val[0:3] = (float)  Val[4:7] = (int) tốc độ góc quay |
| 6 | Quay đến góc tà | 0x16 | 8 | Val[0:3] = (float)  Val[4:7] = (int) tốc độ góc quay |
| 7 | Quay đến vị trí , bất kỳ | 0x17 | 12 | Val[0:3] = (float)  Val[4:7] = (float)  Val[8:11] = (int) tốc độ góc quay |
| 8 | Quay vị trí đường chuẩn anten UV11 rãnh I góc | 0x18 | 8 | Val[0:3] = (float)  Val[4:7] = (int) tốc độ góc quay |
| 9 | Quay vị trí đường chuẩn anten UV11 rãnh I góc | 0x19 | 8 | Val[0:3] = (float)  Val[4:7] = (int) tốc độ góc quay |
| 10 | Điều khiển thay đổi vận tốc góc quay | 0x1a | 4 | Val[0:3] = (int) tốc độ góc quay |
| 11 | Điều khiển bắt đầu/dừng quét anten | 0x1b | 1 | Val[0] = |
| **Điều khiển các chế độ sục sạo tự động (TCP/IP)** | | | | | |
| 1 | Sục sạo vòng tròn với vận tốc góc v (độ/s) | 0x1E | 0x21 | 4 | Val[0:3] = (int) tốc độ góc quay |
| 2 | Sục sạo dải quạt lớn | 0x22 | 4 | Val[0:3] = (int) tốc độ góc quay |
| 3 | Sục sạo dải quạt nhỏ | 0x23 | 4 | Val[0:3] = (int) tốc độ góc quay |
| 4 | Sục sạo dải quạt tùy chỉnh | 0x24 |  | Val[0:3] = (float) vị trí góc tà ứng với trục hình sin.  Val[4:7] = (float) biên độ hình sin.  Val[8:11] = (float) chu kỳ hình sin. |
| **Bản tin gửi giá trị encoder (UDP/IP)** | | | | | |
| 1 | Giá trị đo được từ encoder | 0x1E | 0xFE | 16 | * Val[0:3] = (float) góc phương vị . * Val[4:7] = (float) góc tà * Val[8:11] = (float) góc anten UV10. * Val[12:15] = (float) góc anten UV11 |

* Bản tin từ khối điều khiển đến khối XLTT.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **STT** | **Mô tả** |  | **Type** | **Length** | **Value (đơn vị: byte)** |
| 1 | Bản tin thông báo trạng thái anten. |  | 0x51 | 32 | * Val[0:3] = (float) góc phương vị . * Val[4:7] = (float) góc tà * al[8:11] = (float) tốc độ góc quay theo phương ngang * Val[12:15] = (float) tốc độ góc quay theo phương thẳng đứng * Val[16:19] = (float) góc anten UV10. * Val[20:23] = (float) tốc độ quay búp sóng anten UV10. * Val[24:27] = (float) góc anten UV11 * Val[28:31] = (float) tốc độ quay búp sóng anten UV11. |
|  |  |  |  |  |  |

#### Khối giao tiếp hệ thống nguồn

##### Chức năng

##### Yêu cầu kỹ thuật.

##### Sơ đồ khối và mô tả hoạt động.

##### Thiết kế chi tiết.

### Hệ hiện hình



#### Chức năng.

#### Sơ đồ khối và mô tả hoạt động.



#### Thiết kế chi tiết.

##### Khối giao tiếp xe điều khiển UNK.

###### Chức năng.

* Phục vụ giao tiếp, đóng gói bản tin từ UNV sang UNK.
* Phục vụ giải mã lệnh, bóc tách dữ liệu nhận được từ UNK.

###### Yêu cầu kỹ thuật.

| **STT** | **Nội dung** | **Đơn vị** | **Giá trị** | **Chuẩn giao tiếp** | **Ghi chú** |
| --- | --- | --- | --- | --- | --- |
| 1 | Giao tiếp Ethernet | Gbps | ≥ 1 | TCP/IP vs  UDP/IP |  |
| 2 | Port |  | xxxx |  |  |
| 3 | Địa chỉ IP xe UNK |  | 192.168.1.15 |  |  |

###### Thiết kế chi tiết.

##### Khối giao tiếp hệ lập lệnh.

##### Khối hiển thị và điều khiển chung.

###### Màn hình theo dõi toàn cảnh, độ phân giải cự li thấp.

Chế độ sục sạo.

Chế độ bám.

###### Màn hình theo dõi tín hiệu thu về trong dải quét, độ phân giải cự li cao.

Chế độ sục sạo.

Chế độ bám.

###### Màn hình theo dõi mức tín hiệu khoảng lân cận đường ngắm cự li.

# THIẾT KẾ PHẦN CỨNG

# PHƯƠNG ÁN THỬ NGHIỆM

# PHỤ LỤC

## Giao tiếp vào/ra

| **STT** | **Vào/ra** | **Hệ chức năng** | **Tín hiệu** | **Thông số** | **Giao tiếp** | **Ghi chú** |
| --- | --- | --- | --- | --- | --- | --- |
| 1. **Các tín hiệu vào** | | | | | | |
| * 1. **Hệ phát lệnh** | | | | | | |
|  | Vào | Hệ phát lệnh | K1-I |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Vào | Hệ phát lệnh | K1-II |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Vào | Hệ phát lệnh | K2-I |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Vào | Hệ phát lệnh | K2-II |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Vào | Hệ phát lệnh | K3-I |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Vào | Hệ phát lệnh | K3-II |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Vào | Hệ phát lệnh | K6-I |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Vào | Hệ phát lệnh | K6-II |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Vào | Hệ phát lệnh | r0\_UPK |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Vào | Hệ phát lệnh | p\_UPK |  | GPIO |  |
| Tín hiệu số  1 bit |  |
| * 1. **Xử lý tín hiệu radar UV-10** | | | | | | |
|  | Vào | Xử lý tín hiệu radar UV-10 | UV\_10\_RX |  | SMA |  |
|  | Vào | Xử lý tín hiệu radar UV-10 | AZI\_D\_P |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Vào | Xử lý tín hiệu radar UV-10 | AZI\_D\_N |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Vào | Xử lý tín hiệu radar UV-10 | ELE\_D\_P |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Vào | Xử lý tín hiệu radar UV-10 | ELE\_D\_N |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Vào | Xử lý tín hiệu radar UV-10 | UV\_10\_D\_P |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Vào | Xử lý tín hiệu radar UV-10 | UV\_10\_D\_N |  | GPIO |  |
| Tín hiệu số  1 bit |  |
| * 1. **Xử lý tín hiệu radar UV-11** | | | | | | |
|  | Vào | Xử lý tín hiệu radar UV-11 | UV\_11\_T\_RX |  | SMA |  |
|  | Vào | Xử lý tín hiệu radar UV-11 | UV\_11\_M\_RX |  | SMA |  |
|  | Vào | Xử lý tín hiệu radar UV-11 | UV\_11\_D\_P |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Vào | Xử lý tín hiệu radar UV-11 | UV\_11\_D\_N |  | GPIO |  |
| Tín hiệu số  1 bit |  |
| 1. **Các tín hiệu ra** | | | | | | |
| * 1. **Hệ phát lệnh** | | | | | | |
|  | Ra | Hệ phát lệnh | UVK |  | SMA |  |
|  |  |
| SNR: |  |
|  | Ra | Hệ phát lệnh | r0\_UPK |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Ra | Hệ phát lệnh | p\_UPK |  | GPIO |  |
| Tín hiệu số  1 bit |  |
| * 1. **Xử lý tín hiệu radar UV-10** | | | | | | |
|  | Ra | Xử lý tín hiệu radar UV-10 | UV\_10\_TX |  | SMA |  |
|  |  |
| SNR: |  |
|  | Ra | Xử lý tín hiệu radar UV-10 | PRI\_VLD |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Ra | Xử lý tín hiệu radar UV-10 | PI\_VLD |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Ra | Xử lý tín hiệu radar UV-10 | PRI\_HEAD |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Ra | Xử lý tín hiệu radar UV-10 | PRI\_TAIL |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Ra | Xử lý tín hiệu radar UV-10 | PI\_HEAD |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Ra | Xử lý tín hiệu radar UV-10 | PI\_TAIL |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Ra | Xử lý tín hiệu radar UV-10 | AZI\_CLK\_P |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Ra | Xử lý tín hiệu radar UV-10 | AZI\_CLK\_N |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Ra | Xử lý tín hiệu radar UV-10 | ELE\_CLK\_P |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Ra | Xử lý tín hiệu radar UV-10 | ELE\_CLK\_N |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Ra | Xử lý tín hiệu radar UV-10 | UV\_10\_CLK\_P |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Ra | Xử lý tín hiệu radar UV-10 | UV\_10\_CLK\_N |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Ra | Xử lý tín hiệu radar UV-11 | UV\_11\_CLK\_P |  | GPIO |  |
| Tín hiệu số  1 bit |  |
|  | Ra | Xử lý tín hiệu radar UV-11 | UV\_11\_CLK\_N |  | GPIO |  |
| Tín hiệu số  1 bit |  |
| **Các tín hiệu hai chiều** | | | | | | |
|  | Vào/Ra | Xử lý tín hiệu radar UV-10, UV-11 | PI  PRI  PRE\_PI\_OFFSET  POST\_PI\_OFFSET  PRE\_PI\_OFFSET  POST\_PI\_OFFSET | RJ45 | Ethernet |  |
|  | Vào/Ra | Xử lý tín hiệu radar UV-10, UV-11 | - | Gen 1x8  Gen 2x4 | PCIe x8 |  |

Bảng 5‑1 – Giao tiếp vào/ra

# Danh mục vật tư linh kiện

| **STT** | **Tên** | **Mã sản phẩm** | **Mô tả/Chỉ tiêu kỹ thuật** | **Số lượng** | | | **Ghi chú** |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **Số lượng yêu cầu** | **Dự phòng** | **Tổng số** |
|  | Xilinx Zynq-7000 All Programmable SoC ZC706 Evaluation Kit | EK-Z7-ZC706-G |  | 1 | 0 | 1 |  |
|  | DE0-Nano-SoC Kit/Atlas-SoC Kit | P0286 |  | 1 | 0 | 1 |  |
|  | AD/DA Data Conversion Card | AD-FMCOMMS3-EBZ |  | 1 | 0 | 1 |  |
|  | Embedded Box PC 3000 |  | - Processor: Intel CPU Atom E3825 1.33 GHz  - Processor with Integrated Graphics: Intel Atom E3825 Processor with Integrated Graphics  - 8GB (1x8GB) 1600 MHz DDR3L Memory  - 512GB Solid State Drive 2.5 inch SATA  - Wireless 802.11 LAN Card  - Connector Set (1x Remote On/Off Switch Terminal Block)  - Dimensions: 237 mm wide x 160 mm high x 60 mm deep (9.5 x 6.5 x 2.5 inches)  - Weight: Minimum 2.1 Kg; Maximum 2.25 Kg  - Power supply: Nominal input 24V DC (12-26V). Also accepts Dell AC adapter, 130W with locking plug. | 2 | 0 | 2 |  |
|  | OptiPlex 7050 Small Form Factor |  | - Processor: Intel Core i7-7700 (QC/8MB/8T/3.6GHz/65W)  - Memory: 16GB (2x8GB) 2400MHz DDR4 Memory  - Hard Drive: M.2 256GB PCIe Class 40 SSD  - Graphics Card: Intel Integrated Graphics  - Optical Drive: 8x DVD+/-RW 9.5mm Optical Disk Drive  - Chassis: OptiPlex 7050 SFF with 180W up to 85% efficient Power Supply (80Plus Bronze)  - Keyboard: Dell KB216 wired Keyboard English Black  - Mouse: Dell MS116 Wired Mouse Black | 2 | 0 | 2 |  |
|  | Dell 24 UltraSharp Monitor: U2412M | U2412M | - Device Type: LED-backlit LCD monitor - 24"  - Native Resolition: 1920 x 1200 at 60 Hz  - Input Connectors: DVI-D, VGA, DisplayPort  - Dimensions (WxDxH) – with stand: 55.6 cm x 18.03 cm x 39.85 cm  - Display Position Adjustments: Height, pivot (rotation), swivel, tilt  - Color: Black  - Weight: 5.73 kgs  - Compliant Standards: Plug and Play, DDC/CI, TCO Displays, EDID compatible | 4 | 0 | 4 |  |
|  | Cisco Catalyst 2960-L Series Switch (WS-C2960L-24PQ-LL) | WS-C2960L-24PQ-LL | - Product ID: WS-C2960L-24PQ-LL  - 10/100/1000 Ethernet ports: 24  - Uplink Interfaces: 4 SFP+  - Available PoE power: 195W  - Fanless  - Dimensions (HxDxW): 1.73 x 10.45 x 17.5 in (4.4 x 26.5 x 44.5 cm)  - Weight: 7.39 lb (3.35kg)  - Power supply: 24W at 100% traffic rate, 110 to 220V AC, 50 to 60 Hz, 0.2 to 0.33 A | 3 | 0 | 3 |  |
|  | Altera DE4 Development and Education Board | P0054 | - 4 push-buttons  - 4 slide switches  - 8 LEDs  - 8-position DIP switch  - Two independent seven segments  - 2 SMA connector for external transceiver clock input  - 4 SMA connector for LVDS clock input/output  - 2 SMA connectors for clock output  - 1 SMA connector for external clock input  - 2 female-HSMC connectors  - DC input 12V and 3.3V  - PCI Express edge connector power  - Support PCI Express external standard power source | 2 | 0 | 2 |  |
|  | DE0-CV Board | P0192 |  | 2 | 0 | 2 |  |
|  | AD/DA Data Conversion Card | P0035 | - One High Speed Mezzanine Card (HSMC) connector for  interface conversion  - External Clock In/Out Interface  - Two 14-bit Analog to Digital (A/D) converter channel with  150MSPS  - Two 14-bit Digital to Analog (D/A) converter channel with  250MSPS  - One Audio CODEC with Line-In, Line-Out, MIC and  Headphone  - Size: 145mm x 80mm x 18mm (L x W x H) | 2 | 0 | 2 |  |
|  | Highspeed AD/DA HSMC Card | P0003 |  | 2 | 0 | 2 |  |
|  | Highspeed AD/DA GPIO Card | P0007 |  | 2 | 0 | 2 |  |
|  | HSMC High Speed Cable | FCB-3041-SMT | - HSMC male connectors at both ends  - Size: 12 inches (304.80 mm) |  |  | 10 |  |
|  | HSMC Debug & Loopback Connector Package | P0057 | - Size: 23.44x78.11mm (debug)  - Size: 11.43x78.11mm (loopback) |  |  | 10 |  |
|  | THCB-HMF2 connector card | S0090 | - Height: 14mm |  |  | 10 |  |
|  | SMA Male Plug, Right Angle to SMA Male Plug, Right Angle (0.5m) | 415-0032-MM500 | - Gender: Male to Male  - Style: SMA to SMA  - 1st Connector: SMA Male Plug, Right Angle  - 2nd Connector: SMA Male Plug, Right Angle  - Length: 500mm  - Color: White  - Features: Shielded |  |  | 10 |  |
|  | SMA Male Plug to SMA Male Plug Cable (0.5m) | 135101-01-M0.50 | - Gender: Male to Male  - Style: SMA to SMA  - 1st Connector: SMA Male Plug  - 2nd Connector: SMA Male Plug  - Length: 500mm  - Color: Black  - Features: Shielded |  |  | 10 |  |
|  | SMA Male Plug to SMA Male Plug, Right Angle (0.5m) | 135103-03-M0.50 | - Gender: Male to Male  - Style: SMA to SMA  - 1st Connector: SMA Male Plug  - 2nd Connector: SMA Male Plug, Right Angle  - Length: 500mm  - Color: Black  - Features: Shielded |  |  | 10 |  |
|  | SMA Female Jack to SMA Male Plug Cable (0.5m) | 415-0031-MM500 | - Gender: Female to Male  - Style: SMA to SMA  - 1st Connector: SMA Female Jack  - 2nd Connector: SMA Male Plug, Right Angle  - Length: 500mm  - Color: Gray  - Features: Shielded |  |  | 10 |  |
|  | SMA Female Jack to SMA Male Plug, Right Angle Cable (0.5m) | 135111-02-M0.50 | - Gender: Female to Male  - Style: SMA to SMA  - 1st Connector: SMA Female Jack  - 2nd Connector: SMA Male Plug, Right Angle  - Length: 500mm  - Features: Shielded |  |  | 10 |  |
|  | SMA Male Plug to SMA Male Plug Cable (250mm) | 415-0029-MM250 | - Gender: Male to Male  - Style: SMA to SMA  - 1st Connector: SMA Male Plug  - 2nd Connector: SMA Male Plug  - Length: 250mm  - Color: Gray  - Features: Shielded |  |  | 10 |  |
|  | SMA Male Plug, Right Angle to SMA Male Plug, Right Angle (250mm) | 135104-02-M0.25 | - Gender: Male to Male  - Style: SMA to SMA  - 1st Connector: SMA Male Plug, Right Angle  - 2nd Connector: SMA Male Plug, Right Angle  - Length: 250mm  - Features: Shielded |  |  | 10 |  |
|  | SMA Male Plug to SMA Male Plug, Right Angle (250mm) | 135103-03-M0.25 | - Gender: Male to Male  - Style: SMA to SMA  - 1st Connector: SMA Male Plug  - 2nd Connector: SMA Male Plug, Right Angle  - Length: 250mm  - Color: Black  - Features: Shielded |  |  | 10 |  |
|  | SMA Female Jack to SMA Male Plug Cable (250mm) | 135110-02-M0.25 | - Gender: Female to Male  - Style: SMA to SMA  - 1st Connector: SMA Female Jack  - 2nd Connector: SMA Male Plug, Right Angle  - Length: 250mm  - Color: Black  - Features: Shielded |  |  | 10 |  |
|  | SMA Female Jack to SMA Male Plug, Right Angle Cable (250mm) | 135111-02-M0.25 | - Gender: Female to Male  - Style: SMA to SMA  - 1st Connector: SMA Female Jack  - 2nd Connector: SMA Male Plug, Right Angle  - Length: 250mm  - Features: Shielded |  |  | 10 |  |
|  | PCIe x8 Female to PCIe x8 Male Cable (500mm) | 8KH2-0723-0500 | - Gender: Female to Male  - Features: Extender  - Cable Type: Flat, Twin Axial  - Length: 500mm  - Color: Silver  - Shielding: Shielded |  |  | 10 |  |
|  | PCIe x8 Female to PCIe x8 Male Cable (250mm) | 8KH2-0723-0250 | - Gender: Female to Male  - Features: Extender  - Cable Type: Flat, Twin Axial  - Length: 250mm  - Color: Silver  - Shielding: Shielded |  |  | 10 |  |
|  | 19-pin plug | PT06E-14-19P(SR) |  |  |  | 8 |  |
|  | 19-pin jack | PT02E-14-19P |  |  |  | 8 |  |
|  | 14-pin plug | PT06A-12-14P(SR) |  |  |  | 4 |  |
|  | 14-pin jack | MS3102R-20-27P |  |  |  | 4 |  |
|  | Ethernet connector (Maleconnector) | RJFTV6MG |  |  |  | 10 |  |
|  | Ethernet connector (Female connector) | RJFTV21G |  |  |  | 10 |  |
|  | Ethernet cable (500m) | A-MCSSP60005/B |  |  |  | 100 |  |
|  | Ethernet plug | 449150021 |  |  |  | 100 |  |
|  | Rulo và cáp quang dã chiến | D-004CSLS5KM + MARS-REEL |  | 2 | 0 | 2 |  |
|  | Dây nhảy quang dã chiến | OCA-1005366-0003M-SC Assy, 4CH SM MHC T2 Receptacle to to SC, 3M length |  | 4 | 0 | 4 |  |

Bảng 6‑1 – Bảng danh sách vật tư linh kiện