

产品特性

吞吐速率: 5 MSPS

18位分辨率、无失码

出色的交流和直流性能

动态范围: 100 dB

信噪比(SNR): 99 dB

总谐波失真(THD): -117 dB

积分非线性(INL): ± 0.8 LSB(典型值), ± 2 LSB(最大值)

差分非线性(DNL): ± 0.5 LSB(典型值), ± 0.99 LSB(最大值)

真差分模拟输入电压范围: ± 4.096 V或 ± 5 V

低功耗:

46.5 mW(5 MSPS, 外部基准电压缓冲器, 回波时钟模式)

64.5 mW(5 MSPS, 内部基准电压缓冲器, 回波时钟模式)

39 mW(5 MSPS, 外部基准电压缓冲器, 自时钟模式, CNV \pm 为CMOS模式)

SAR架构

无延迟/流水线延迟

外部基准电压选项: 2.048 V缓冲至4.096 V(内部基准电压缓冲)、

4.096 V和5 V

串行LVDS接口

自时钟模式

回波时钟模式

转换控制(CNV \pm 信号)的LVDS或CMOS选择

工作温度范围: -40°C 至 $+85^{\circ}\text{C}$

32引脚、5mm \times 5mm LFCSP (QFN)封装

应用

数字成像系统

数字X射线

计算机断层扫描

红外摄像头

MRI梯度控制

高速数据采集

光谱

测试设备

功能框图

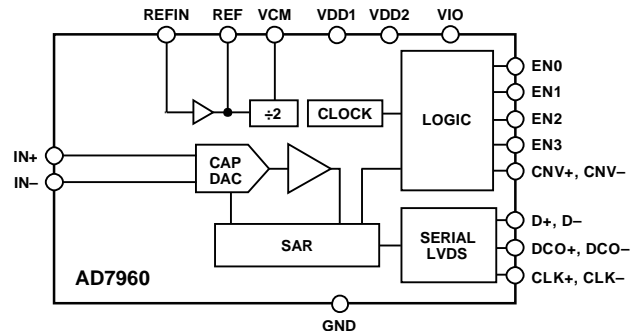


图1.

概述

AD7960是一款18位、5 MSPS、电荷再分配逐次逼近型(SAR)模数转换器(ADC)。SAR架构提供无与伦比的噪声性能和线性度。AD7960集成了一个低功耗、高速18位采样ADC、一个内部转换时钟和一个内部基准电压缓冲器。在CNV \pm 边沿, AD7960对IN+与IN-引脚之间的电压差进行采样。这两个引脚上的电压摆幅在0 V和4.096 V之间, 以及0 V和5 V之间, 相位相反。基准电压由外部施加于该器件。所有转换结果通过一个LVDS自时钟或回波时钟串行接口即可获得。

AD7960采用32引脚LFCSP (QFN)封装, 工作温度范围为 -40°C 至 $+85^{\circ}\text{C}$ 。

表1. 快速PuISAR[®] ADC选择

输入类型	1 MSPS至 <2 MSPS	2 MSPS至3 MSPS	5 MSPS至 6 MSPS	10 MSPS
伪差分, 16位	AD7653 AD7667 AD7980 AD7983	AD7985		
真双极性, 16位	AD7671			
差分 ¹ , 16位	AD7677 AD7623	AD7621 AD7622	AD7625 AD7961	AD7626
差分 ¹ , 18位	AD7643 AD7982 AD7984	AD7641 AD7986	AD7960	

¹ 反相。

Rev. A

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2013 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

ADI中文数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

目录

特性.....	1	电路信息.....	14
应用.....	1	转换器信息.....	14
功能框图.....	1	传递函数.....	15
概述.....	1	模拟输入.....	15
修订历史.....	2	典型应用.....	16
技术规格.....	3	基准电压选项.....	17
时序规格.....	5	电源.....	18
绝对最大额定值.....	7	数字接口.....	19
热阻.....	7	转换控制.....	19
ESD警告.....	7	应用信息.....	22
引脚配置和功能描述.....	8	布局.....	22
典型性能参数.....	9	评估AD7960性能.....	22
术语.....	13	外形尺寸.....	23
工作原理.....	14	订购指南.....	23

修订历史

2013年11月—修订版0至修订版A

更改表1.....	1
更改表2.....	5
更改表3.....	5
更改表4.....	7
增加表6，重新排序.....	7
更改图4.....	8
更改图32.....	16
更改基准电压选项部分.....	17

2013年8月—修订版0：初始版

技术规格

除非另有说明，VDD1 = 5 V；VDD2 = 1.8 V；VIO = 1.8 V；REF = 5 V或4.096 V；所有规格均相对于T_{MIN}至T_{MAX}而言。

表2.

参数	测试条件/注释	最小值	典型值	最大值	单位
分辨率		18			位
模拟输入					
电压范围	V _{IN+} 至V _{IN-}	−V _{REF}		+V _{REF}	V
工作输入电压	V _{IN+} 、V _{IN-} 至GND	−0.1		V _{REF} + 0.1	V
共模输入范围 ¹		V _{REF} /2 − 0.05	V _{REF} /2	V _{REF} /2 + 0.05	V
共模抑制比(CMRR)	f _{IN} = 500 kHz		70		dB
输入漏电流	采集阶段		60		nA
吞吐速率					
完整周期		200			ns
吞吐速率		0		5	MSPS
直流精度					
无失码		18			Bits
积分线性误差		−2	±0.8	+2	LSB
差分线性误差		−0.99	±0.5	+0.99	LSB
跃迁噪声			1.1		LSB
零电平误差		−6		+6	LSB
零电平误差漂移 ¹		−0.25	±0.01	+0.25	ppm/°C
增益误差		−30	±5	+30	LSB
增益误差漂移 ¹		−0.5	±0.05	+0.5	ppm/°C
电源灵敏度 ²	VDD1 = 5 V ± 5% VDD2 = 1.8 V ± 5%		±1 ±2		LSB LSB
交流精度					
f _{IN} = 1 kHz, −0.5 dBFS, V _{REF} = 5 V					
动态范围		98	100		dB
信噪比		97	99		dB
无杂散动态范围			119		dB
总谐波失真			−117		dB
信纳比		96.5	98.5		dB
f _{IN} = 1 kHz, −0.5 dBFS, V _{REF} = 4.096 V					
动态范围		97	98.5		dB
信噪比		95	97		dB
无杂散动态范围			115		dB
总谐波失真			−113		dB
信纳比		94.5	96.5		dB
−3 dB输入带宽 ³	EN2 = 0		28		MHz
过采样动态范围 ⁴	OSR = 256, REF = 5 V		120		dB
孔径延迟 ⁵			1.6		ns
孔径抖动 ⁵			1		ps
基准电压缓冲器					
REFIN输入电压范围 ¹		2.042	2.048	2.054	V
REF输出电压范围	REF (25°C), EN3至EN0 = XX01 或XX10	4.086	4.096	4.106	V
电压调整率	VDD1 = 5 V ± 5%, VDD2 = 1.8 V ± 5%		±20		μV
增益漂移 ¹		−25	±4	+25	ppm/°C

AD7960

参数	测试条件/注释	最小值	典型值	最大值	单位
外部基准电压源 电压范围	REFIN引脚, EN1至EN0 = 01 REF引脚, EN1至EN0 = 10 ⁶ REF引脚, EN1至EN0 = 01 ⁶		2.048 4.096 5		V V V
耗用电流	5 MSPS, REF = 4.096 V 5 MSPS, REF = 5 V		1.05 1.36	1.11 1.43	mA mA
VCM引脚 VCM输出 VCM误差 输出阻抗		-0.01	REF/2 5.1	+0.01	V kΩ
LVDS I/O (ANSI-644) 数据格式		串行LVDS二进制补码			
差分输出电压(V _{OD})	R _L = 100 Ω	245	290	454	mV
共模输出电压(V _{OCM})	R _L = 100 Ω	980 ⁷	1130	1375	mV
差分输入电压(V _{ID})		100		650	mV
共模输入电压(V _{ICM})		800		1575	mV
电源					
额定性能					
VDD1		4.75	5	5.25	V
VDD2		1.71	1.8	1.89	V
VIO		1.71	1.8	1.89	V
工作电流 ⁸					
静态—非转换, 内部基准电压缓冲器禁用	自时钟模式, CNV±为CMOS模式 ⁹				
VDD1			8	40	μA
VDD2			8	70	μA
VIO			5	5.3	mA
静态—非转换, 内部基准电压缓冲器使能	自时钟模式, CNV±为CMOS模式 ⁹				
VDD1			2.6	2.9	mA
VDD2			9	72	μA
VIO			4.4	5.3	mA
转换: 内部基准电压缓冲器禁用	回波时钟模式, CNV±为LVDS模式				
VDD1			2	2.2	mA
VDD2			11.4	13.5	mA
VIO			9	10.3	mA
转换: 内部基准电压缓冲器使能	回波时钟模式, CNV±为LVDS模式				
VDD1			5.6	6	mA
VDD2			11.4	13.5	mA
VIO			9	10.3	mA
转换: 内部基准电压缓冲器禁用	自时钟模式, CNV±为CMOS模式 ⁹				
VDD1			2	2.2	mA
VDD2			11.4	13.5	mA
VIO			4.9	5.6	mA
休眠模式					
VDD1			2	4.1	μA
VDD2			1	40.3	μA
VIO			0.1	4.8	μA

参数	测试条件/注释	最小值	最小值	最大值	单位
关断	EN3至EN0 = X000				
VDD1			1	2.8	μA
VDD2			1	37.8	μA
VIO			0.2	4.6	μA
功耗					
静态—非转换，内部基准电压缓冲器禁用	自时钟模式，CNV±为CMOS模式 ⁹		9	10.3	mW
静态—非转换，内部基准电压缓冲器使能	自时钟模式，CNV±为CMOS模式 ⁹		21	25	mW
转换：内部基准电压缓冲器禁用	回波时钟模式，CNV±为LVDS模式		46.5	56.2	mW
转换：内部基准电压缓冲器使能	回波时钟模式，CNV±为LVDS模式		64.5	76.4	mW
转换：内部基准电压缓冲器禁用	自时钟模式，CNV±为CMOS模式 ⁹		39	47.4	mW
关断	EN3至EN0 = X000		7.2	94.5	μW
每次转换的能量	自时钟模式，CNV±为CMOS模式 ⁹		7.8	9.5	nJ/采样
温度范围					
额定性能	T _{MIN} 至T _{MAX}	-40		+85	°C

¹ 通过特性保证最小值和最大值。
² 采用外部基准电压源。
³ 使能引脚逻辑电平参见表9。EN2 = 1时，-3 dB输入带宽为9 MHz。仅在吞吐速率为2 MSPS或更低时使用此较低带宽。
⁴ 过采样动态范围是峰值信号功率与ADC输出FFT测量的噪声功率(小信号输入)之比，测量范围为直流至 $f_s/(2 \times \text{OSR})$ ；其中， f_s 表示ADC采样速率，OSR表示过采样比例。
⁵ 通过设计保证。
⁶ 此模式下REFIN引脚连接至0 V。
⁷ ANSI-644 LVDS的最小共模输出电压(V_{OCM})规格为1125 mV。
⁸ V_{CM} 电路使能时功耗为REF/20 kΩ，未包含在工作电流中。
⁹ 当CNV-接地时，CNV+作为CMOS输入。详情参见表7。

时序规格

除非另有说明，VDD1 = 5 V；VDD2 = 1.8 V；VIO = 1.71 V至1.89 V；REF = 5 V或4.096 V；所有规格均相对于T_{MIN}至T_{MAX}而言。

表3.

参数	符号	最小值	典型值	最大值	单位
转换间隔时间	t _{CYC}	200			ns
采集时间	t _{ACQ}		t _{CYC} - 115		ns
CNV±高电平时间	t _{CNVH}	10		0.6 × t _{CYC}	ns
CNV±至D±(MSB)就绪	t _{MSB}			200	ns
CNV±至最后CLK±(LSB)延迟	t _{CLKL}			160	ns
CLK±周期 ¹	t _{CLK}	3.33	4	(t _{CYC} - t _{MSB} + t _{CLKL})/n	ns
CLK±频率	f _{CLK}		250	300	MHz
CLK±至DCO±延迟(回波时钟模式)	t _{DCO}	0	3	5	ns
DCO±至D±延迟(回波时钟模式)	t _D		0	1	ns
CLK±至D±延迟	t _{CLKD}	0	3	5	ns

¹ 在最大CLK±周期中，可用的数据读取时间窗为t_{CYC} - t_{MSB} + t_{CLKL}。当可用于给定转换CNV±频率的最大CLK±频率出现时，将该时间除以要读取的位数(n)。在回波时钟接口模式下，n = 18；而在自时钟模式下，n = 20。

时序图

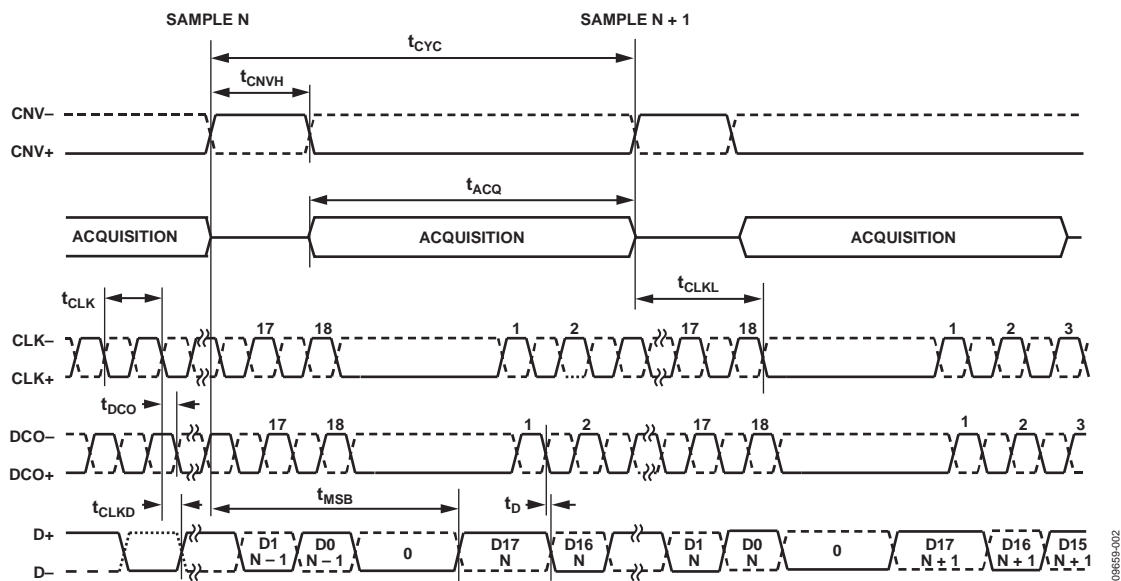


图2. 回波时钟接口模式时序图

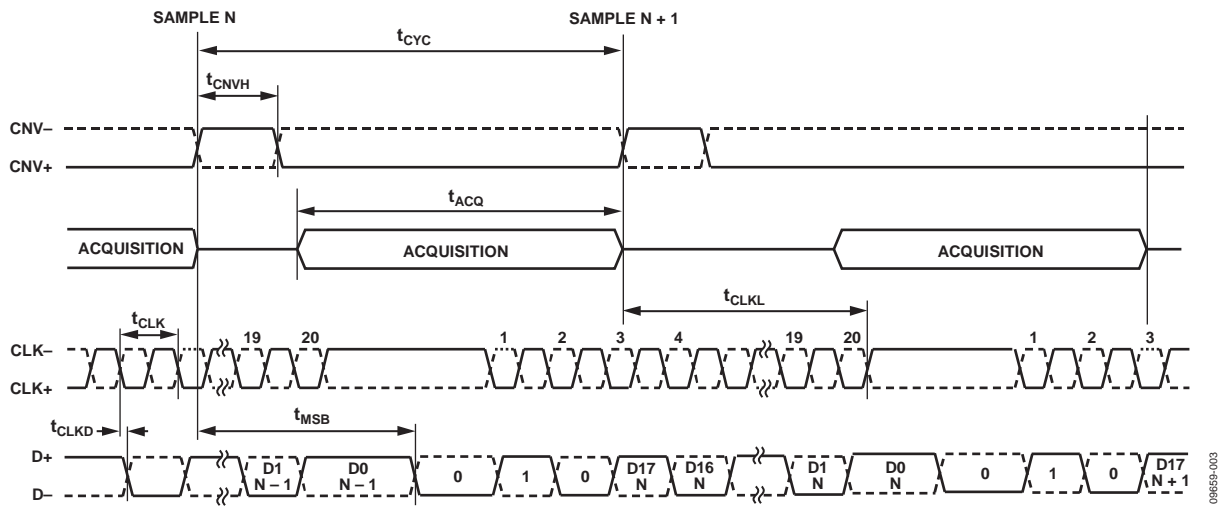


图3. 自时钟接口模式时序图

绝对最大额定值

表4.

参数	额定值
模拟输入/输出	
IN+、IN–至GND	–0.3 V至REF + 0.3 V
REF ¹ 至GND	–0.3 V至+6 V
VCM至GND	–0.3 V至+6 V
REFIN至GND	–0.3 V至+6 V
电源电压	
VDD1	–0.3 V至+6 V
VDD2和VIO	–0.3 V至+2.1 V
数字输入至GND	–0.3 V至VIO + 0.3 V
数字输出至GND	–0.3 V至VIO + 0.3 V
输入电流至除电源引脚外的任何引脚	±10 mA
工作温度范围(商用)	–40°C至+85°C
存储温度范围	–65°C至+150°C
结温	150°C

¹ 100 mA以下的瞬态电流不会造成SCR闩锁。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。


热阻

θ_{JA} 针对最差条件，即焊接在电路板上的器件为表贴封装。

表5. 热阻

封装类型	θ_{JA}	θ_{JC}	单位
32引脚 LFCSP_VQ	40	4	°C/W

ESD警告

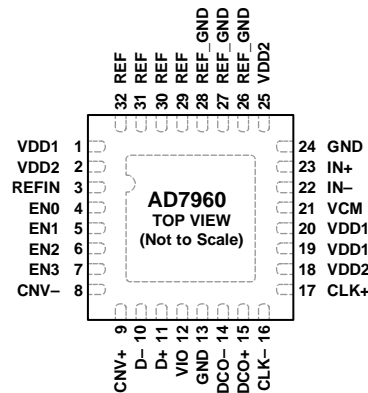


ESD(静电放电)敏感器件。
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

表6. ESD额定值

参数	数值
人体模型	4 kV
机器模型	200 V
场感应充电装置模型	1.25 kV

引脚配置和功能描述



NOTES
1. CONNECT THE EXPOSED PAD TO THE GROUND PLANE OF THE PCB USING MULTIPLE VIAS.

09858-004

图4. 引脚配置

表7. 引脚功能描述

引脚编号	引脚名称	类型 ¹	说明
1, 19, 20	VDD1	P	5 V模拟电源。利用一个100 nF电容，对5 V电源进行去耦。
2, 18, 25	VDD2	P	1.8 V模拟电源。利用一个100 nF电容，可对此引脚进行去耦。
12	VIO	P	输入/输出接口电源。采用1.8 V电源；利用一个100 nF电容，可对此引脚进行去耦。
13, 24	GND	P	地。
26, 27, 28	REF_GND	P	参考地。在REF和REF_GND之间REF引脚上连接电容。将REF_GND接至GND。
3	REFIN	AI	前置缓冲基准电压。采用2.048 V外部基准电压驱动。驱动2.048 V外部基准电压时，需要使用100 nF电容。若使用5 V或4.096 V外部基准电压(连接至REF)，则将此引脚接地。
4, 5, 6, 7	EN0, EN1, EN2, ² EN3	DI	使能 ² 。这些引脚的逻辑电平可设置器件的工作模式，如表9所示。
8, 9	CNV-, CNV+	DI	转换输入。这些引脚用作转换控制引脚。在这些引脚的上升沿，对模拟输入信号进行采样并启动一个转换周期。当CNV-接地时，CNV+用作CMOS输入引脚；否则，CNV+和CNV-用作差分LVDS输入。
10, 11	D-, D+	DO	LVDS数据输出。转换数据以串行方式从这些引脚输出。
14, 15	DCO-, DCO+	DO	LVDS缓冲时钟输出。当DCO+接地时，选择自时钟接口模式。在这种模式下，D±端的18位结果数据以0开头(在前一次转换结束时输出)，后面紧跟2位标头(10)，以便利用带有外部逻辑的数字主机实现信号同步。该标头中的1为准确采集随后转换结果提供基准。当DCO+未接地时，选择回波时钟接口模式。在这种模式下，DCO±是CLK±的副本。在DCO+的下降沿输出数据位；数字主机在DCO+的下一上升沿捕捉数据位。
16, 17	CLK-, CLK+	DI	LVDS时钟输入。该时钟用于在CLK+下降沿移出转换结果。
21	VCM	AO	共模输出。当采用参考方案时，该引脚处的电压为REF引脚处电压的一半，可用于驱动输入放大器共模。
22	IN-	AI	负向差分模拟输入。必须驱动为与IN+呈180°反相。
23	IN+	AI	正向差分模拟输入。必须驱动为与IN-呈180°反相。
29, 30, 31, 32	REF	AI/O	缓冲基准电压。使用2.048 V外部基准电压(REFIN输入)时，4.096 V系统基准电压在该引脚上产生。在此引脚上使用4.096 V或5 V外部基准电压时，必须禁用内部基准电压缓冲器。使用尽量短的走线，将REF引脚连接至一个10 μF、低ESR、低ESL的电容。电容的另一侧必须靠近GND。
33	EP		裸露焊盘。裸露焊盘位于封装的底部。利用多个过孔，可将裸露焊盘连接至PCB的接地层。

¹ 裸露焊盘。裸露焊盘位于封装的底部。利用多个过孔，可将裸露焊盘连接至PCB的接地层。
² EN2 = 0将输入带宽设为28 MHz，EN2 = 1将输入带宽设为9 MHz。EN3 = 1使能VCM基准电压输出。

典型性能参数

除非另有说明，VDD1 = 5 V；VDD2 = 1.8 V；VIO = 1.8 V；所有规格均相对于T = 25°C而言。

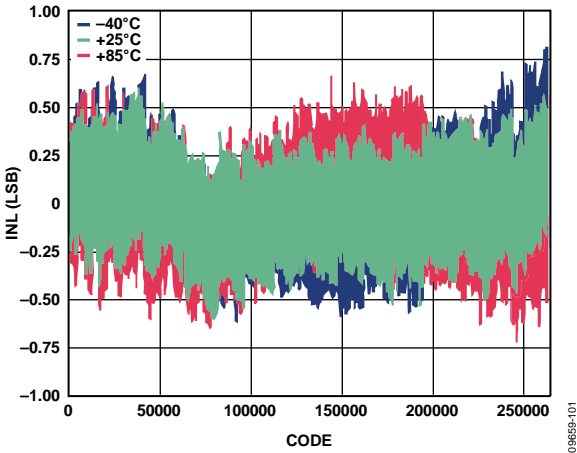


图5. 积分非线性与码和温度的关系，REF = 5 V

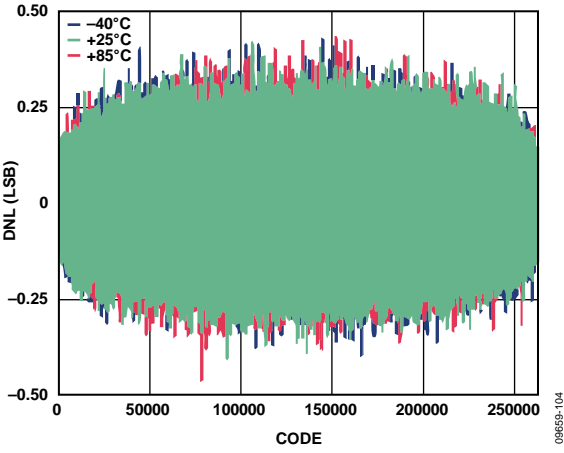


图8. 差分非线性与码和温度的关系，REF = 5 V

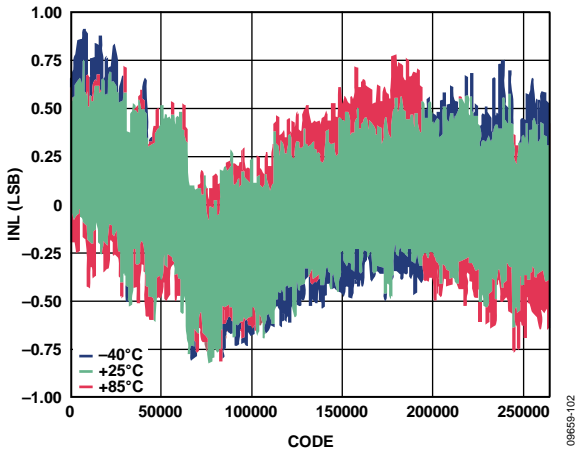


图6. 积分非线性与码和温度的关系，REF = 4.096 V

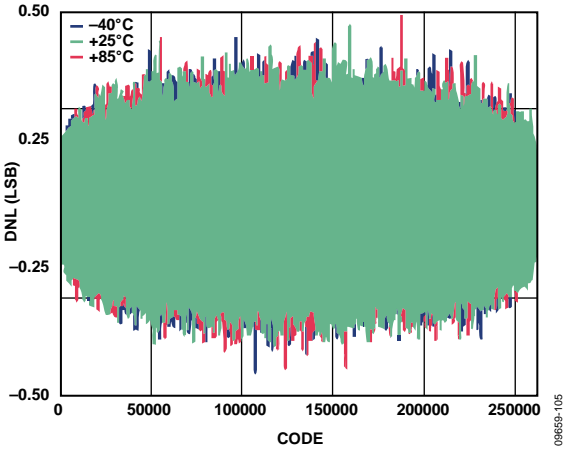


图9. 差分非线性与码和温度的关系，REF = 4.096 V

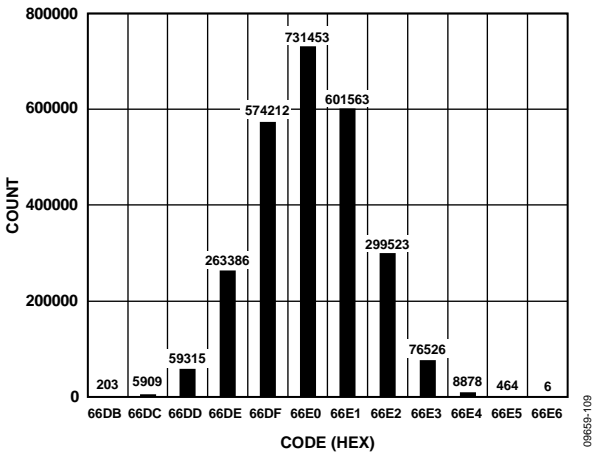


图7. 直流输入直方图(码中心)，REF = 5 V

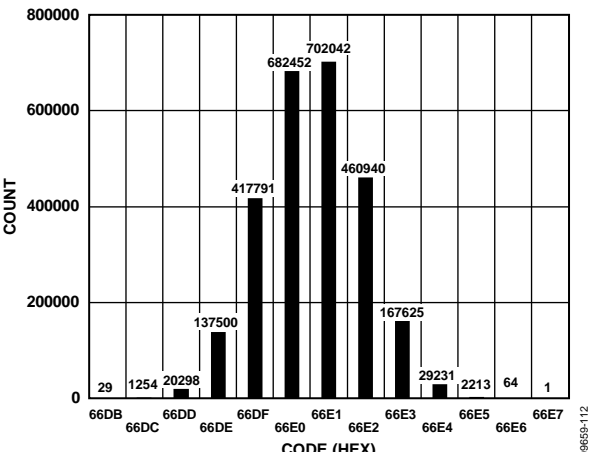


图10. 直流输入直方图(码转换)，REF = 5 V

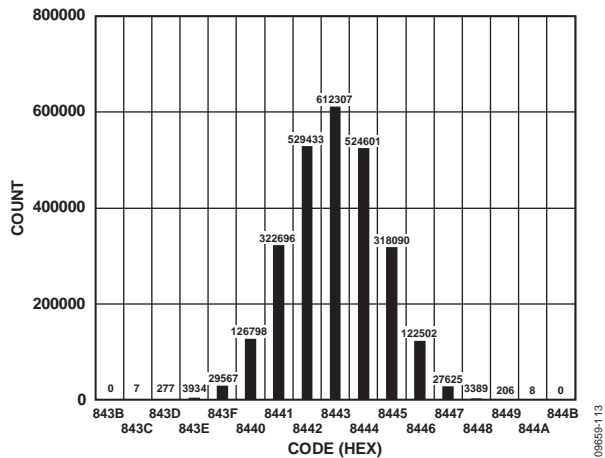


图11. 直流输入直方图(码中心), REF = 4.096 V

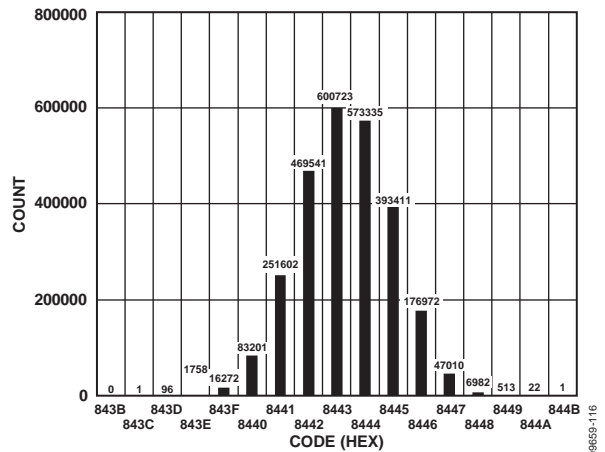


图14. 直流输入直方图(码转换), REF = 4.096 V

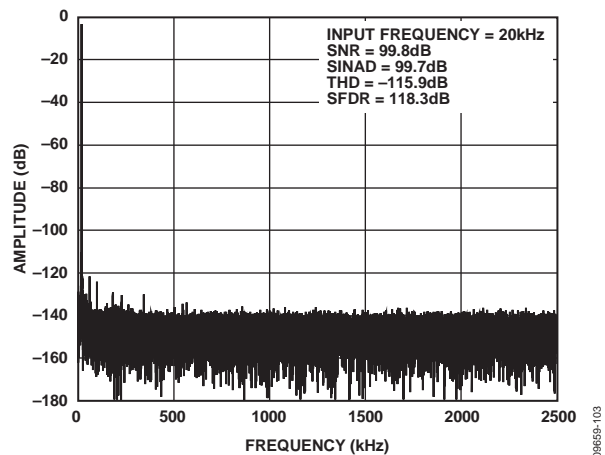


图12. 20 kHz、-0.5 dBFS输入音FFT, 宽视图, REF = 5 V

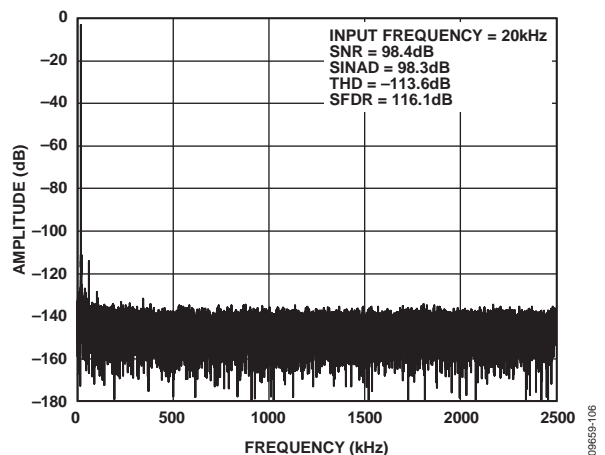


图15. 20 kHz、-0.5 dBFS输入音FFT, 宽频率视图, REF = 4.096 V

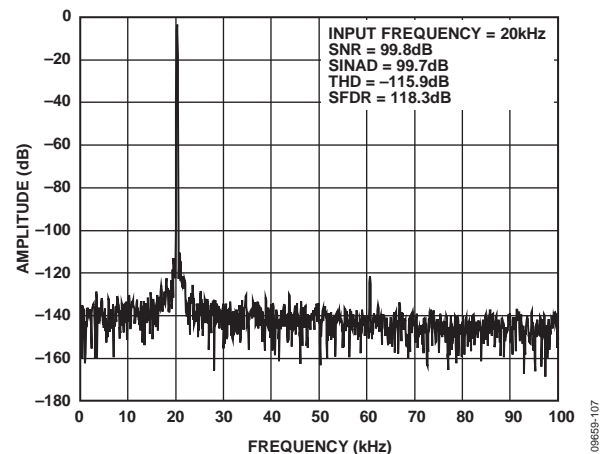


图13. 20 kHz、-0.5 dBFS输入音FFT, 缩放视图, REF = 5 V

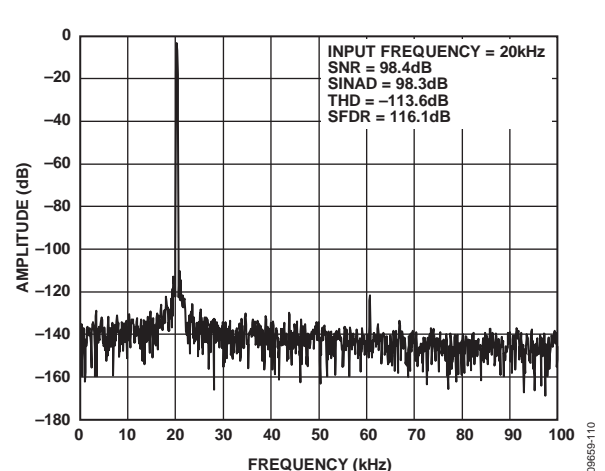


图16. 20 kHz、-0.5 dBFS输入音FFT, 缩放视图, REF = 4.096 V

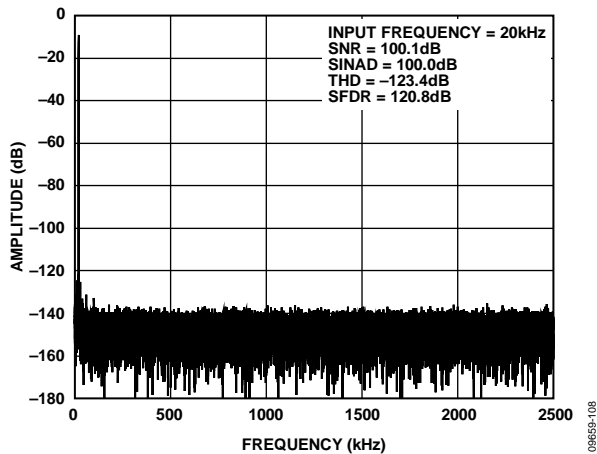


图17. 20 kHz、-6 dBFS输入音FFT，宽视图，REF = 5 V

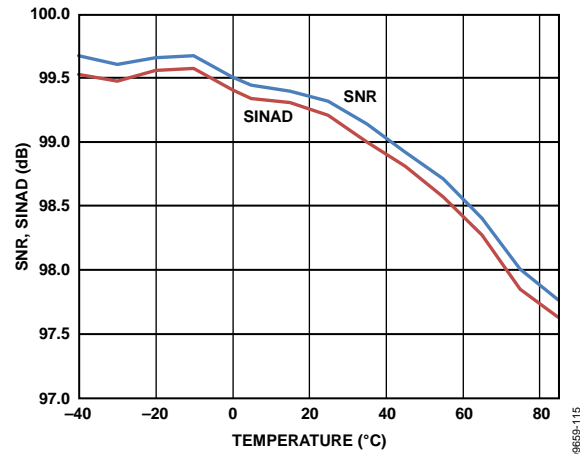


图20. SNR和SINAD与温度的关系，REF = 5 V

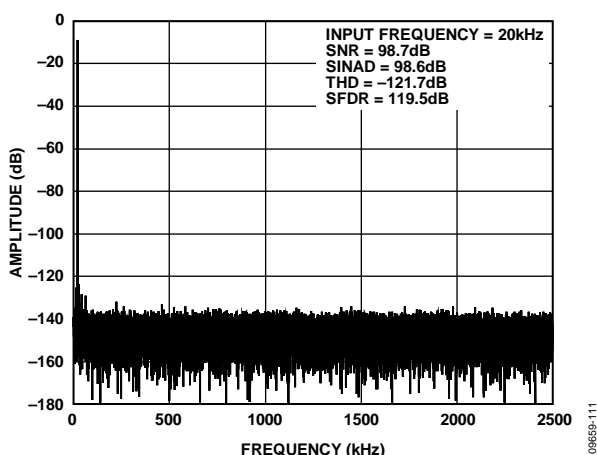


图18. 20 kHz、-6 dBFS输入音FFT，宽视图，REF = 4.096 V

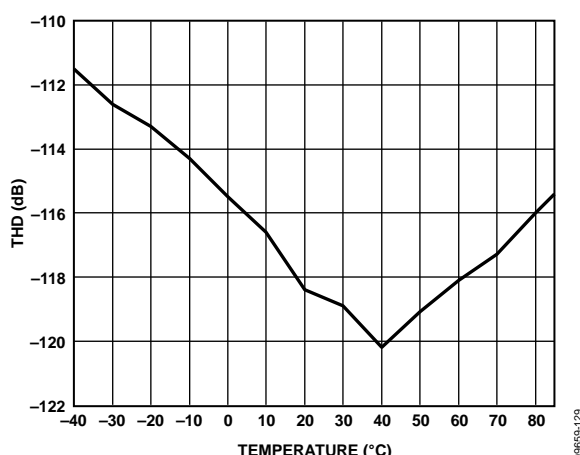


图21. THD与温度的关系，REF = 5 V

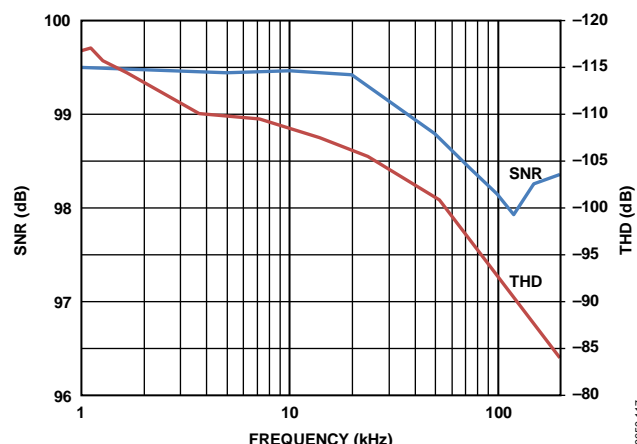


图19. SNR和THD与频率的关系，-6 dBFS，REF = 5 V

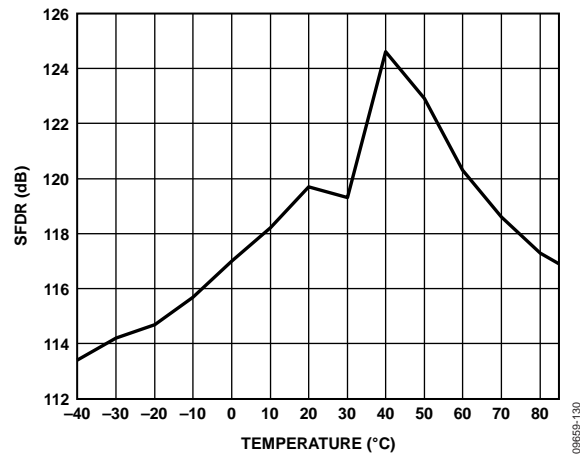


图22. SFDR与温度的关系，REF = 5 V

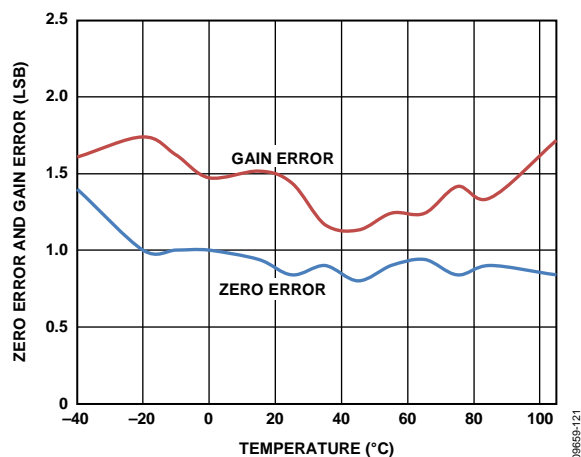


图23. 零电平误差和增益误差与温度的关系, $REF = 5\text{ V}$

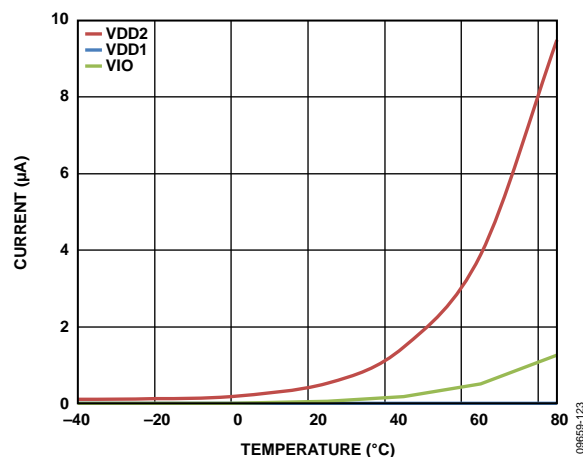


图26. 关断电流与温度的关系, $REF = 5\text{ V}$

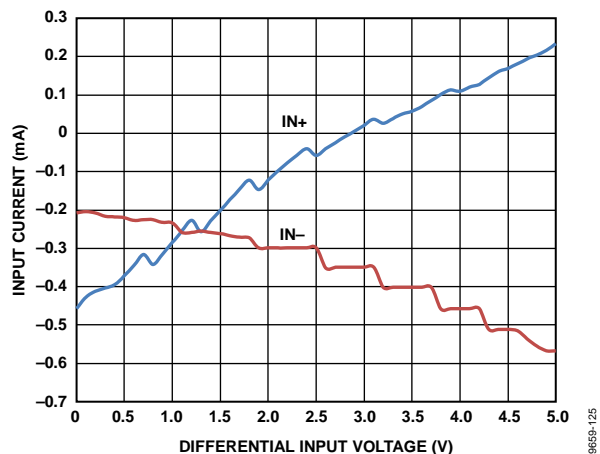


图24. 输入电流($IN+$, $IN-$)与差分输入电压的关系, $REF = 5\text{ V}$

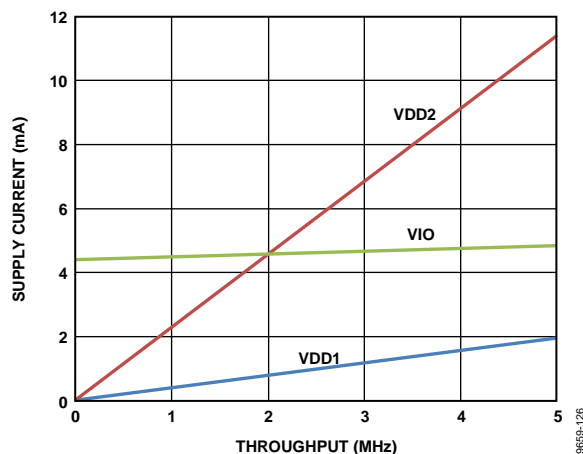


图27. 电源电流与吞吐速率的关系, 自时钟模式, $CNV\pm$ 为CMOS模式, 内部基准电压缓冲器禁用

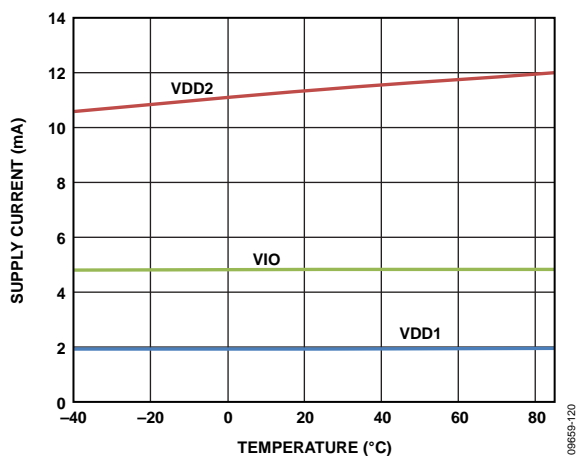


图25. 电源电流与温度的关系, $REF = 5\text{ V}$, 自时钟模式, $CNV\pm$ 为CMOS模式, 内部基准电压缓冲器禁用

术语

差分非线性(DNL)误差

在一个理想ADC中，码跃迁相距1 LSB。差分非线性是指实际值与此理想值的最大偏差。经常用保证无失码的分辨率来描述这一规格。

积分非线性(INL)误差

线性误差是指每个码与一条从负满量程画到正满量程的直线偏差。用作负满量程的该点出现在第一个码跃迁之前的 $\frac{1}{2}$ LSB处。正满量程定义为超出最后一个码跃迁 $1\frac{1}{2}$ LSB的一个电平。从各码的中点到该直线的距离即为偏差。

动态范围

动态范围指满量程的均方根值与-60 dB典型输入条件下测得的均方根噪声之比，用分贝(dB)表示。

有效位数(ENOB)

ENOB指利用正弦波输入测得的分辨率。它与SINAD相关，计算公式如下：

$$ENOB = [(SINAD_{dB} - 1.76)/6.02]$$

增益误差

当模拟电压高于标称负满量程 $\frac{1}{2}$ LSB时(对于 ± 4.096 V范围为-4.0959844 V)，产生第一个码跃迁(从100...000跃迁至100...001)。当模拟电压低于标称正满量程 $1\frac{1}{2}$ LSB时(对于+4.095953 V范围来说，应在 ± 4.096 V)，发生最后一个码跃迁(从011...110跃迁至011...111)。增益误差指最后一个跃迁的实际电平与第一个跃迁的实际电平之差与二者的理想电平之差的偏差。

增益误差漂移

温度变化1度所产生的增益误差变化量与满量程范围(2^N)的比率，采用百万分率表示。

最低有效位(LSB)

最低有效位或LSB是转换器可以表示的最小增量。对于N位分辨率的全差分输入ADC，LSB(单位：伏特)的计算公式如下：

$$LSB(V) = \frac{V_{INP-P}}{2^N}$$

电源抑制比(PSRR)

电源变化会影响转换器的满量程转换，但不会影响其线性。电源抑制比指由于电源电压偏离标称值所引起的满量程转换点的最大变化。

信噪比(SNR)

SNR指实际输入信号的均方根值与奈奎斯特频率以下除谐波和直流以外所有其它频谱成分的均方根和之比，用分贝(dB)表示。

信纳比(SINAD)

SINAD指实际输入信号的均方根值与奈奎斯特频率以下包括谐波但直流除外的所有其它频谱成分的均方根和之比，用分贝(dB)表示。

无杂散动态范围(SFDR)

SFDR指输入信号与峰值杂散信号(包括谐波)的均方根幅值之差，用分贝(dB)表示。

总谐波失真(THD)

THD指前五个谐波成分的均方根和与满量程输入信号的均方根值之比，用分贝(dB)表示。

零电平误差

理想中间电平输入电压(0 V)与产生中间电平输出码的实际电压之差称为零电平误差。

零电平误差漂移

温度变化1度所产生的零电平误差与满量程代码范围(2^N)的比率，采用百万分率表示。

工作原理

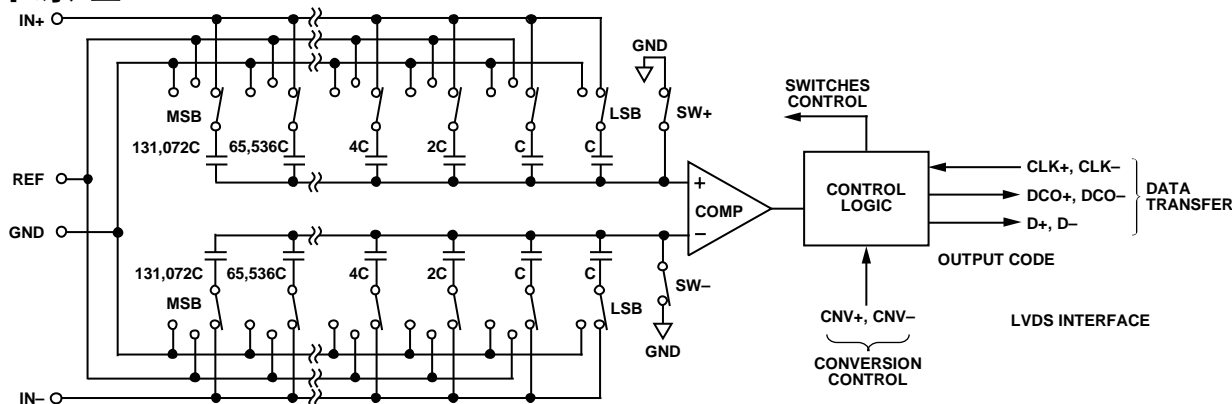


图28. ADC原理示意图

电路信息

AD7960是一款5 MSPS、高精度、高效率的18位ADC，它采用逐次逼近型架构，可提供99 dB SNR、 ± 0.8 LSB INL和 ± 0.5 LSB DNL。**AD7960**没有任何流水线延迟，堪称多路复用通道应用的理想之选。

AD7960每秒能够转换5,000,000个样本(5 MSPS)。器件的典型功耗为46.5 mW。**AD7960**提供额外的片内基准电压缓冲器。使能内部基准电压缓冲器后，**AD7960**额外功耗仅为18 mW左右。

AD7960采用5 V和1.8 V电源(VDD1、VDD2)供电。数字主机与**AD7960**之间的接口仅支持1.8 V逻辑电平。**AD7960**利用LVDS接口来传输转换数据。输入至器件的信号CNV+和CNV-可激活模拟输入转换。可以使用CMOS或LVDS源激活引脚CNV+和CNV-。

AD7960采用节省空间的32引脚5 mm x 5 mm LFCSP封装。

转换器信息

AD7960是一款5 MSPS ADC，采用基于电荷再分配DAC的逐次逼近型架构。图28显示了一个简化的ADC原理图。容性DAC包含两个相同的18位二进制加权电容阵列，分别连接到比较器的两个输入端。

在采集阶段，与比较器输入端相连的阵列端子通过SW+和SW-连接到GND。所有独立开关都连接到模拟输入端。因此，电容阵列用作采样电容和采集IN+、IN-输入端的模拟信号。一旦采集阶段结束且CNV±输入变为高电平，即启动转换阶段。注意，**AD7960**可接收CMOS或LVDS格式的CNV±信号。

当转换阶段开始时，SW+和SW-首先断开。然后，两个电容阵列从输入端断开，并连接到GND输入端。因此，采集阶段结束时捕获的输入(IN+和IN-)之间差分电压施加于比较器输入端，导致比较器不平衡。通过在GND与REF(基准电压)之间切换电容阵列的各元件，比较器输入将按照二进制加权电压步进($V_{REF}/4 \dots V_{REF}/262,144$)变化。控制逻辑从MSB开始切换这些开关，以便使比较器重新回到平衡状态。该过程结束后，控制逻辑将产生ADC输出代码

AD7960数字接口使用低电压差分信号(LVDS)实现高数据传输率。

经过 t_{MSB} (从转换开始到MSB可用的时间)后，可以读取**AD7960**的转换结果。用户必须对**AD7960**应用突发LVDS CLK±信号，才能向数字主机传输数据。

CLK±信号将ADC转换结果输出至数据输出D±。CLK±信号如图35和图36所示，其特性如下：

- 在 t_{CLKL} 和 t_{MSB} 之间的时间窗口内，CLK±上的差分电压保持在稳定状态。
- AD7960**具有两种数据读取模式。如需了解更多关于回波时钟和自时钟接口模式的信息，请参阅“数字接口”部分。

传递函数

AD7960采用5 V或4.096 V基准电压源。AD7960可将反相模拟输入信号(IN+和IN-)的差分电压转换为数字输出信号。IN+和IN-需要REF/2 V共模电压。

18位转换结果以MSB优先、二进制补码格式提供。AD7960的理想传递函数如图29和表8所示。

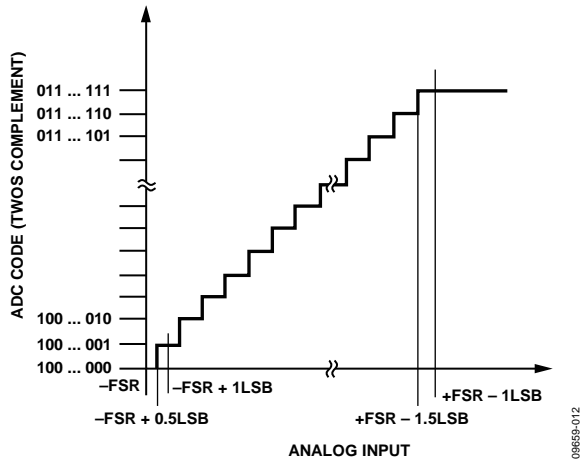


图29. ADC理想传递函数(FSR表示满量程范围)

模拟输入

施加于AD7960的模拟输入(IN+和IN-)必须保持180°反相。图30显示了AD7960输入结构的等效电路。

两个二极管为IN+和IN-提供ESD保护。切记，模拟输入信号不能超过AD7960的供电轨0.3 V以上(VDD1和GND)。如果模拟输入信号超过该水平，二极管就会变成正偏，开始传导电流。这些二极管可以处理最高130 mA的正偏电流。

然而，如果输入缓冲放大器的电源电压与VDD1/GND电源电压不同，那么模拟输入信号可能最终超过供电轨0.3 V以上。此时(例如输入缓冲器短路)，限流可以保护器件。

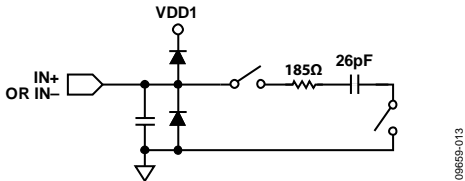


图30. 等效模拟输入电路

模拟输入结构支持对IN+和IN-之间的真差分信号进行采样。借助这些差分输入，可以抑制两个输入端的共模信号。模拟输入频率较高时，AD7960的THD呈现一定下降趋势。

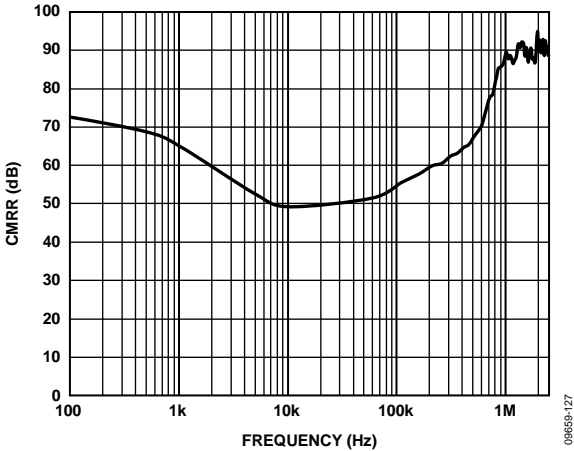


图31. 模拟输入CMRR与频率的关系

表8. 输出码和理想输入电压

说明	模拟输入(IN+ - IN-), REF = 5 V	模拟输入(IN+ - IN-), REF = 4.096 V	以二进制补码形式表示的数字输出码 (十六进制数)
FSR - 1 LSB	+4.999962 V	+4.095969 V	0x1FFFF
中间电平 + 1 LSB	+38.15 μV	+31.25 μV	0x00001
中间电平	0 V	0 V	0x00000
中间电平 - 1 LSB	-38.15 μV	-31.25 μV	0x3FFFF
-FSR + 1 LSB	-4.999962 V	-4.095969 V	0x20001
-FSR	-5 V	-4.096 V	0x20000

典型应用

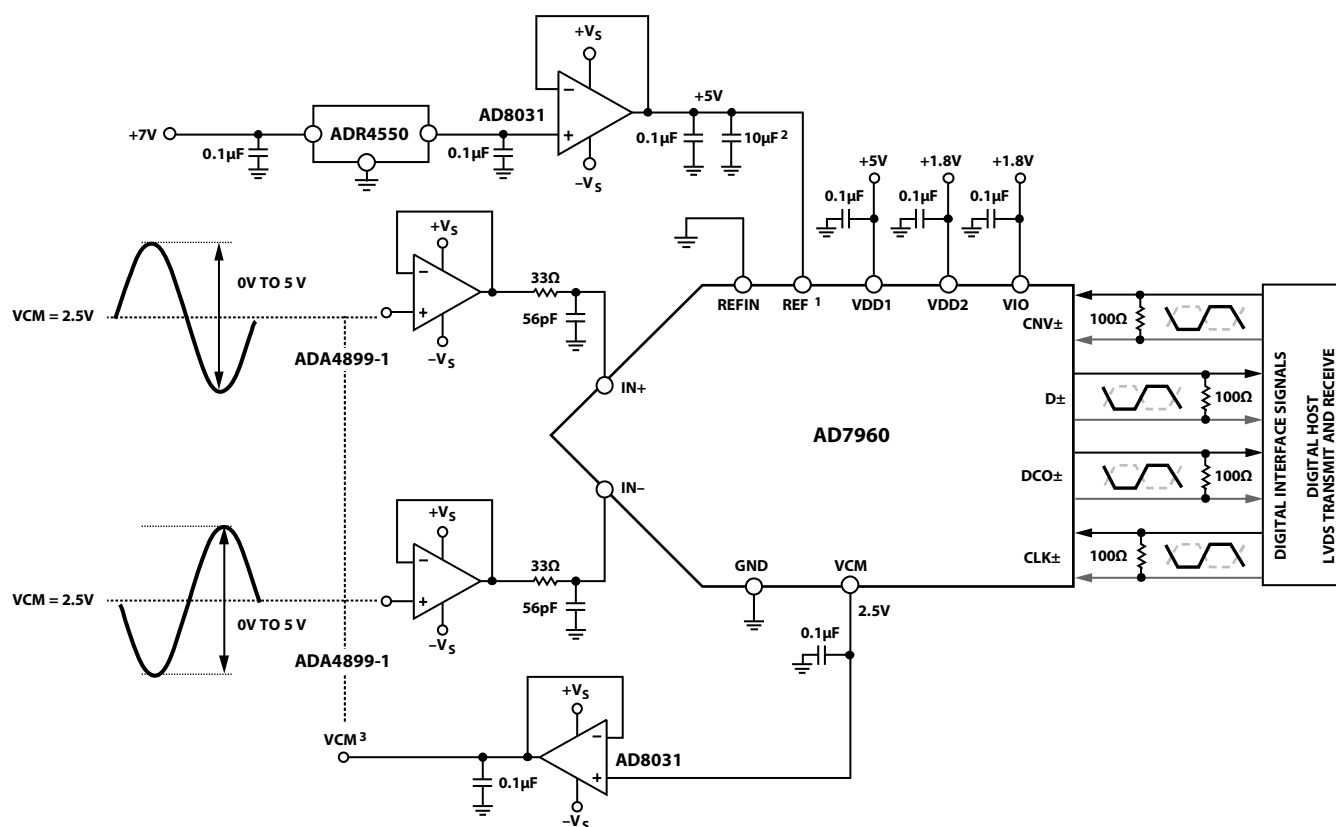
图32所示为通过两个单端ADA4899-1器件驱动AD7960的典型连接图示例。替代ADC驱动器是两个单端运算放大器ADA4897-1，或一个差分放大器ADA4932-1，可驱动AD7960的输入。

AD7960适用于高速多路复用应用，如数字X射线、计算机断层扫描和红外摄像机等；这类应用要求具备出色噪声、功耗和吞吐速率性能，而采用AD7960可极大地降低这类应用的成本。AD7960要求在转换期间存在90 ns至110 ns的安静时间，期间不可切换多路复用器输入(通道)，以免对转换造成破坏。换言之，从CNV \pm 上升沿到多路复用器输入开

关事件，若两者之间存在小于90 ns或大于110 ns的延迟，则不会造成破坏。如果模拟输入在安静转换时间内经多路复用器处理，则电流转换可能遭到最多15 LSB的破坏。

如果模拟输入的多路复用处理得足够早，则输入有足够快地摆动至满量程信号，并在允许的短时间内建立输入。

相对于满量程输入，AD7960具有极低的噪底。该器件具有高吞吐速率、低噪底和线性性能，因此还适合过采样应用，如光谱分析、MRI梯度控制以及气谱分析。AD7960的宽动态范围特性支持对多个通道的大小信号进行精确测量。



¹ SEE THE VOLTAGE REFERENCE OPTIONS SECTION. CONNECTION TO EXTERNAL REFERENCE SIGNALS IS DEPENDENT ON THE EN1 AND EN0 SETTINGS.

² A 10μF CAPACITOR WITH LOW ESL AND ESR IS USUALLY CONNECTED BETWEEN THE REF PIN AND REF_GND. CONNECT REF_GND TO THE COMMON GROUND OF THE BOARD. THE REF AND REFIN PINS ARE DECOUPLED REGARDLESS OF EN1 AND EN0 SETTINGS.

³ BUFFERED VCM PIN OUTPUT GIVES THE REQUIRED 2.5V COMMON-MODE SUPPLY FOR ANALOG INPUTS.

图32. 典型应用图

表9. 基准电压选项

EN3	EN2	EN1	EN0	REFIN	基准电压模式描述
X ¹	0	0	0	X ¹	掉电模式。全部关断，包括LVDS接口。
X ¹	0	0	1	0 V	接口上电。基准电压缓冲器禁用。5 V外部基准电压施加到REF引脚。此模式下，将REFIN连接至0 V。输入采样网络的带宽设为28 MHz。
X ¹	0	0	1	2.048 V	内部基准电压缓冲器使能。要求2.048 V外部基准电压施加于REFIN引脚上。REF引脚提供4.096 V缓冲基准电压。输入采样网络的带宽设为28 MHz。
X ¹	0	1	0	0 V	内部基准电压缓冲器禁用。以4.096 V外部基准电压驱动REF引脚。此模式下，将REFIN连接至0 V。输入采样网络的带宽设为28 MHz。
X ¹	0	1	1	0 V	休眠模式 ² 。LVDS关断。芯片不响应CNV±启动脉冲。EN3至EN0设为XX01或XX10时，具有快速唤醒时间(5 μs)。确保进入与退出该模式时CNV±启动脉冲为低电平。
0	1	0	0	X ¹	LVDS上的测试码输出。此接口不提供ADC输出。
1	1	0	0	X ¹	无效模式。
X ¹	1	0	1	0 V	基准电压缓冲器禁用。以5 V外部基准电压驱动REF引脚。输入采样网络的带宽设为窄带宽(9 MHz)。
X ¹	1	0	1	2.048 V	内部基准电压缓冲器使能，并驱动REF引脚至4.096 V。输入采样网络的带宽设为窄带宽(9 MHz)。
X ₁	1	1	0	0 V	基准电压缓冲器禁用。以4.096 V外部基准电压驱动REF引脚。输入采样网络的带宽设为窄带宽(9 MHz)。
X ¹	1	1	1	0 V	休眠模式 ² 。LVDS关断。芯片不响应CNV±启动脉冲。EN3至EN0设为XX01或XX10时，具有快速唤醒时间(5 μs)。

¹ X = 无关位。
² ThA使用内部基准电压缓冲器时，休眠模式的用处不大，因为内部基准电压缓冲器的建立使得无法实现快速唤醒。

基准电压选项

AD7960允许对基准电压进行缓冲。AD7960的转换以5 V或4.096 V基准电压为参考。使用外部基准电压源时有三个选项。

- 5 V外部缓冲基准电压源施加到REF引脚。
- 4.096 V外部缓冲基准电压源施加到REF引脚。
- 2.048 V外部基准电压源施加到REFIN引脚(高阻抗输入)。片内缓冲器增益为2，并以4.096 V驱动REF引脚。

建议AD7960使用的外部基准电压源为ADR4520/ADR4540/ADR4550和ADR440/ADR444/ADR445。通过EN1和EN0引脚可以控制创建此基准电压的各种选项(见表9)。通过EN2可以控制-3 dB输入带宽。EN2 = 0时-3 dB输入带宽设为28 MHz，而EN2 = 1时-3 dB输入带宽设为9 MHz。仅在采样速率为2 MSPS或更低时使用此较低带宽(9 MHz)。EN3 = 1使能VCM基准电压输出，而EN3 = 0则禁用VCM基准电压输出。使用较大的5 V外部基准电压选项可获得最佳的SNR和动态范围性能。改善量约为1.7 dB，计算公式如下：

$$\Delta \text{SNR} = 20 \log \left(\frac{5.0}{4.096} \right)$$

唤醒时间(从关断模式和休眠模式)

如果使用表9中的正确基准电压，当EN3至EN0 = X000时，AD7960关断；当EN3至EN0 = XX11时，该器件处于休眠模式。对于所选基准电压设置，从关断模式到休眠模式的典型唤醒时间如表10和表11所示。每个唤醒时间均代表从EN3至EN0逻辑转换到ADC为CNV±上升沿准备就绪为止的时间长度。例如，使用REFIN = 0 V时，用户必须在关断后等待1.4 ms，然后才可施加CNV±脉冲，以便接收数据转换结果。

表10. 唤醒时间(从关断模式，EN3至EN0 = X000)

到激活模式	唤醒时间
EN3 to EN0 = XX01, REFIN = 0 V	1.4 ms
EN3 to EN0 = XX01, REFIN = 2.048 V	8 ms
EN3 to EN0 = XX10, REFIN = 0 V	1.4 ms

表11. 唤醒时间(从休眠模式，EN3至EN0 = XX11)

到激活模式	唤醒时间
EN3至EN0 = XX01, REFIN = 0 V	5 μs
EN3至EN0 = XX01, REFIN = 2.048 V	8 ms
EN3至EN0 = XX10, REFIN = 0 V	5 μs

AD7960

电源

AD7960需要5 V (VDD1)和1.8 V (VDD2)电源供电，同时还需要数字输入/输出接口电源(VIO)供电。以1.8 V逻辑电平驱动EN3至EN0引脚。VIO和VDD2可来自同一1.8 V电源；但最好使用独立走线将VIO与VDD2引脚隔开，且将每个引脚独立去耦。

AD7960所需的5 V和1.8 V电源可采用ADI公司的LDO，如ADP7104-5和ADP124-1.8。图33显示了AD7960的PSRR与电源频率的关系。如图34所示，AD7960内核功耗与吞吐速率成正比，以较低速度工作时可节省大量功耗预算。

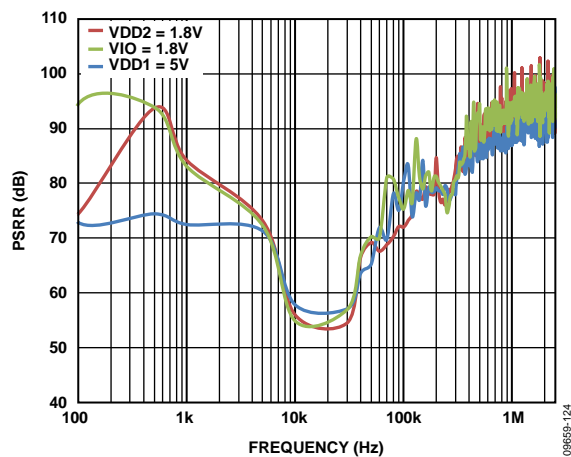


图33. PSRR与电源频率的关系

上电

对于所有ADC，最佳做法都是在施加外部基准电压之前先为内核上电。最后施加模拟输入。

为AD7960上电时，首先需要向器件施加1.8 V(VDD2、VIO)电源，然后施加5 V (VDD1)电源。将基准电压配置引脚EN0、EN1和EN2设为正确值。使用内部基准电压缓冲器(由EN1和EN0值控制)时，将2.048 V外部基准电压施加到REFIN引脚，或将5 V/4.096 V施加到REF引脚。

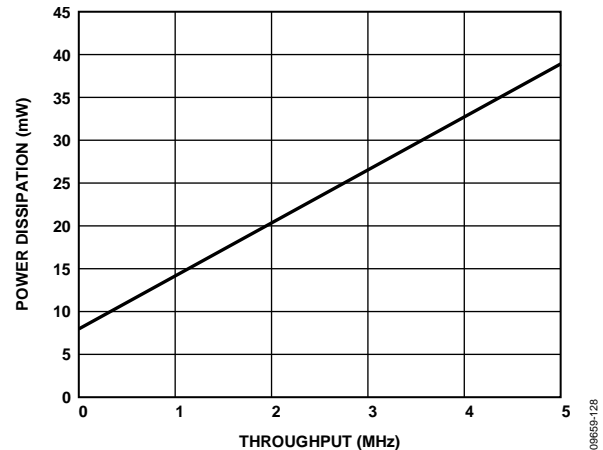


图34. ADC内核功耗与吞吐速率的关系，自时钟模式，CNV±为CMOS模式，内部基准电压缓冲器禁用

数字接口

转换控制

模数转换均由CNV±信号控制。该信号既可以CNV+/CNV- LVDS信号的形式施加，又可以1.8 V CMOS逻辑信号的形式施加于CNV+引脚(此时CNV-接地)。在CNV±信号的上升沿启动转换。

AD7960上电后产生的第一个转换结果是有效的。AD7960的重要优势是用户可在转换结束前返回采集阶段。

“回波时钟接口模式”和“自时钟模式”部分将介绍通过LVDS接口采集AD7960数字输出的两种方法。

回波时钟接口模式

AD7960在回波时钟接口模式下的数字操作如图35所示。该接口模式因为仅需要在数字主机端使用一个移位寄存器，所以支持多种数字主机(例如：FPGA、移位寄存器和微控制器)。每个AD7960与数字主机之间需要三对LVDS(D±、CLK±和DCO±)。

时钟DCO±是时钟CLK±的缓冲副本，与数据D±同步；D±在DCO±(t_D)的下降沿更新。通过电路板和数字主机在D±与DCO±之间维持良好的传输延迟，移位寄存器有足够的裕量使用DCO±锁存D±。

CNV±脉冲的上升沿用于启动转换。为保证器件正常工作，CNV±脉冲必须返回低电平(≤ t_{CNVH}最大值)。转换开始后便会执行到完成为止。转换过程中忽略其他CNV±脉冲。经过时间t_{MSB}后，主机开始产生CLK±脉冲信号。注意，t_{MSB}是新转换结果MSB的最大时间，应作为CLK±的选通器件。驱动回波时钟(DCO±)和数据(D±)同步，并且DCO±的下降沿更新D±；主机应在DCO±的上升沿捕捉D±。唯一要求是，必须在下一转换周期的t_{CLKL}时间消逝之前，完成18个CLK±脉冲。读取全部18位后，D±和DCO±驱动至0并保持时间t_{MSB}。在CLK±突发脉冲之间，将CLK±置为空闲低电平状态。

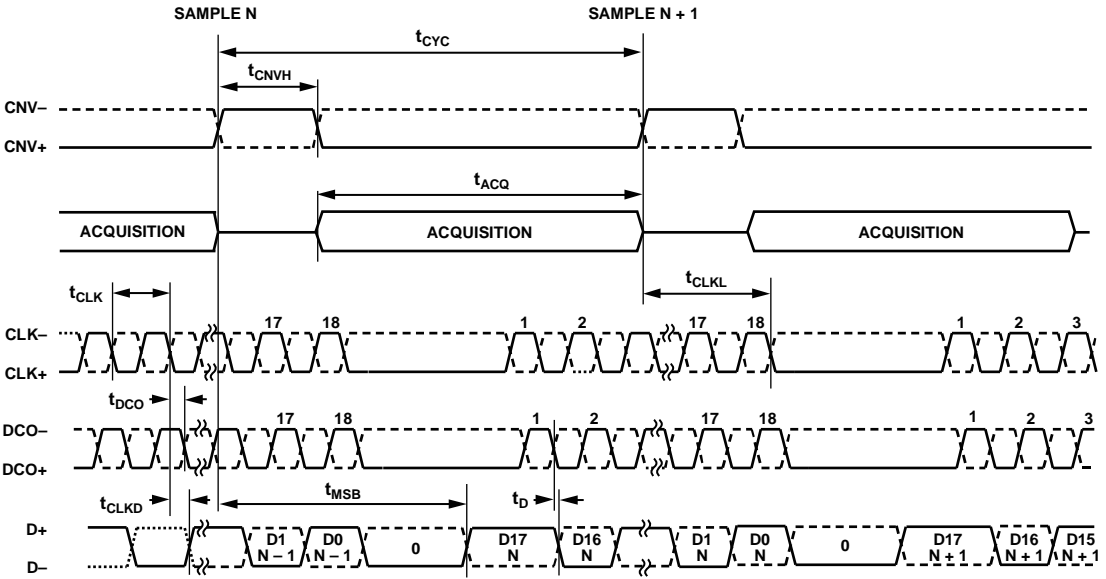


图35. 回波时钟接口模式时序图

09659-018

自时钟模式

AD7960在自时钟接口模式下的数字操作如图36所示。该接口模式将ADC与数字主机之间的走线数减少至两对LVDS (CLK±和D±)或一对(共享CLK±时)。多个AD7960器件可以共享同一个CLK±信号。这样，可以减少数字主机上的LVDS连接数。

在自时钟接口模式下，每个ADC数据字前面都有一个010表头序列。经过时间 t_{MSB} 之后，表头第一位0自动出现在D±上，且余下的两位表头10在下次采样开始时的前两个CLK±下降沿读出。该表头(010)用于同步数字主机每次转换的D±信号，在该模式下，没有时钟输出同步至数据(D±)来让数字主机采集数据输出。

对于每个AD7960器件，使用一个状态机完成D±数据与数字主机采集时钟的同步。例如，使用运行速度与CLK±相同的状态机可集成该时钟频率的三个相位(间隔为120°)。每个相位采集ADC输出的数据D±。

接下来，对在状态机时钟各相位捕捉的AD7960数据进行比较。在所采集的每组数据中，表头中1的位置允许用户选择D±数据有效窗口期间的状态机时钟相位。

自时钟模式数据捕捉方法允许数字主机调适其结果捕捉时序，以适应AD7960产生的传播延迟变化。例如，从共享同一输入时钟的多个AD7960器件中捕捉数据。

CNV±脉冲的上升沿用于启动转换。为保证器件正常工作，CNV±脉冲必须返回低电平状态(t_{CNVH} 最大值)。转换开始后便会执行到完成为止。转换过程中忽略其他CNV±脉冲。经过时间 t_{MSB} 之后，主机开始向AD7960发出CLK±脉冲信号。所有20个CLK±脉冲必须应用于由 t_{MSB} 和随后的 t_{CLKL} 使能的时间窗内。所需的20个CLK±脉冲必须在 t_{CLKL} 消逝前(参考下一转换周期)产生。否则，数据会被新的转换结果覆盖而丢失。

在20个CLK±突发脉冲期间，将CLK±置为高电平空闲状态。在CLK±信号的下次突发脉冲期间，在CLK±的随后下降沿输出表头位和下一ADC结果的转换数据。

在自时钟接口模式下，AD7960同样允许用户提供额外(第21个)时钟脉冲，在帧结束时得到保证的0状态，如图37所示。经过时间 t_{MSB} 之后，表头序列第一位0自动出现在D±上，且余下的两位表头10在下次采样开始时的前两个CLK±下降沿读出。该表头(010)用于同步数字主机每次转换的D±信号，在该模式下，没有时钟输出同步至数据(D±)来让数字主机采集数据输出。

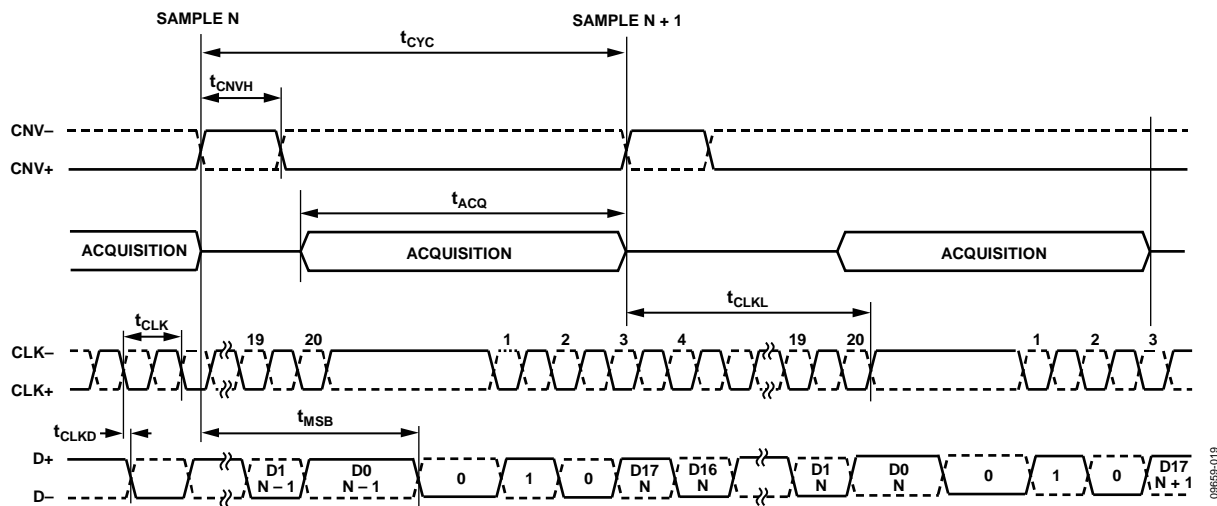


图36. 自时钟接口模式时序图

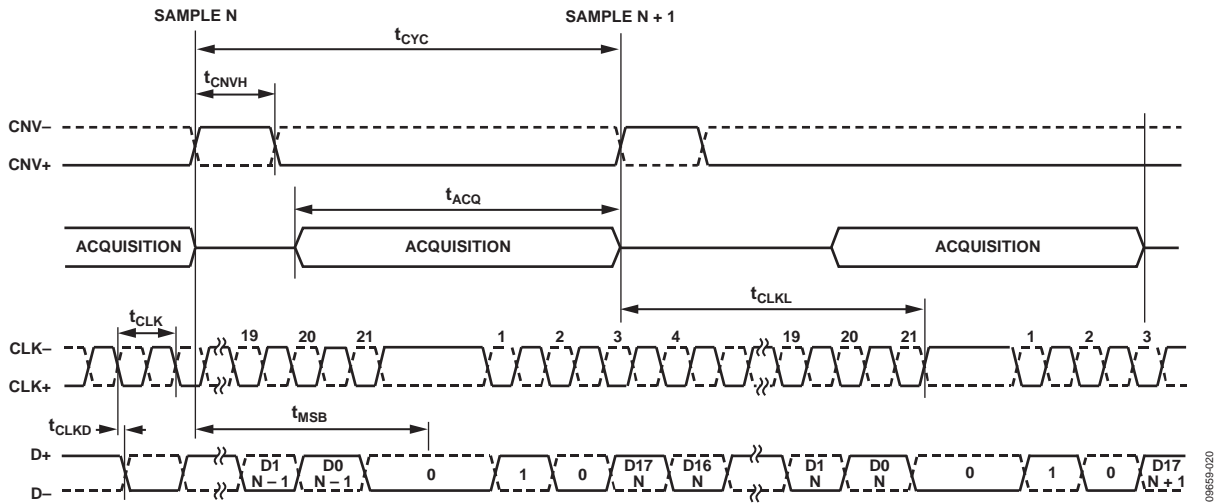


图37. 带额外时钟脉冲的自时钟接口模式时序图

09659-020

应用信息

布局布线

[AD7960](#)所在的印刷电路板应采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。避免在器件下方布设数字线路，否则会将噪声耦合至器件，除非在[AD7960](#)下方铺一个接地层用作屏蔽。快速开关信号(如CNV±或CLK±)不应靠近模拟信号路径。避免数字信号与模拟信号交叠。至少使用一个接地层。数字和模拟部分可以共用或分割使用接地层。后一情况中，接地层应在[AD7960](#)器件下方连接。

[AD7960](#)基准电压输入引脚REF具有动态输入阻抗。去耦REF时为了取得最小寄生电感，应将基准电压源的去耦陶

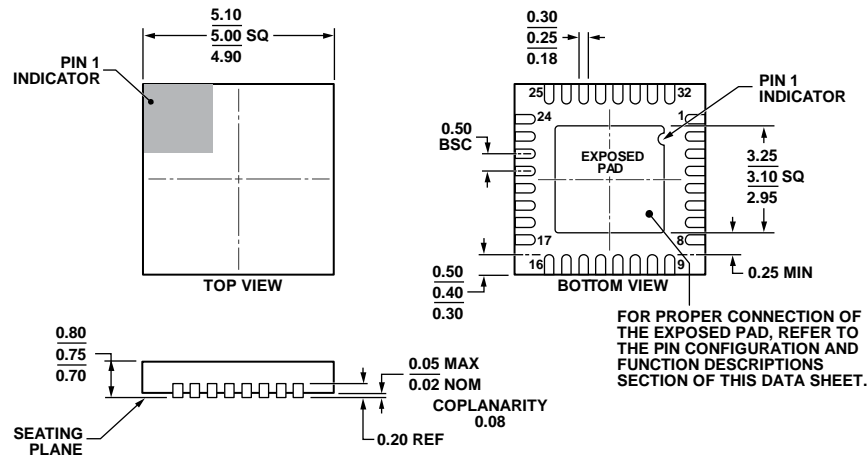
瓷电容靠近(理想情况是正对)REF和REF_GND引脚放置，并用较宽的低阻抗走线进行连接。

最后，AD7960的VDD1、VDD2和VIO电源应通过陶瓷电容去耦，其值通常为100 nF，靠近[AD7960](#)放置，并用短而宽的走线连接，以提供低阻抗路径并减小电源线路上的毛刺噪声影响。

评估AD7960性能

EVAL-AD7960FMCZ评估板([UG-490](#))的用户指南中给出了[AD7960](#)原理图和布局的其他推荐指南。如需装配完善并经过测试的评估板、用户指南以及从PC通过EVAL-SDP-CH1Z控制EVAL-AD7960FMCZ板的软件，请访问ADI公司网站：www.analog.com。

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WHHD.

图38. 32引脚引线框芯片级封装[LFCSP_WQ]
5 mm x 5 mm, 超薄体
(CP-32-7)
图示尺寸单位: mm

112408-A

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD7960BCPZ	−40°C至+85°C	32引脚引线框芯片级封装 [LFCSP_WQ]	CP-32-7
AD7960BCPZ-RL7	−40°C至+85°C	32引脚引线框芯片级封装 [LFCSP_WQ]	CP-32-7
EVAL-AD7960FMCZ		评估板	

¹ Z = 符合RoHS标准的器件。

注释