

修士論文

HL-LHC ATLAS 実験用新型ピクセル検出器の系統評価と 量産時に向けた試験管理システムの開発

東京工業大学 理学院物理学系物理学コース 陣内研究室
窪田ありさ (18M00432)

2020 年 3 月 31 日

Abstract

The ATLAS (A Toroidal LHC ApparatuS) Experiment at the CERN LHC (Large Hadron Collider) is a general-purpose particle physics experiment, and the ATLAS is also the name of the detector for the project to search for new particles and to high-precision measure the standard model particles. Through the operational run (2015–2018), the ATLAS detector recorded a large amount of data, which corresponded to an integrated luminosity of 139 fb^{-1} in proton-proton collisions at a center of mass energy of 13 TeV, and the next operational run will begin in 2021 and end in 2024. The amount of data combining these runs corresponds to 300 fb^{-1} .

An upgrade is planned to increase the instantaneous luminosity delivered by the LHC in what is called HL-LHC. The HL-LHC will operate at an instantaneous luminosity up to $7.5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ with a goal of an integrated luminosity of $3000\text{--}4000 \text{ fb}^{-1}$ by the end of 2037. The high luminosity will extend the reach of many new physics searches, but will cause the higher particle density, data rate and the radiation damage. In order to maintain the tracking performance, the current Inner Detector will be replaced by a new all-silicon tracker called the ITk (Inner Tracker).

The ITk will consist of several layers and disks, and their production will require the large amount of silicon pixel and strip modules. In the module assembly process, it is necessary to have quality control procedure for the module products to ensure their performances satisfied for the operation in HL-LHC. The main mass production is scheduled to start in 2021, and the production of the several prototype modules as the demonstration programme is scheduled in 2020. Therefore it is very important to establish the systems for quality control testing and management of performance results, and make them available for the productions.

This thesis reports the development of a new data management system cooperating with the YARR (Yet Another Rapid Readout) DAQ (Data AcQuisition) system. This system enables it manage data easily and smoothly by storing data locally in a database (“Local Database”) built at each production site. This system also includes several features for communicating with the Local Database, such as uploading, downloading, displaying data on a browser via a web interface, and performing analysis. This study confirmed the performance of the system satisfied in the several points such as storage, processing speed, and stability in order to manage data related to the quality control tests during the mass production. This thesis also reports the integrated evaluation results of the multiple chips of the prototype ASIC tested using the new management system. It has been decided the system will be introduced to many collaborative research institutes in Japan and overseas for the demonstration programme and the mass production.

概要

標準模型は、これまでの素粒子実験の結果をほとんど矛盾なく説明できる一方で、暗黒物質や階層性問題など、標準模型では説明できない問題も確認されている。超対称性 (SUSY) 理論は、標準模型を超える新物理の候補の一つであり、超対称性を仮定すると全ての標準模型粒子に対となる超対称性粒子の存在が予言される。多くの超対称性模型で超対称性粒子は 1–10 TeV 程度を想定しているため、大型加速器を用いた高エネルギー衝突実験での発見が期待される。

LHC-ATLAS 実験は、欧州原子核研究機構 (CERN) にある大型ハドロン衝突型加速器 (LHC) を用いた高エネルギー衝突実験であり、標準模型の精密測定や標準模型を超えた新物理の探索を目的とし、超対称性粒子の探索にも取り組んでいる。2018 年までの運転で、重心エネルギー 13 TeV で積分ルミノシティ 139 fb^{-1} のデータを取得し、2021–2024 年でさらに合計 300 fb^{-1} の取得が期待されている。

さらに統計量を向上させるために、2024 年から加速器をアップグレードし、瞬間ルミノシティを向上させる。このアップグレード計画のことを **HL-LHC(高輝度 LHC)** と呼ぶ。HL-LHC では、現在の 5–7 倍の瞬間ルミノシティを目指しており、最終的には積分ルミノシティ $3000\text{--}4000 \text{ fb}^{-1}$ の取得が実現され、新粒子探索の精度向上が期待されている。一方瞬間ルミノシティの増加によって、データレートや粒子密度の増加などの問題が生じ、検出器に厳しい性能が要求される。そのため現行 ATLAS 検出器の改良が予定されており、内部飛跡検出器は全てシリコンの **ITk(Inner Tracker)** に刷新される。

ITk は様々な部品から構成され、膨大な数の検出器の生産を行う。検出器の組み立て工程では、品質管理のために性能評価試験を繰り返し行う必要があるため、試験システムの確立とその結果の管理が非常に重要である。さらに、この量産は 2021 年、量産に向けた試験的小規模生産は 2020 年の春に開始が予定されており、それまでにシステムが確立され利用可能な状態であることが要求される。

本研究では、読み出しシステムとして利用される YARR(Yet Another Rapid Readout) システムに連携させる形で試験やその結果を管理するシステムを開発した。この試験管理システムでは、量産を行う各機関にデータベース (ローカルデータベース) を導入し、試験結果の円滑な管理を実現した。また、このデータベースに対する処理 (アップロード、ダウンロード、Web インターフェース、解析処理) を行う諸ツールを開発し、用途の拡大と、利便性の向上を行った。開発後は運用試験を行い、ローカルデータベースと諸ツールの性能が、量産時に使用されるシステムとしての要求を満たしているかを確認した。さらに、複数枚の試作 ASIC(RD53A) に対して、開発した試験管理システムを用いた性能評価試験を行い、その結果を系統的に評価した。

本研究を通じて、ローカルデータベースのデータ構造を確立し、諸ツールが十分利用可能であることを確認した。そして、ローカルデータベースシステムがストレージ及び解析用ツールとして量産時の要求を満たしていることを確認した。同システムは日本国内外の共同研究機関で導入され、2020 年の試験的小規模生産及び 2021 年の量産時に利用されることが決定したため、円滑な量産を行うことを目指したシステムの改善点を指摘し、今後の研究課題とした。

目次

概要	i
第 1 章 LHC ATLAS 実験とアップグレード計画	1
1.1 素粒子物理	1
1.2 LHC	6
1.3 ATLAS 実験	8
1.4 HL-LHC	17
第 2 章 新型シリコンピクセル検出器	25
2.1 シリコン検出器	25
2.2 ピクセルモジュール	31
2.3 RD53A	34
第 3 章 検出器量産と読み出し試験	40
3.1 検出器量産	40
3.2 読み出し試験	45
3.3 量産工程における課題と解決策	63
第 4 章 データベースシステムの開発	64
4.1 ローカルデータベースの概要	64
4.2 データベース構造設計	67
4.3 データベース処理プログラム	72
4.4 性能評価	80
第 5 章 試作 ASIC の読み出し試験	85
5.1 LBNL での読み出し試験	85
5.2 データサイズの見積もり	91
5.3 試作 ASIC の系統的評価	94
5.4 結論	98
第 6 章 まとめ	99
6.1 結論	99
6.2 今後の課題	100

付録 A	読み出し試験結果データ	101
A.1	YARR SW 出力ファイル	101
A.2	解析処理ツール出力ファイル	105
付録 B	データ構造	109
B.1	先行研究	109
B.2	本研究	111
付録 C	性能評価試験データ	117
C.1	圧縮性能評価	117
付録 D	評価試験考察	118
D.1	RD53A 寄生容量による不具合	118
D.2	ASIC 単位の評価結果考察	119
D.3	ピクセル単位の評価結果考察	121
D.4	Good Pixel のみを用いた再評価結果	123
参考文献		125
謝辞		129

第1章

LHC ATLAS 実験とアップグレード計画

欧州原子核研究機構 (CERN) にある大型ハドロン衝突型加速器 (LHC) では、標準模型の精密測定や、標準模型を超えた新物理の探索を目的とした実験が行われており、ATLAS(A Troidal LHC ApparatuS) 実験はそのうちの 1 つである。本章では 1.1 節で探索対象の素粒子物理について、1.2 節と 1.3 節で LHC と ATLAS 実験について、1.4 節で LHC のアップグレード計画である HL-LHC とそれに伴う ATLAS 検出器アップグレードについて説明する。

1.1 素粒子物理

素粒子とは自然界に存在する物質を分割していったときの最小単位である。現代素粒子物理学における基本的な枠組みである“標準模型”は、1970 年台半ばには理論として体系化され、現在までに標準模型の構成粒子は実験的に全て観測された。

1.1.1 標準模型^[1]

自然界には強い相互作用、電磁相互作用、弱い相互作用、重力相互作用の 4 種類の相互作用がある。このうち、強い相互作用について記述する量子色力学 (Quantum ChromoDynamics、QCD) と、電磁相互作用と弱い相互作用を統一した電弱理論 (グラショウ・ワインバーグ・サラム理論) を合わせた理論を標準模型と呼ぶ。重力相互作用は他の 3 つの相互作用に比べ極めて小さいため、素粒子反応中の影響をほとんど観測することができず、標準模型でも扱われない。

標準模型は物質を構成する粒子、相互作用を媒介する粒子、素粒子に質量を与える粒子の 3 種類に分類される 17 の粒子で記述される。表 1.1、表 1.2 に標準模型の構成粒子を示す。

物質を構成する粒子はスピン 1/2 を持つフェルミオンであり、クォークとレプトンに大別される。クォーク、レプトンともに 6 フレーバーずつあり、それぞれ 3 組の弱い相互作用をする組み合わせに分けられる。この 3 組の分類を世代と呼び、各世代間は質量値が異なることを除いて同じ性質を持つ。クォークは複合粒子として存在し、この複合粒子をハドロンと呼ぶ。クォークは強い相互作用の電荷である色電荷を持つ。色電荷には 3 種類あり、光の三原色になぞらえて赤 (R)、緑 (G)、青 (B) と名付けられる。反クォークは色電荷の補色である \bar{R} 、 \bar{G} 、 \bar{B} の色電荷を持つ。ハドロンの構成クォークの色電荷の合計は白色となる。一方レプトンは単体で存在し、色電荷を持たないため強い相互作用の影響を受けない。

各相互作用は局所ゲージ対称性に基づいて記述され、物質を構成する粒子と相互作用するゲージ場が

表 1.1 標準模型粒子(フェルミオン)。

	世代	粒子名	スピン	電荷 [e]	質量 [MeV/c ²]
クォーク	1	アップ <i>u</i>	1/2	2/3	~2.3
	2	チャーム <i>c</i>			~1280
	3	トップ <i>t</i>			~ 1.73×10^5
	1	ダウン <i>d</i>			~4.8
	2	ストレンジ <i>s</i>		1/2	~95
	3	ボトム <i>b</i>		~4200	
レプトン	1	電子ニュートリノ ν_e	1/2	0	$< 2.2 \times 10^{-6}$
	2	ミューニュートリノ ν_μ			< 0.19
	3	タウニュートリノ ν_τ			< 18
	1	電子 <i>e</i>			0.511
	2	ミューオン <i>μ</i>		1/2	105.7
	3	タウ τ		1777	

表 1.2 標準模型粒子(ボソン)。

	粒子名	スピン	電荷 [e]		質量 [GeV/c ²]
ゲージボソン	グルーオン <i>g</i>	1	0	強い相互作用	0
	荷電ウィークボソン W^\pm	1	±1	弱い相互作用	80.4
	中性ウィークボソン Z^0	1	0	弱い相互作用	91.2
	フォトン γ	1	0	電磁相互作用	0
スカラーボソン	ヒッグスボソン H^0	0	0	質量を与える	125

導入される。このときゲージ場と粒子間の相互作用を媒介する項は、場の量子論的にスピン 1 を持つ粒子とみなすことができ、この粒子をゲージボソンと呼ぶ。強い相互作用を記述する量子色力学は SU(3) ゲージ対称性に基づいており、ゲージボソンはグルーオン *g* と呼ばれる。グルーオンは色電荷とその補色の組み合わせから白色を除いた $3 \times 3 - 1$ の 8 種類の色電荷を持ち、色電荷を持つ粒子(クォーク、グルーオン)と結合して強い相互作用を媒介する。電磁相互作用と弱い相互作用を記述する電弱理論は SU(2) × U(1) ゲージ対称性に基づき、弱超電荷を持つ粒子と結合して弱い相互作用を媒介するゲージボソンを荷電ウィークボソン W^\pm と中性ウィークボソン Z^0 、電荷を持つ粒子と結合して電磁相互作用を媒介するゲージボソンをフォトン γ と呼ぶ。

ゲージ対称性が保たれている場合、ゲージボソンは質量を持たないことが要求されるが、弱超電荷を持つ複素スカラー場との相互作用によって SU(2) × U(1) ゲージ対称性が自発的に破れ、弱い相互作用をするウィークボソンに質量が与えられる。これをゲージ対称性の自発的破れと言い、電弱理論において自発的対称性の破れるエネルギー スケールは 10^2 GeV 程度(電弱スケール)である。またこの複素スカラー場はフェルミオンとも結合し、自発的対称性の破れによってフェルミオンに質量を与える。この質量生成機構は 1964 年に提唱され(ヒッグス機構)^[2]、ヒッグス場と粒子間の相互作用を媒介する項は、スピン 0、電荷 0 のスカラーボソンとみなされ、この粒子をヒッグスボソン(ヒッグス)と呼ぶ。ヒッグスは標準模型における最後の未発見粒子であり、2012 年に CERN の LHC で行われている ATLAS 実験^[3]と CMS 実験^[4]で発見された。

1.1.2 標準模型を超えた物理の探索

標準模型は素粒子実験の結果をほとんど矛盾なく説明できる一方で、標準模型では説明できない問題も確認されている。以下に標準模型の抱える問題の一部を挙げる。

- 暗黒物質

渦巻き銀河の回転速度を観測した結果、銀河内の星や星間ガスの物質の質量から期待される回転速度に対して観測値の方が遙かに速いことがわかった。また、星や銀河などの光源と地球までの間に巨大な重力源があるときに周辺の時空が曲げられ、対象の光源が歪んだ像として観測される重力レンズ効果を観測し、光を発さない質量を持つ物質の存在が確認された。

これらの観測結果は、重力相互作用の影響を受けるが観測できない物質の存在を示唆しており、この物質を暗黒物質と呼ぶ。暗黒物質は、宇宙線粒子との電磁相互作用や強い相互作用が観測されていないことから、電荷及び色電荷を持たないと考えられる。電弱スケール程度の質量を持ち、標準模型粒子との相互作用が非常に弱く、中性で安定な粒子である **WIMP**(Weakly Interacting Massive Particle) は暗黒物質の候補の 1 つである。

- 階層性問題

電弱理論では、電磁相互作用を記述する U(1) ゲージ群と弱い相互作用を記述する SU(2) ゲージ群を 1 つの $SU(2) \times U(1)$ ゲージ群に統合することによって 2 つの相互作用を統一した。このとき新たに導入された $SU(2) \times U(1)$ ゲージ対称性は電弱スケール (10^2 GeV 程度) において自発的に破れすることが要請された。

電弱相互作用と強い相互作用を統一する大統一理論 (Grand Unified Theory, GUT) は、電弱相互作用を記述する $SU(2) \times U(1)$ ゲージ群と強い相互作用を記述する SU(3) ゲージ群を 1 つのゲージ群に統合するものであり、このゲージ群における対称性は 10^{16} GeV 程度のエネルギー階層 (GUT スケール) において自発的に破れることが要請される。

さらに重力の統一も加えた理論である超弦理論では、重力相互作用を記述するゲージ群も合わせて 1 つのゲージ群にまとめられ、同様に 10^{19} GeV のエネルギー階層 (プランクスケール) において自発的に破れることが要請される。

電弱スケールと GUT スケール、プランクスケールのエネルギー階層の間に大きな隔たりは不自然であり、これをゲージ階層性問題と呼ぶ。

- ヒッグスの質量

ヒッグスの質量項にはフェルミオンのループとの結合を介した質量補正項が加えられ、その大きさは標準模型が有効なエネルギー階層の 2 乗に比例する。補正項は、標準模型がプランクスケールまで有効であると仮定した場合が最大であり、 $\mathcal{O}(10^{38})$ GeV の値となる。一方実際に観測されているヒッグスの質量は 125 GeV であり、補正項を加えると 30 枠以上の不自然な調整が要求されてしまう。

表 1.3 超対称性粒子。

	粒子名	スピン	対応する標準模型粒子
スクォーク	$\tilde{u}, \tilde{c}, \tilde{t}$	0	u, c, t
	$\tilde{d}, \tilde{s}, \tilde{b}$		d, s, b
スレプトン	$\tilde{\nu}_e, \tilde{\nu}_\mu, \tilde{\nu}_\tau$		ν_e, ν_μ, ν_τ
	$\tilde{e}, \tilde{\mu}, \tilde{\tau}$		e, μ, τ
ゲージーノ	グルイーノ \tilde{g}	1/2	グルーオン
	ヴィーノ $\tilde{W}^\pm, \tilde{W}^0$		ヴィークボソン
	ビーノ \tilde{B}^0		フォトン
ヒグシーノ	$\tilde{H}_1^0, \tilde{H}_2^0, \tilde{H}^\pm, \tilde{A}^0$	1/2	ヒッグス h, H, A, H^\pm
グラビティーノ	\tilde{G}	3/2	(グラビトン G)

これらの問題を解決するために標準模型を超える理論模型がいくつも提唱されている。超対称性 (**Supersymmetry, SUSY**) 理論は新物理候補の 1 つである。超対称性とはボソンとフェルミオンを交換する対称性であり、超対称性を仮定するとすべての標準模型粒子に対して超対称変換した粒子が導入される。表 1.3 に超対称性粒子を示す。

クォークとレプトンに対する超対称性粒子はそれぞれスクォークとスレプトン、ゲージボソンに対する超対称性粒子はゲージーノ、ヒッグスに対する超対称性粒子はヒグシーノと呼ばれ、すべて標準模型粒子にチルダをつけた記号で表される。電弱ゲージーノ ($\tilde{B}^0, \tilde{W}^\pm, \tilde{W}^0$) とヒグシーノ ($\tilde{H}_1^0, \tilde{H}_2^0, \tilde{H}^\pm, \tilde{A}^0$) は混合し、質量固有状態 $\tilde{\chi}_1, \tilde{\chi}_2, \tilde{\chi}_3, \tilde{\chi}_4$ で観測されると考えられる。この質量固有状態のうち電荷を持つものをチャージーノ $\tilde{\chi}_i^\pm$ 、中性のものをニュートラリーノ $\tilde{\chi}_i^0$ と呼ぶ。また、標準模型粒子には含まれない重力相互作用を媒介する粒子のことをグラビトンと呼び、グラビトンに対する超対称性粒子はグラビティーノと呼ばれる。超対称性粒子は標準模型粒子に対してスピンが 1/2 異なる以外はすべて同じ性質を持つとされる。しかし、電子と同じ質量を持つ超対称性粒子などが観測されていないことから、超対称性は破れていて、最も軽い超対称性粒子 (Lightest SUSY Particle, LSP) でも 1 TeV 程度の質量を持つと考えられている。

超対称性理論を仮定すると、標準模型では説明できなかった問題が以下のように説明できる。

①暗黒物質

超対称性理論の多くの模型で式 (1.1) で記述される R パリティと呼ばれる対称性が導入される。

$$R = (-1)^{2S+3B-L} \quad (1.1)$$

$$\begin{cases} S: \text{スピン} \\ B: \text{バリオン数} \\ L: \text{レプトン数} \end{cases}$$

標準模型粒子の R パリティは正 (+1) であるのに対し、超対称性粒子の R パリティは負 (-1) である。R パリティが保存するとき、超対称性粒子は自分より軽い標準模型粒子と超対称性粒子に崩壊する。LSP は自分より軽い超対称性粒子が存在しないためこれ以上崩壊することができず、安定粒子となる。従って中性の LSP($\tilde{\nu}, \tilde{B}^0, \tilde{W}^0, \tilde{H}^0, \tilde{G}$) は暗黒物質の候補となり得る。

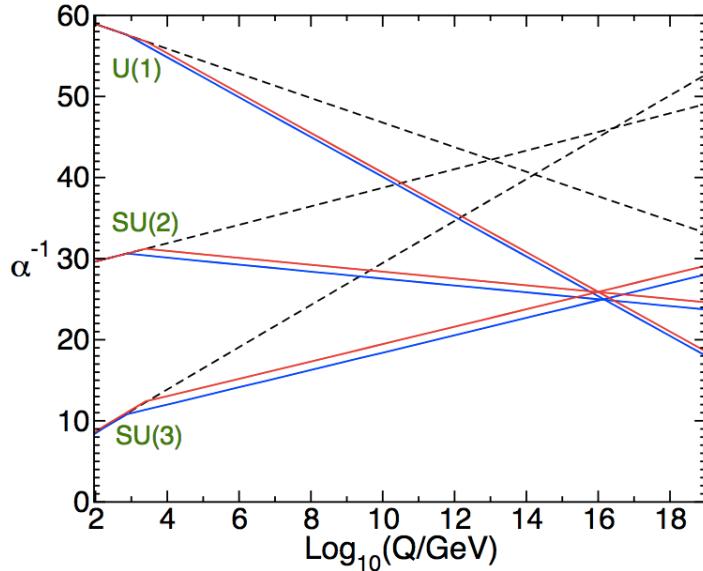


図 1.1 超対称性を導入した大統一理論におけるゲージ場の強さ^[5]。横軸はエネルギー階層、縦軸はゲージ場の強さに相当するゲージ結合定数の逆数を示しており、U(1) は電磁相互作用、SU(2) は弱い相互作用、SU(3) は強い相互作用を表す。実線は超対称性を導入した大統一理論 (SU(5))、点線は標準模型を SU(5) ゲージ群に拡張した場合を示している。超対称性を導入した場合は 1×10^{16} GeV のエネルギー階層でゲージ場の強さが 1 点で交わっていることがわかる。なお、実線に 2 種類あるのは超対称性粒子の質量を変化させると挙動が変化することを示しており、ゲージ場の強さが 1 点で交差するのは超対称性粒子の質量が 1–10 TeV 付近の場合であることがわかっている。

②階層性問題

図 1.1 に示すように、大統一理論に超対称性を導入した場合、電磁相互作用、弱い相互作用、強い相互作用の 3 つのゲージ場の強さが 1×10^{16} GeV で 1 つの力に統一されることが示唆された^[5]。このとき同時に、 $SU(2) \times U(1)$ ゲージ対称性が電弱スケールにおいて自発的に破れることが要請されるため、階層性問題の不自然さを説明することができる。

③ヒッグスの質量

超対称性粒子がある場合、ヒッグスと標準模型フェルミオンとの結合を考えたとき、超対称性変換したフェルミオン (スカラーフェルミオン) との結合を同様に考えることができる。フェルミオンとスカラーフェルミオンはスピンが $1/2$ ずれているため、互いに打ち消しあう量子効果が働く。これによってヒッグスの高次の質量補正項が相殺されるため、不自然な補正が必要なくなる。

このように超対称性理論は標準模型の抱える問題を解決する可能性を持っている。超対称性理論を仮定すると、前述したように多くの新粒子が存在することを予言するため、超対称性粒子の探索によって超対称性理論を検証することができる。特に超対称性を導入した大統一理論で期待される超対称性粒子の質量は 1–10 TeV 程度と重く、直接生成によって観測するためには高エネルギーでの粒子生成過程が必要であり、CERN の LHC などの大型加速器を用いた高エネルギー加速器衝突実験での発見が期待される。

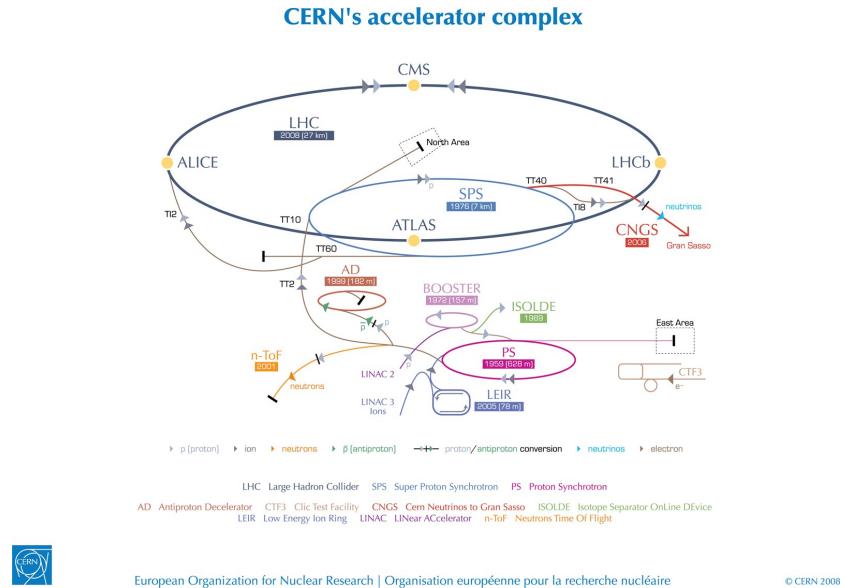


図 1.2 CERN 加速器の全体像^[7]。ビームパイプ内の粒子(陽子 p またはイオン ion)は線形加速器(Linac)、陽子シンクロトロンブースター(PSB)、陽子シンクロトロン加速器(PS)、スーパー陽子シンクロトロン加速器(SPS)を経て段階的に加速され、LHC に右回りと左回りの両方に入射され、LHC 上の 4 つの衝突点にある巨大検出器(ATLAS、CMS、ALICE、LHCb)で衝突する。

1.2 LHC

1.2.1 加速器

Large Hadron Collider(LHC)^[6] はスイス・ジュネーブの欧州原子核研究機構(CERN)によって地下約 100 m に建設された、周長約 27 km の世界最大のハドロン衝突型円形加速器である。

図 1.2 に LHC と 4 つの前段加速器を含む CERN の加速器の全体図を示す。LHC はビーム偏向用の双極超伝導磁石、ビーム収束用の四極超伝導磁石、ビーム加速用の超伝導加速空洞からなる 2 本のビームパイプで構成される。陽子または重イオンの粒子ビームは 4 つの前段加速器によって段階的に加速されてから LHC に投入され、互いに逆向きに加速された後に衝突する。陽子ビームの場合、 1.15×10^{11} 個の陽子がバンチとして加速される。以下に陽子ビームの衝突までの流れを示す。

1. 電場の中で水素原子から電子を引き剥がして陽子が生成される。
2. 線形加速器(Linac2)で 50 MeVまで加速される。
3. 陽子シンクロトロンブースター(PSB)に投入され 1.4 GeVまで加速される。
4. 陽子シンクロトロン加速器(PS)に投入され 25 GeVまで加速される。
5. スーパー陽子シンクロトロン加速器(SPS)に投入され 450 GeVまで加速される。
6. LHC の 2 本のビームパイプに右回りと左回りとそれぞれ入射され 6.5 TeVまで加速される。
7. LHC 上の衝突点で回転周波数約 11 kHzで衝突する。

LHC は陽子バンチを 7 TeVまで加速できるように設計されており、2018 年までの Run2 の時点で衝突重心系エネルギーは **13 TeV** に達した。LHC 上の衝突点は 4箇所あり、それぞれの点に ATLAS、CMS、ALICE、LHCb の巨大検出器が設置され、実験が行われている。

1.2.2 ルミノシティ

陽子ビームの強度を表すパラメータとして瞬間ルミノシティ L が用いられる。 L はビームパラメータに依存し、式 (1.2) で表される^[8]。括弧内の数値は現行 LHC における陽子ビームエネルギー 7 TeV 時の設計値を示す。

$$L = \gamma_r \frac{N_b^2 n_b f_{rev}}{4\pi \varepsilon_n \beta^*} R \quad (1.2)$$

$$\left\{ \begin{array}{ll} \gamma_r : & \text{陽子ビームのローレンツ因子 (約 7000)} \\ N_b : & 1 \text{ バンチあたりの陽子数 } (1.15 \times 10^{11} \text{ 個}) \\ n_b : & 1 \text{ ビームあたりのバンチ数 (2808 バンチ)} \\ f_{rev} : & \text{ビームの回転周波数 (約 11 kHz)} \\ \varepsilon_n : & \text{ビーム軸に垂直な平面でのビームの広がり } (3.75 \mu\text{m}) \\ \beta^* : & \text{衝突点における振幅の大きさ (0.55 m)} \\ R : & \text{幾何学的損失係数} \end{array} \right.$$

分子の $N_b^2 n_b f_{rev}$ は単位時間当たりに衝突点を通過する陽子数に相当し、ビーム電流と呼ばれる。分母の $\varepsilon_n \beta^*$ は衝突点でのビームサイズに相当する。 R は幾何学的損失係数と呼ばれる幾何学的にビームが損失する量であり、ビームが正面衝突して損失を受けない場合 $R = 1$ である。LHC では有限の交差角のある状態で衝突させるため、式 (1.3) で損失係数 ($0 < R < 1$) が与えられる。括弧内の数値は現行 LHC における陽子ビームエネルギー 7 TeV 時の設計値を示し、損失係数は $R = 0.841$ の値を得る。

$$R = 1 / \sqrt{1 + \left(\frac{\theta_c \sigma_z}{2\sigma^*} \right)^2} \quad (1.3)$$

$$\left\{ \begin{array}{ll} \theta_c : & \text{衝突時ビーム交差角 (285 \mu rad)} \\ \sigma_z : & \text{衝突時バンチ長の RMS 値 (7.55 cm)} \\ \sigma^* : & \text{衝突時ビームサイズの RMS 値 (16.7 \mu m)} \end{array} \right.$$

つまり瞬間ルミノシティは、単位時間・単位面積当たりにビーム中の陽子同士が反応する回数と言える。現行 LHC における陽子ビームエネルギー 7 TeV 時の設計値は $L = 1 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ である。

反応断面積 σ の物理事象が 1 秒あたりに生じる事象数 N_{event} は L を用いて式 (1.4) で与えられる。

$$N_{\text{event}} = \int L dt [\text{cm}^{-2}] \times \sigma [\text{cm}^2] \quad (1.4)$$

ここで L を時間で積分した $\int L dt$ は積分ルミノシティと呼ばれ、単位には [b^{-1} (インバースバーン)] を用いる。 $[\text{b}(\text{バーン})]$ は $1 \text{ b} = 1 \times 10^{-28} \text{ m}^2$ で定義される量であり、物理事象の反応断面積 σ の単位として用いられる。

式 (1.4) より、物理事象の生成事象数を増加させるためには瞬間ルミノシティを大きくする必要があることがわかる。瞬間ルミノシティを大きくするには以下の条件が要求される。

- ビームのエネルギーを大きくする
- ビームの電流量を大きくする
- 衝突時のビームのサイズを小さくする
- 幾何学的損失係数を大きくする

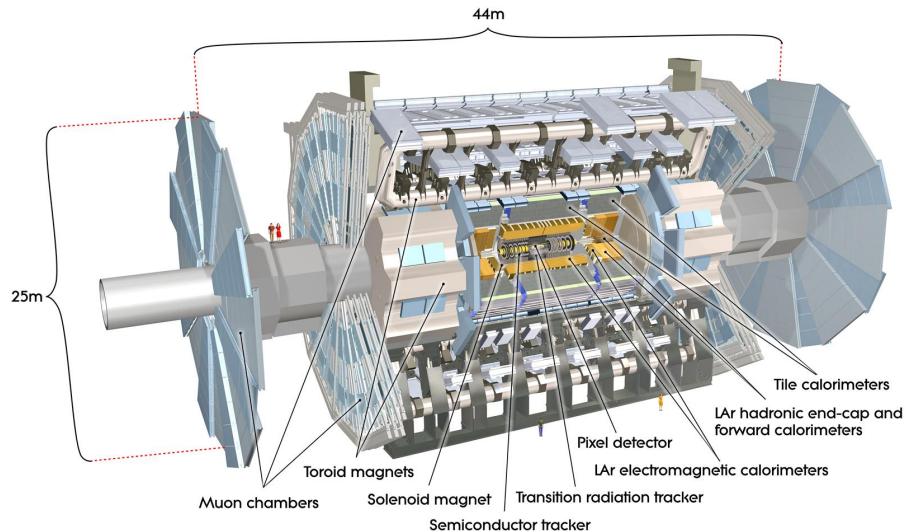


図 1.3 ATLAS 検出器の全体像^[9]。水平方向にビームパイプが通り、内側から内部飛跡検出器、ソレノイド磁石、カロリメータ、トロイド磁石、ミューオン検出器が陽子陽子衝突点を囲うように配置されている。

1.3 ATLAS 実験

A Troidala LHC ApparatuS(ATLAS) 実験は LHC 上の衝突点の 1 つに設置されている ATLAS 検出器を用いた実験であり、ヒッグスの精密測定を通じた質量の起源解明から、超対称性模型などの標準模型を超える新物理探索に至る幅広い物理テーマを目的としている。CMS 実験も同様の目的を持つ実験であるが、検出器の技術や設計が異なるため、互いに追試を行うことが可能となっている。

ATLAS 検出器は直径約 25 m、全長約 46 m、総重量約 7000 t の円筒状の汎用検出器であり、陽子陽子衝突により生じる粒子の性質を測定するため、ビーム衝突点を中心に複数の検出器から構成されている。図 1.3 に ATLAS 検出器の全体図を示す。中心にビームパイプが通り、衝突点に近い位置から、内部飛跡検出器、ソレノイド磁石、カロリメータ、トロイド磁石、ミューオン検出器が設置されている。

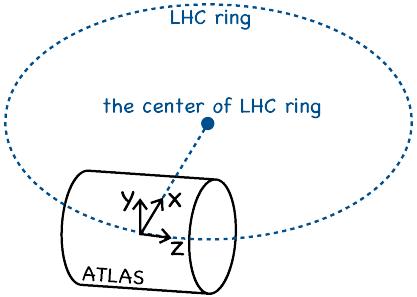


図 1.4 ATLAS 検出器の (x, y, z) 座標系。衝突点を原点、LHC リングの中心方向を x 軸、天頂方向を y 軸、ビーム方向を z 軸として定義される。 $+z$ 方向を Side-A、 $-z$ 方向を Side-C と呼ぶ。

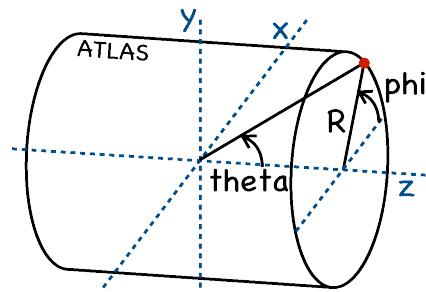


図 1.5 ATLAS 検出器の (R, ϕ, z) 座標系。 z 軸からの距離を R 、 x 軸からの角度を ϕ 、ビーム方向を z 軸として定義される。また、原点に対する (R, ϕ, z) ベクトルと z 軸のなす角度を θ で定義し、 $\eta \equiv -\ln(\tan \frac{\theta}{2})$ で擬ラピディティ η が定義される。

1.3.1 ATLAS 検出器における座標系とパラメータ

ATLAS 検出器の座標系は直交座標系 (x, y, z) と円筒座標系 (R, ϕ, z) で定義される。

図 1.4 は直交座標系 (x, y, z) を示し、原点は衝突点、 x 軸は検出器中心から LHC ビームリング中心への方向、 y 軸は天頂方向、 z 軸はビーム軸方向で定義される。

図 1.5 は円筒座標系 (R, ϕ, z) を示し、 R は z 軸からの距離、 ϕ は z に直行する面 (xy 平面) 内での水平方向 (x 軸) からの角度、 z 軸はビーム軸方向で定義される。また衝突点を原点に取ったときの z 軸に対する天頂角を θ とおくと、ラピディティの高エネルギー極限値である擬ラピディティは θ の関数で与えられる。ラピディティ y はエネルギー E 、運動量の z 成分が p_z の粒子に対して式 (1.5) で定義される。

$$y \equiv \frac{1}{2} \ln \left(\frac{E + p_z}{E - p_z} \right) \quad (1.5)$$

高エネルギー粒子において質量はエネルギーに比べて小さく、 $p_z \sim E \cos \theta$ で近似できることから

$$y \sim \frac{1}{2} \ln \left(\frac{1 + \cos \theta}{1 - \cos \theta} \right) = \frac{1}{2} \ln \left(\frac{1}{\tan^2 \frac{\theta}{2}} \right) \quad (1.6)$$

擬ラピディティ η は右辺の式で与えられる θ の関数である。

$$\eta \equiv -\ln \left(\tan \frac{\theta}{2} \right) \quad (1.7)$$

ATLAS 検出器において、 $|\eta|$ が小さく z 軸を中心に円筒状に配置される部分をバ렐部、 $|\eta|$ が大きく z 軸に対し垂直な面に配置される部分をエンドキャップ部と呼ぶ。

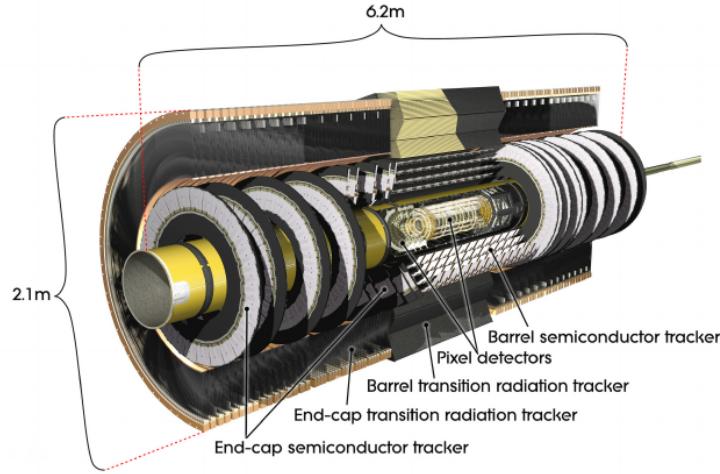


図 1.6 内部飛跡検出器の全体像^[10]。水平方向がビーム軸、中心に衝突点が位置し、円筒状のバレル層、ディスク状のエンドキャップ層、外側にソレノイド磁石が配置されている。ATLAS 検出器において衝突点の最近傍に配置される検出器で、主に粒子の飛跡再構成と運動量測定を行う。

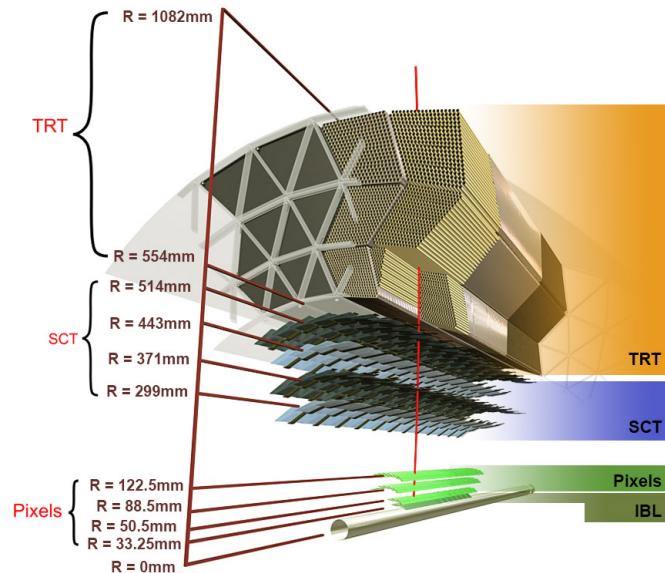


図 1.7 内部飛跡検出器の断面図^[10]。一番下の円柱がビームパイプであり、その外側に IBL を含むピクセル検出器 4 層、ストリップ検出器 (SCT)4 層、遷移放射検出器 (TRT) が配置されている。

1.3.2 内部飛跡検出器

図 1.6 に内部飛跡検出器の全体図を示す。内部飛跡検出器は ATLAS 検出器で衝突点に最も近い位置に配置されている検出器である。内部飛跡検出器の外側には超伝導ソレノイド磁石が配置されており、衝突点から発生する荷電粒子は磁場で飛跡を曲げられながら内部飛跡検出器を通過する。内部飛跡検出器は荷電粒子の検出点から飛跡を再構成し、飛跡の曲率から粒子の運動量を測定する。

図 1.7 に内部飛跡検出器の断面図を示す。内部飛跡検出器は内側から順にピクセル検出器、ストリップ検出器、遷移放射検出器で構成されている。ピクセル検出器及びストリップ検出器はシリコン検出器、遷移放射検出器はガスドリフトチューブ検出器を用いている。

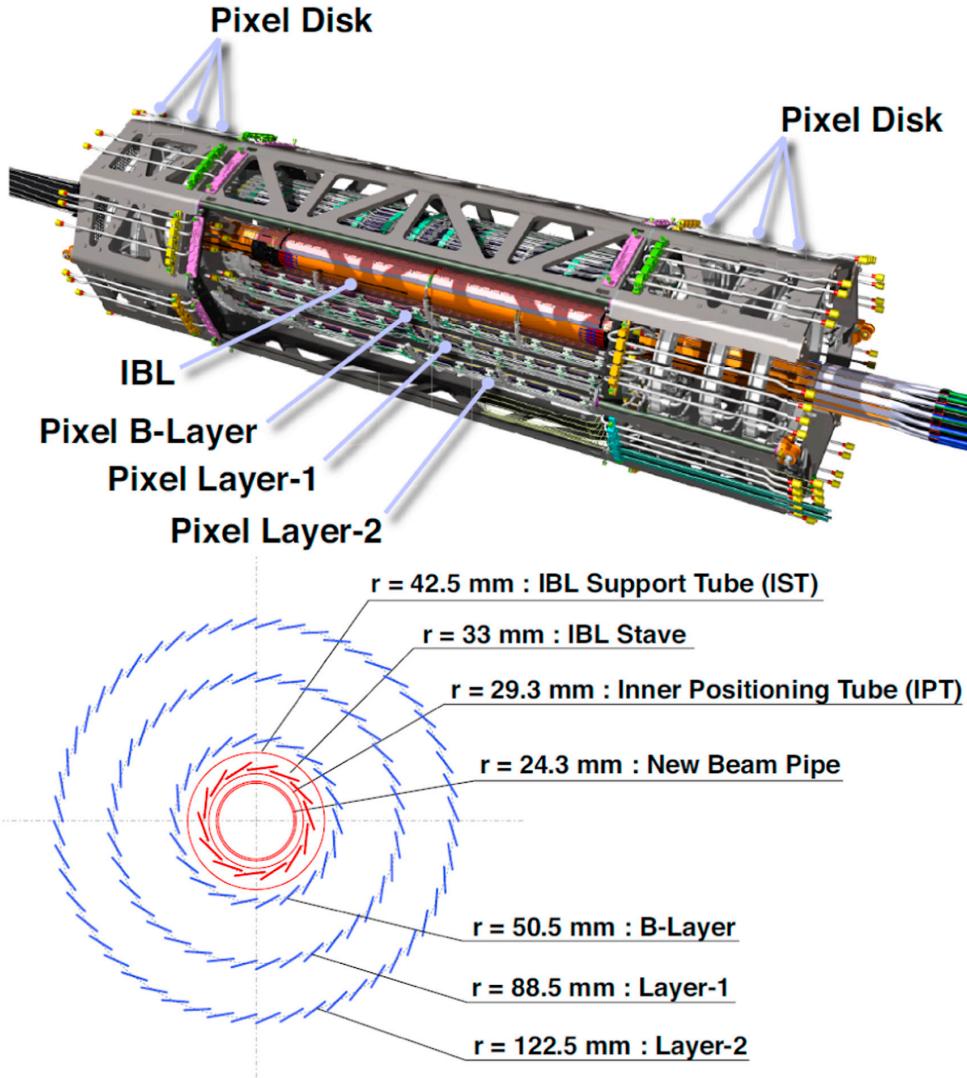


図 1.8 ピクセル検出器の全体像^[11]。上：ピクセル検出器全体の模式図。下：ピクセル検出器の断面図。バレル部の4層は内側から IBL、B-Layer、Layer-1、Layer-2 と呼ばれ、2014年に導入された IBL のみ使用されている ASIC が他3層と異なる。

ピクセル検出器

ピクセル検出器は内部飛跡検出器の最内層に配置される検出器であり、円筒状のバレル層が4層、ディスク状のエンドキャップ層が6層(片側3層)で構成される。図1.8にピクセル検出器の全体図を示す。

バレル部の最内層は IBL(Insertable B-Layer)と呼ばれ、2014年に設置され2015年(Run2)に稼働を開始した。IBLを除くピクセル検出器では、センサーに $250\text{ }\mu\text{m}$ 厚で $50 \times 400\text{ }\mu\text{m}^2$ ピクセルサイズの n⁺-in-n 型プラナーセンサー^{*1}、読み出しチップに $50 \times 400\text{ }\mu\text{m}^2$ ピクセルサイズの FE-I3 と呼ばれる ASIC が使用されている。IBLでは、センサーに $200\text{ }\mu\text{m}$ 厚で $50 \times 250\text{ }\mu\text{m}^2$ ピクセルサイズの n⁺-in-n 型プラナーセンサーの他に 3D センサー^{*2}、読み出しチップに $50 \times 250\text{ }\mu\text{m}^2$ ピクセルサイズの FE-I4 と呼ばれる ASIC が使用されている。

*1 半導体表面に電極となる半導体を埋め込んだ構造のセンサー

*2 半導体に柱状の電極となる半導体を埋め込んだ構造のセンサー

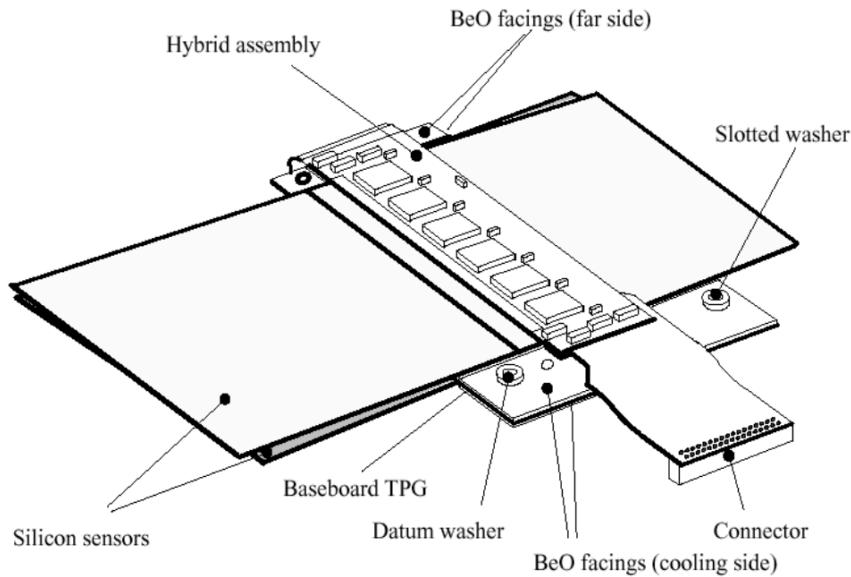


図 1.9 ストリップ検出器のモジュール(バレル部)^[12]。2枚のシリコンマイクロストリップセンサーが 40 mrad ずらして重ねられ、両面に実装されている基板によって信号が読み出される。2枚のセンサーの信号を組み合わせることによって二次元的に位置測定することが可能となり、バレル部における 1 モジュールあたりの分解能は $R-\phi$ 方向に 17 μm 、 z 方向に 580 μm である。

ストリップ検出器

ストリップ検出器はピクセル検出器の外側に配置される検出器であり、円筒状のバレル層が 4 層、ディスク状のエンドキャップ層が 18 層(片側 9 層)で構成される。

ストリップ検出器のモジュールは、80 μm ピッチのシリコンマイクロストリップセンサーが 2 枚重ねられた構造をしている。このとき重ねる角度を 40 mrad ずらすことによって、センサーに対する入射位置を二次元的に位置測定することができる(図 1.9)。

遷移放射検出器

遷移放射検出器は内部飛跡検出器の最外層に配置される検出器であり、円筒状のバレル層が 73 層、ディスク状のエンドキャップが 320 層(片側 160 層)で構成される。

遷移放射検出器は直径 4 mm で長さ 144 cm のドリフトチューブ(ストローチューブ)を重ね、その隙間をファイバーで埋めた構造をしている。ストローチューブは中心に直径 31 μm の金メッキタングステンワイヤーがアノードとして張られ、Xe 70%、CO₂ 27%、O₂ 3% の混合ガスが封入されている。

1.3.3 カロリメータ

カロリメータは内部飛跡検出器と超伝導ソレノイド磁石の外側に、 $|\eta| < 5$ の広い領域で配置されている検出器であり、粒子が検出器を通過するときに損失するエネルギーを測定する。粒子によって物質との相互作用が異なるために、主に電子・光子のエネルギー測定を目的とする電磁カロリメータと、ハドロンのエネルギー測定を目的とするハドロンカロリメータに分けられ、ハドロンカロリメータは電磁カロリメータの外側に配置される。

電磁カロリメータはサンプリングカロリメータに分類され、吸収体 (Absorber) に鉛、検出部 (Detector) に液体アルゴンが使用されている。電子や光子は、液体アルゴンの層において電離作用による対生成や制動放射を繰り返しながら大量の電子 (電磁シャワー) を生成する。この電磁シャワーが損失エネルギーに比例することを利用して、電磁カロリメータは電子や光子のエネルギーを測定する。電子や光子は典型的には電磁カロリメータの中で全てのエネルギーを失って止まる。

ハドロンカロリメータはバレル部はタイルカロリメータ、エンドキャップ部はサンプリングカロリメータで構成され、タイルカロリメータは鉄の吸収体とタイル状のシンチレータ、サンプリングカロリメータは銅の吸収体と液体アルゴンが使用されている。ハドロンカロリメータは電磁カロリメータで止められなかった粒子、特にジェットと呼ばれるハドロンの集合体のエネルギーを測定する。

ほとんどの粒子はカロリメータの中で全てのエネルギーを失って止まるように設計されており、通過する粒子はミューオンまたはニュートリノであると判断できる。

1.3.4 ミューオン検出器

ミューオン検出器は ATLAS 検出器の最外層に配置され、物質の透過力が高いためにカロリメータでも止められず通り抜けてくるミューオンを検出する。ミューオン検出器は、ミューオンの精密な運動量測定に加えて、トリガー信号の生成を目的とする。

ミューオンの運動量は MDT(Monitored Drift Tube) と CSC (Cathode Strip Chamber) で測定される。MDT はバレル部・エンドキャップ部の広い範囲に入りされ、ドリフトチューブが 3–4 層に重ねられた構造を持つ。CSC はカソードストリップ読み出し MWPC(Multi-Wire Proportional Chamber) であり、中性子に対する感度が低いことから放射線量が高い領域 ($2.0 < |\eta| < 2.7$) に配置される。ミューオンが検出器を通過する際に電離電子が発生し、ワイヤーに到達するまでの時間からミューオンの通過位置を測定する。

トリガー用の検出器はバレル部の RPC(Resistive Plate Chamber) とエンドキャップ部の TGC(Thin Gap Chamber) で構成されている。これらの検出器は、ドリフト時間が短いことによって高い時間分解能を持つため、衝突バンチの識別を行うことができる。この時間情報に、大まかに測定した運動量を組み合わせることによってトリガー信号を生成する。

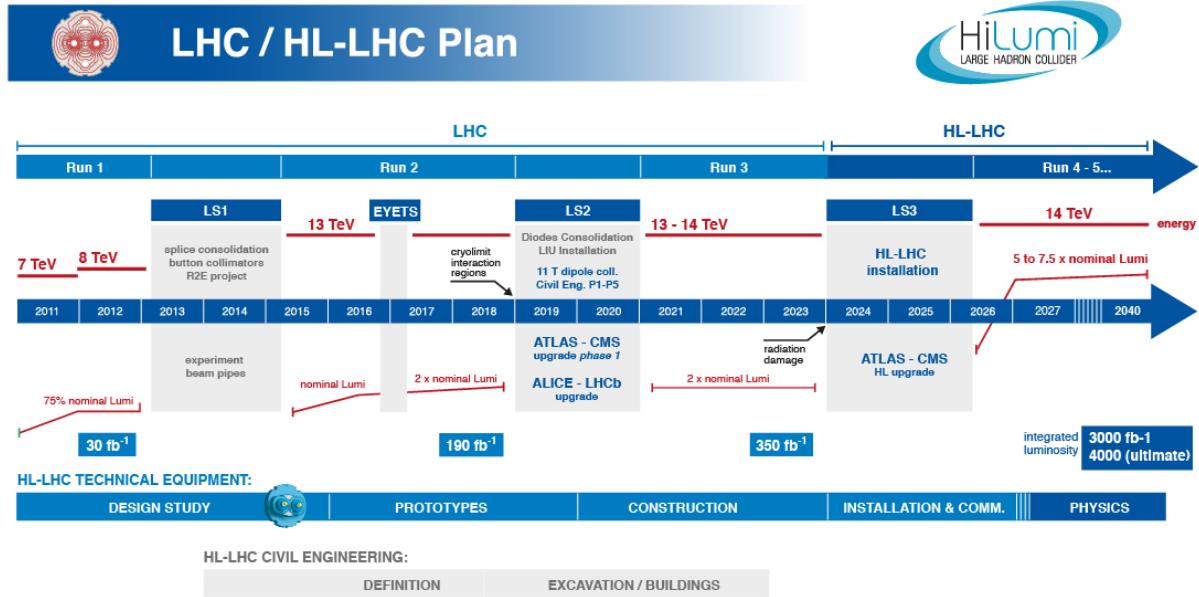


図 1.10 LHC の運転とアップグレード計画^[13]。2018 年に Run2 の運転が終了し、Long Shutdown 2(LS2) 中である現在は 2021 年からの Run3 に向けた検出器のメンテナンスやアップグレードが行なわれている。

1.3.5 超対称性粒子の探索結果

図 1.10 は LHC の運転とアップグレードのスケジュールである。LHC は Run1(2010–2012 年) で重心エネルギー 7–8 TeV で積分ルミノシティ 20 fb^{-1} 、Run2(2015–2018 年) で重心エネルギー 13 TeV で積分ルミノシティ 139 fb^{-1} のデータを取得し、Run3(2021–2023 年) では Run2 と合わせて 300 fb^{-1} のデータ取得が期待されている。現在は Run3 に向けた検出器のメンテナンスやアップグレードと共に、Run2 までに取得したデータを用いた標準模型粒子の精密測定や新粒子探索が行われている。図 1.16 にこれまでに行われた超対称性粒子探索の結果の一部を示す。

超対称性粒子の中でもグルイーノやスクォークの生成事象は LHC-ATLAS 実験で比較的大統計を取得できることが期待され、 139 fb^{-1} のデータを用いて高質量領域にまで感度を持つ探索が行われたが、存在の兆候は得られず、95%CL で 2000 GeV 程度まで棄却された。一方電弱ゲージーノは生成断面積が小さく統計が十分得られないため、高質量領域までの探索は行えていないが、それでも Run2 までのデータを用いて 95%CL で数百 GeV 程度まで棄却された。

電弱ゲージーノやスレプトンなどの生成過程に電弱相互作用を含むものは生成断面積が小さく(図 1.12 左縦軸)、高質量領域の探索を行うためにはより多くの統計が要求される。統計量向上のためには 1.2.2 節で述べたように瞬間ルミノシティの向上が必要不可欠である。LHC のルミノシティを向上させるため、Run3 後の 2 年間の長期稼働停止期間 (LS3) で加速器のアップグレードを行う。このアップグレード計画のことを **HL-LHC(高輝度 LHC)** と呼ぶ。

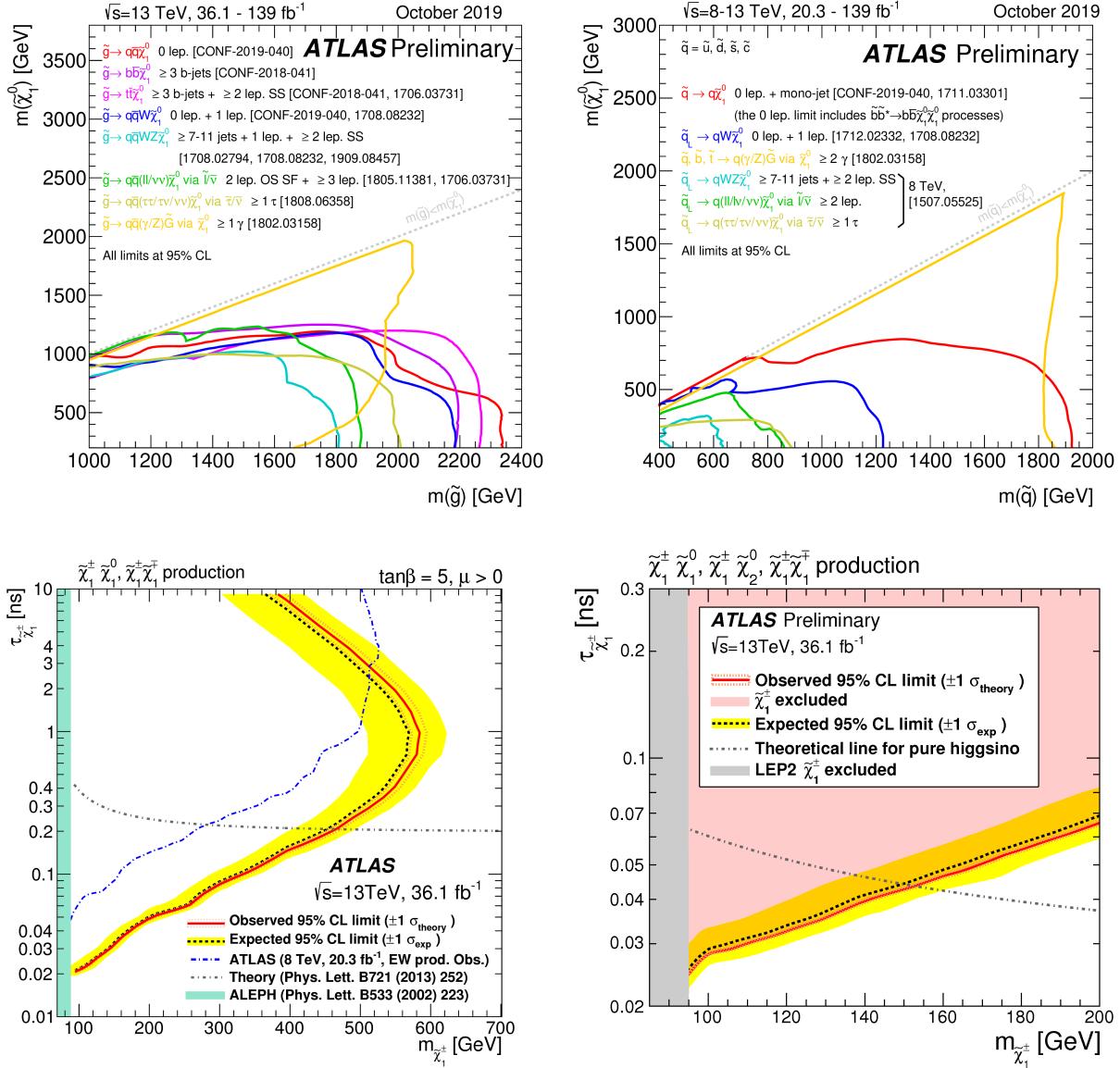


図 1.11 ATLAS 実験での超対称性粒子探索結果。

上段左：グルイーノ探索結果 (139 fb^{-1})^[14] で横軸はグルイーノの質量、縦軸はLSPの質量。上段右：スクォーク探索結果 ($20.3-139 \text{ fb}^{-1}$)^[14] で横軸はスクォークの質量、縦軸はLSPの質量。下段左：長寿命チャージーノ探索結果 (36.1 fb^{-1})^[15] で横軸はチャージーノの質量、縦軸は寿命。下段右：電弱ゲージーノ対生成探索結果 (36.1 fb^{-1})^[16] で横軸はチャージーノの質量、縦軸は寿命。

各実線は探索結果に基づいて 95%CL で棄却された領域を表している。グルイーノは最大 2400 GeV 程度、スクォークは最大 2000 GeV 程度、チャージーノは LSP にウィーノを仮定した模型で 450 GeV 程度、ヒグシーノを仮定した模型で 150 GeV 程度まで棄却されていることがわかる。

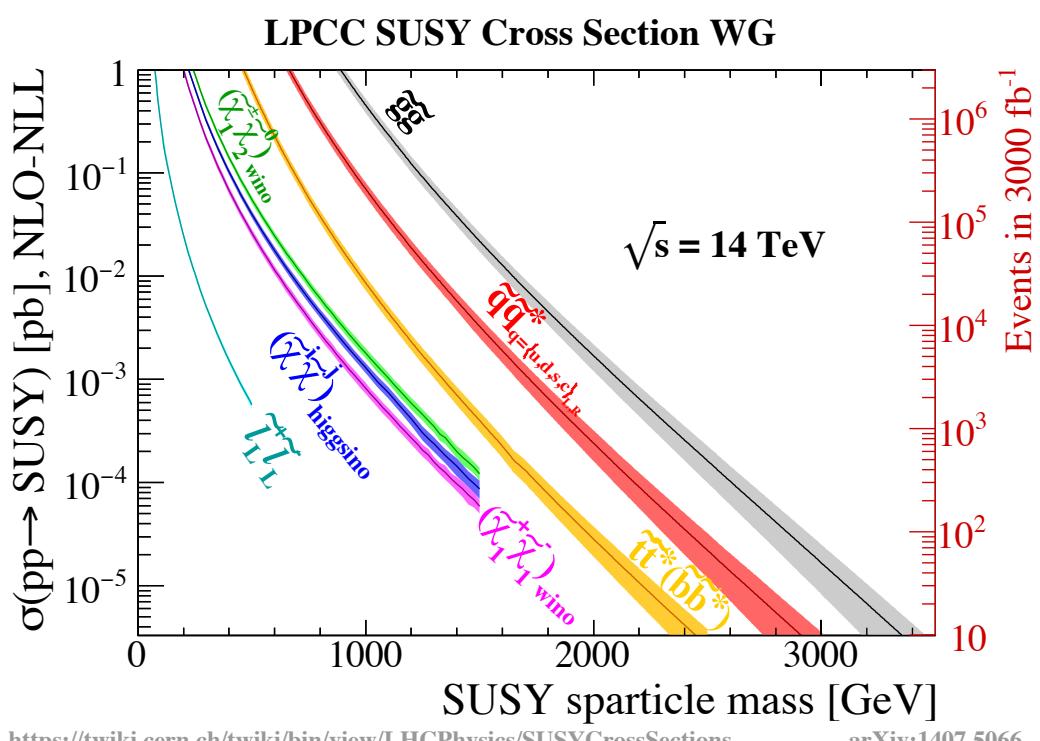


図 1.12 超対称性粒子の生成断面積^[17]。横軸は超対称性粒子の質量、縦軸は超対称性粒子の生成断面積、右の縦軸は積分ルミノシティ 3000 fb^{-1} において期待される取得イベント数を表す。各実線は生成事象を示し、グルイーノ対生成やスクォーク対生成の生成断面積は大きいのに対し、チャージーノ・ニュートラリーノ対生成やスレプトン対生成の生成断面積は小さいことがわかる。

表 1.4 現行 LHC の設計値と HL-LHC の目標値の比較^[13]。なお、パラメータの記号は式 (1.2) に準ずる。

パラメータ	現行 LHC の設計値	HL-LHC の目標値
重心系エネルギー [TeV]	14	14
1 バンチあたりの陽子数 N_b	1.15×10^{11}	2.2×10^{11}
ビーム交差角 θ_c [μrad]	285	510
最小衝突振幅 β^* [m]	0.55	0.2
1 交差あたりの陽子衝突数 (パイルアップ) μ	27	140
最大瞬間ルミノシティ L [$\text{cm}^{-2}\text{s}^{-1}$]	1×10^{34}	$5\text{--}7.5 \times 10^{34}$
積分ルミノシティ [fb^{-1}]	300	3000(4000)

1.4 HL-LHC

HL-LHC は 2026 年から 2037 年までの運転を予定しており、積分ルミノシティ 3000 fb^{-1} の取得を目指している。これは Run1 から Run3 までの約 10 年間と同じ期間で、Run3 までで取得予定の 300 fb^{-1} の 10 倍のデータを取得することを意味する。

1.4.1 加速器のアップグレード

現行 LHC の設計値と HL-LHC の目標値の比較を表 1.4 にまとめる。取得ルミノシティ増大のために以下の加速器のアップグレードを行い、瞬間ルミノシティを現行 LHC の設計値の 5–7 倍に向上させる。

- LHC 前段加速器のアップグレード

LHC への入射陽子量を増加させるため、線形加速器の入れ替え (Linac2→Linac4) と PSB、PS、SPS の改良を行う。

- 衝突点のクラブ空洞の導入

入射陽子量の増加に伴いビームサイズが増加するため、ビーム交差角も大きくする必要があるが、ビーム交差角の増加は幾何学的損失係数の減少につながる。この損失量を低減するために、KEK で開発された超伝導空洞であるクラブ空洞技術を導入する。クラブ空洞技術は、バンチの先頭と後尾に水平方向に力を与えるものである。進行方向に対して傾いた状態でバンチを衝突させ、バンチの交差角による傾きを打ち消し、正面衝突と同等の状態で衝突させることが可能となる。

- ビーム収集磁石の増強

衝突点における振幅を小さくし、衝突時のビームサイズを絞り込む。

1.4.2 内部飛跡検出器のアップグレード

一方瞬間ルミノシティを増加させるとパイルアップが増加し、以下のような問題が生じる。

- 取得データレートの増加
- 生成粒子 (放射線) 量の増加
- 生成粒子密度の増加

これらの問題に対応するため、現行 ATLAS 検出器の改良を行う。特に内部飛跡検出器は厳しい要請が課されるため、現行の状態では要求性能を満たしておらず、新しい検出器へ刷新される。このアップグレード後の内部飛跡検出器を **ITk(Inner Tracker)** と呼ぶ。ITk に要求される性能を以下に挙げる。

- 放射線耐性の向上

現行の内部飛跡検出器は積分ルミノシティ $400\text{--}850 \text{ fb}^{-1}$ の放射線量を想定して設計されている。

一方 HL-LHC では積分ルミノシティ 3000 fb^{-1} を目標とし、現行の内部飛跡検出器では要求を満たしていないと言える。ITk には高密度放射線環境に耐える性能が要求される。

- 高速読み出し

現行の内部飛跡検出器は瞬間ルミノシティ $2 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ でパイルアップ数 50 を想定して設計されている。一方 HL-LHC では $5\text{--}7 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ の瞬間ルミノシティへの向上が予定されており、現行の内部飛跡検出器の読み出し帯域の飽和が想定される。検出効率を保つために、ITk には読み出し速度の高速化が要求される。

- 検出器の細密化

HL-LHC の生成粒子の高密度環境において現行の内部飛跡検出器を運転した場合、遷移放射検出器の占有率が 100% に到達することが想定される。占有率を保つために、ITk には検出器の微細化が要求される。これを達成するために ITk はすべてシリコンで構成される。

図 1.13 に ITk の検出器のレイアウトを示す。ITk はシリコンピクセル検出器とシリコンストリップ検出器で構成され、内側にピクセル、外側にストリップが配置される。ピクセル検出器の総面積は約 13 m^2 、ストリップ検出器の総面積は約 165 m^2 であり、これは現行の内部飛跡検出器の約 3 倍 (シリコン検出器だけで比較すると約 10 倍) の面積を覆っている。また検出可能な擬ラピディティ領域も、 $|\eta| < 2.5$ (現行) から $|\eta| < 4$ に拡張される。

ピクセル検出器レイアウトの配置位置を表 1.5 にまとめた。ピクセル検出器は 5 層のバレル層とエンドキャップディスクが配置される。内側 1 層は特に被放射線量が多いため、現行ピクセル検出器で用いられているプラナーセンサーのほか、高放射線耐性を持つ 3D センサーの使用が予定されている。外側 4 層は検出器の配置量が多いため、低費用での生産が可能なプラナーセンサーの使用が予定されている。さらにピクセルサイズは $50 \times 50 \mu\text{m}^2$ または $25 \times 100 \mu\text{m}^2$ と現行ピクセルの 1/5 に細密化する。ただしピクセルを細密化させると、粒子が検出器に対して斜めに通過した場合のヒット占有率が増加するため、センサーの厚みを $150\mu\text{m}$ まで薄くし、この影響を低減させる。

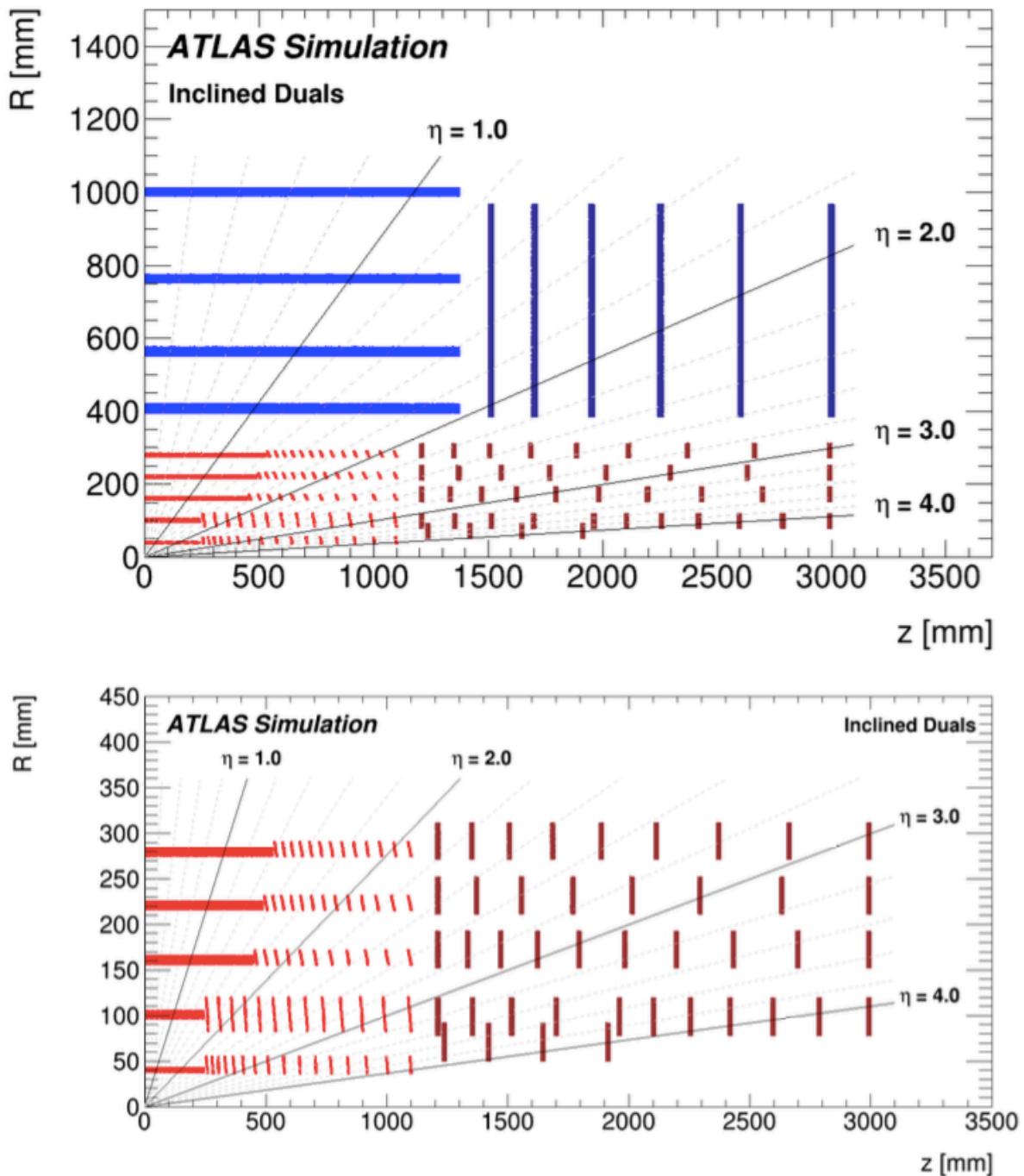


図 1.13 ITk のレイアウト^[18]。上: ITk 全体のレイアウト、赤がピクセル検出器、青がストリップ検出器を示す。下: ITk ピクセル検出器のレイアウト。どちらも横軸がビーム軸、原点がビーム衝突点である。

表 1.5 ピクセル検出器レイアウト^[18]。バレル部は平行配置の場合ビーム軸に対して平行に、斜め配置の場合ビーム軸に対して傾きをつけて配置される。バレル部、エンドキャップ部それぞれ 5 層の検出器が配置され、内側にはプラナーセンサーに加えて 3D センサーの使用が予定されている。

バレル部 (平行配置)				
層	半径 R [mm]	列数	1 列あたりのセンサー数	モジュールの種類
0	39	16	6	デュアル
1	99	20	6	クアッド
2	160	30	11	クアッド
3	220	40	12	クアッド
4	279	50	13	クアッド
バレル部 (斜め配置)				
層	半径 R [mm]	列数	1 列あたりのセンサー数	モジュールの種類
0	36	16	6	シングル
1	80	20	6	クアッド
2	155	30	11	デュアル
3	215	40	12	デュアル
4	274	50	13	デュアル
エンドキャップ部				
層	半径 R [mm]	リング数	1 リングあたりのセンサー数	モジュールの種類
0	50	4	16	クアッド
1	78	11	22	クアッド
2	152	10	32	クアッド
3	211	8	44	クアッド
4	271	9	52	クアッド

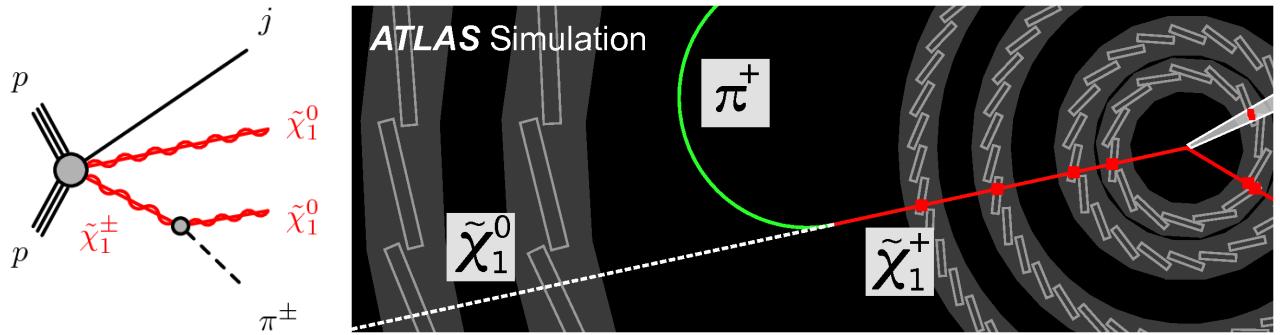


図 1.14 電弱ゲージーノ探索の信号事象^[15]。(左) 信号事象のファインマンダイアグラム。(右) 信号事象の内部飛跡検出器内の飛跡(シミュレーション)。衝突点から生成された $\tilde{\chi}_1^\pm$ が長寿命の場合、内部飛跡検出器で飛跡を残してから π^\pm と $\tilde{\chi}_1^0$ に崩壊する。 π^\pm は磁場中で大きく飛跡を曲げられ、 $\tilde{\chi}_1^0$ は飛跡を残さないため、“飛跡が途中で消える”ような信号として観測される(Disappearing Track)。

1.4.3 HL-LHC での超対称性粒子の探索展望

HL-LHC では取得統計量の増加によって、生成断面積の小さい生成過程の探索感度向上や、標準模型粒子の精密測定の精度向上が期待される。ここでは 1.3.5 節で取り上げた超対称性粒子探索の中でも、特に ITk の精度が大きく影響する 2 つの探索について取り上げる。

Disappearing Track を用いた電弱ゲージーノの探索

HL-LHC では取得統計量の向上によって、特に生成断面積が小さくこれまで感度の低かった電弱ゲージーノの探索感度の向上が期待される。図 1.14(左) に電弱ゲージーノ探索における信号事象のダイアグラムの例を挙げる。衝突点からチャージーノ $\tilde{\chi}_1^\pm$ とニュートラリーノ $\tilde{\chi}_1^0$ (LSP) が対生成すると、 $\tilde{\chi}_1^\pm$ は LSP である $\tilde{\chi}_1^0$ に崩壊する。しかし、多くのモデルでは $\tilde{\chi}_1^\pm$ と $\tilde{\chi}_1^0$ の質量はほとんど縮退し、 $\tilde{\chi}_1^\pm$ は長寿命になると考えられる。その結果図 1.14(右) に示す模式図のように、 $\tilde{\chi}_1^\pm$ は検出器に飛跡を残して衝突点から離れた位置で崩壊し、 $\tilde{\chi}_1^\pm$ と $\tilde{\chi}_1^0$ の質量差に相当する荷電パイオノン π^\pm が小さい運動量を持って放出される。 $\tilde{\chi}_1^0$ は電荷を持たないため検出器内に飛跡は残さず、 π^\pm は磁場によって大きく曲げられた飛跡を残す。このように衝突点から離れた位置で飛跡が途切れるような信号事象を“Disappearing Track”と呼ぶ。Disappearing Track を用いた電弱ゲージーノ探索は Run2 まで既に行われており、結果は図 1.16 の下段に示した通りである。

Disappearing Track を用いた探索では、 $\tilde{\chi}_1^\pm$ の残す少ない測定点(ヒット)から飛跡を再構成する精度と効率が要求される。特に $\tilde{\chi}_1^\pm$ の寿命が短い場合、より短い飛跡を測定する必要があるため、ピクセル検出器の測定精度は極めて重要である。通常のピクセル検出器及びストリップ検出器を用いて再構成する飛跡を track と呼ぶのに対し、ピクセル検出器のヒットのみを用いて再構成した飛跡を tracklet と呼ぶ。図 1.15 に ITk を用いた場合の track と tracklet の再構成効率を示す。HL-LHC の環境下においても現行内部飛跡検出器と同等の性能を維持しており、特に 200–400 mm 程度の短い飛跡に対する track+tracklet による飛跡再構成効率は向上していることがわかる。

図 1.16 に HL-LHC において期待される電弱ゲージーノ探索の到達感度を示す。LSP にウイーノを仮定したモデルでは 800 GeV 程度、ヒグシーノを仮定したモデルでは 300 GeV 程度の質量領域にまで感度を持つことが期待される。

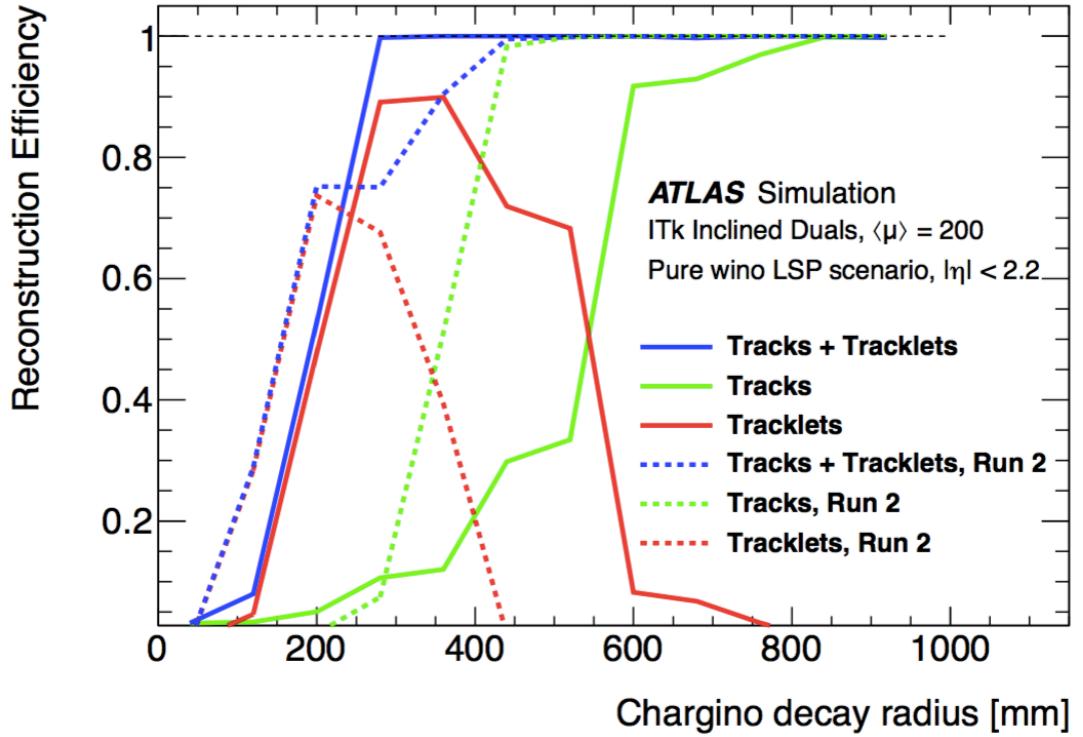


図 1.15 Disappearing Track の再構成効率 (シミュレーション)^[18]。横軸はチャージーノの飛距離、縦軸は再構成効率を表し、実線は ITk+HL-LHC のシミュレーション結果、点線は現行内部飛跡検出器 +Run2 を示す。短い飛跡に対して、ITk は高い飛跡再構成効率を持つことがわかる。

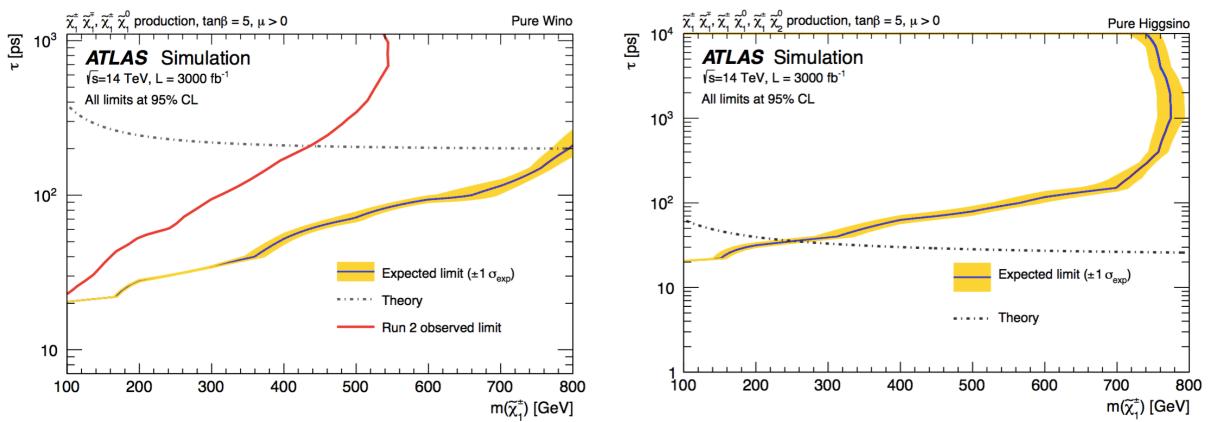


図 1.16 HL-LHC ATLAS 実験で期待される電弱ゲージーノ探索感度^[18]。左 : LSP にウィーノを仮定した模型。右 : LSP にヒグシーノを仮定した模型。横軸はチャージーノの質量、縦軸は寿命、点線は理論曲線、赤線(左)は Run2 の探索感度を示す。チャージーノは LSP にウィーノを仮定した模型で 800 GeV 程度、ヒグシーノを仮定した模型で 300 GeV 程度まで感度を持つと期待される。

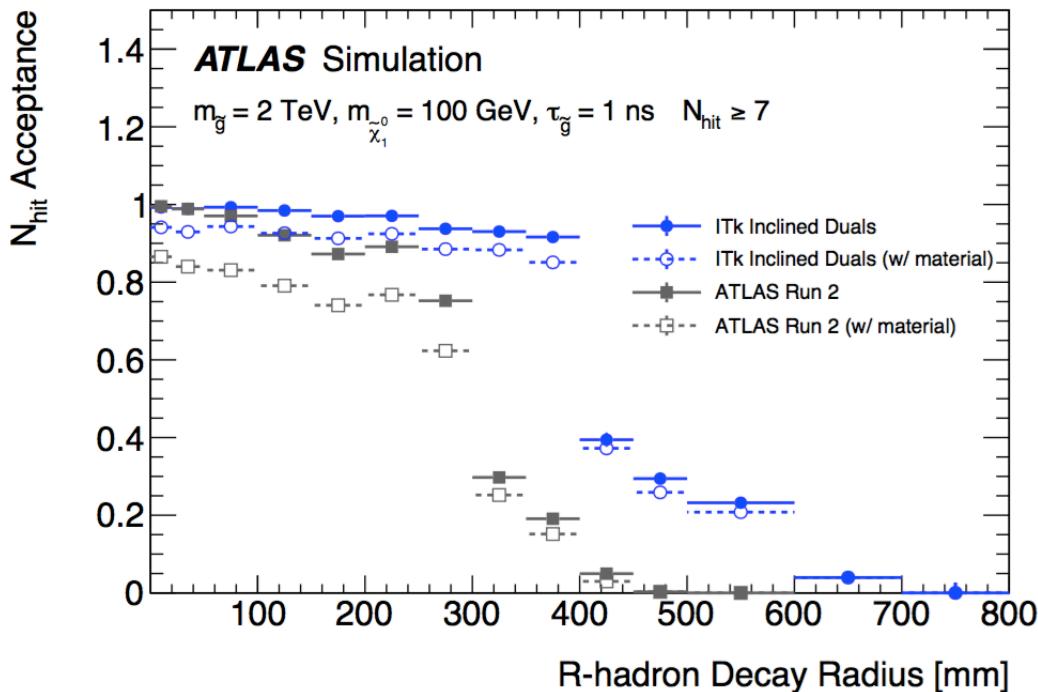


図 1.17 Displaced Vertex の検出確率 (シミュレーション)^[18]。横軸に長寿命粒子の飛距離、縦軸に 7 ヒット以上の飛跡が検出される確率を表し、丸(青)は ITk+HL-LHC、四角(黒)は現行内部飛跡検出器+Run2 を示す。ITk を用いることによって、300–600 mm 程度の飛距離を持つ長寿命粒子の飛跡を検出できる確率が大きく向上していることがわかる。

Displaced Vertex を用いた長寿命粒子探索

また超対称性理論の多くの模型では、長寿命の中性超対称性粒子が検出可能な粒子(荷電粒子または標準模型粒子)に崩壊する事象を考えることができる。この事象では、中性粒子は検出器内に飛跡を残さず、荷電粒子や標準模型粒子が衝突点から離れた位置で生成され、検出器内に飛跡を残す。このように衝突点から離れた位置から飛跡が始まるような信号事象を“Displaced Vertex(DV)”と呼ぶ。DV を用いた探索においても飛跡や衝突点についての高い再構成精度が要求され、内部飛跡検出器、特に衝突点に近いピクセル検出器の測定精度が重要である。図 1.17 に ITk を用いた場合の DV の検出確率を示す。飛跡の再構成に 7 ヒット以上を要求した場合、ITk は現行内部飛跡検出器と同等かそれ以上の検出感度を持つことがわかる。

1.4.4 ITk の開発と建設

ITk はシリコンセンサー、読み出しチップ、基板などの様々な部品から構成され、要求性能を満たす検出器の開発が進められている。また ITk の設置に向けて、検出器の製造及び組み立てが行われる。検出器の細密化や占有面積の拡張に伴って、膨大な数の検出器生産とその性能確認が必要とされるため、量産時の製造・試験システムの確立が非常に重要である。

図 1.18 にピクセル検出器の生産スケジュールを示す。シリコンセンサーは 2020 年、モジュールは 2021 年から初期量産、2021 年中には大量生産が開始される。また、モジュールの生産に先駆けて、試作 ASIC を用いた試験的な小規模生産が 2020 年の春に予定されている。ここで量産時の製造・試験システムを導入して運用性能を確認して、初期・大量生産時に向けた調整を行う。そのため、小規模生産時にはシステムが確立され、利用できる状態であることが要求される。

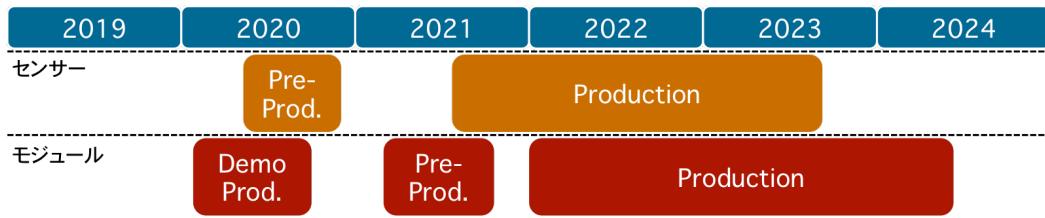


図 1.18 ピクセル検出器生産のスケジュール(暫定)^[18]。上から年(西暦)、センサー・モジュールの生産スケジュール(Pre-Prod.:初期量産、Production:大量生産)を示す。Demo Prod.は試作 ASIC を用いた試験的な小規模生産であり、2020 年春に予定されている。この時点で量産時の製造方法や試験システムを導入し、その性能や運用性能を確認して、実際の初期・大量生産に向けて準備を行う。そのため、小規模生産時にはすでにこれらのシステムが十分利用可能であることが要求される。なお、このスケジュールは暫定版であり、全体の進度に応じて適宜微調整される。

本研究では量産時に導入される試験システムを開発し、その性能を評価した。さらに Lawrence Berkeley National Laboratory(LBNL) の所有する複数枚の試作 ASIC について開発したシステムを用いた性能評価試験を行い、その結果を系統的に評価した。以下に本論文の構成を示す。

- 第1章
LHC-ATLAS 実験の物理目的と実験概要、アップグレード計画について説明する。本章。
- 第2章
本研究が対象とするシリコンピクセル検出器について、その原理と新型検出器について説明する。
- 第3章
ピクセル検出器の量産工程と性能評価試験の1つである読み出し試験について説明し、量産工程における課題と解決策を述べる。
- 第4章
本研究で開発した試験システムについて、要求性能を示した後、システム構造と処理プログラムについて説明する。またシステムの性能の評価方法とその結果をまとめる。
- 第5章
LBNL で行った試作 ASIC を用いたシステムの運用試験と試作 ASIC の系統評価の結果をまとめる。
- 第6章
本論文のまとめと今後の課題について述べる。

第2章

新型シリコンピクセル検出器

HL-LHCへのアップグレードに伴って、内部飛跡検出器は ITk にアップグレードし、全てシリコンのピクセル検出器及びストリップ検出器が配置される。ピクセル検出器の基本単位であるモジュールは、半導体検出器であるシリコンセンサー、読み出しフロントエンドチップ、回路基板とで構成される。読み出しチップには ASIC(Application Specific Integrated Circuit) が用いられる。本章では 2.1 節で一般的なシリコン半導体検出器について説明し、2.2 節でピクセルモジュールについて、2.3 節で試開発された新型 ASIC の RD53A について説明する。

2.1 シリコン検出器

2.1.1 半導体^[19]

物質は固有の比抵抗値を持ち、その大きさに従って絶縁体、半導体 (semiconductor)、導体の 3 種に大別できる。比抵抗値の大きい絶縁体、小さい導体に対して、半導体はその中間程度の値である 10^{-2} – $10^8 \Omega \cdot \text{cm}$ の比抵抗値を持つ。典型的な半導体物質としては 1 種類の原子で構成される单原子半導体のシリコン、ゲルマニウム、複数の元素の組み合わせで構成される化合物半導体のガリウムヒ素などがあげられる。

シリコンやゲルマニウム半導体の場合、4 値の原子は隣接する 4 個の原子と共有結合を作る。原子の 1 つがヒ素のような 5 値の原子と置換されると、5 値原子は隣接する 4 個の 4 値原子と共有結合し、残った電子は伝導電子として働く。このときの 5 値原子をドナーと呼び、半導体は電子キャリアの付加された n 型半導体になる。原子の 1 つがホウ素のような 3 値の原子と置換されると、3 値原子の周りにできる 4 個の共有結合に電子が 1 個取りまれて正に帯電した正孔を生じる。このときの 3 値原子をアクセプタと呼び、半導体は正孔キャリアの付加された p 型半導体になる。

2.1.2 pn 接合

簡単に一次元の pn 接合について考える。

図 2.1(a) は金属学的に接合された p 型半導体と n 型半導体の模式図である。p 型半導体と n 型半導体が結合されると、接合部ではキャリアの密度勾配が生まれる。この勾配によってキャリアの拡散が起き、p 側から n 側に向けて正孔が、n 側から p 側に向けて電子が拡散する。拡散した電子(正孔)は p 型(n 型)半導体で再結合し、接合部では多数キャリアの存在しない領域が生じる。これを空乏層と呼ぶ。一方で p 側の負のアクセプタイオン(n 側の正のドナーアイオン)は結晶格子に固定されているため、接合近傍

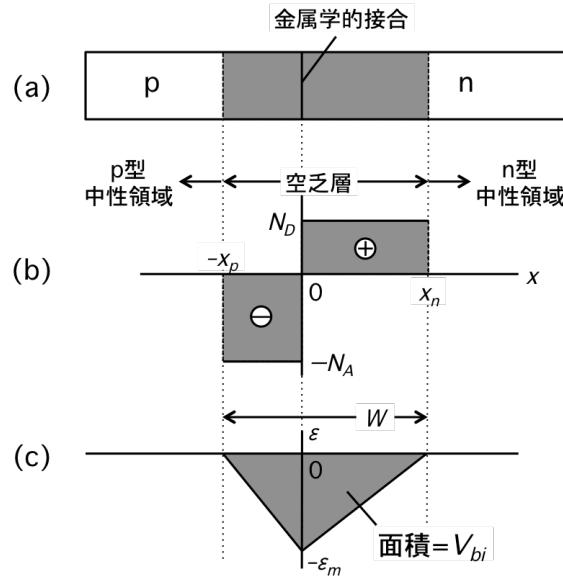


図 2.1 pn 接合の模式図^[19]。(a) 金属学的に接合された p 型半導体と n 型半導体(一次元)。(b) 热平衡時における空間電荷分布。空乏層が $-x_p < x < x_n$ に広がっており、 $x < -x_p$ は p 形中性領域、 $x_n < x$ は n 形中性領域である。 N_D 、 N_A はそれぞれドナー濃度、アクセプタ濃度であり、空乏層内に空間電荷を形成している。(c) 電場分布。三角形の面積は内蔵電位 V_{bi} に相当している。

に残り空間電荷を形成する。この空間電荷によって n 側から p 側に向かって電場が生じる。

ドナー及びアクセプタが全てイオン化している場合、熱平衡状態の静電ポテンシャル Ψ はポアソン方程式によって与えられ、式 (2.1) で書ける。

$$\frac{d^2\Psi}{dx^2} = -\frac{q}{\varepsilon_s}(N_D - N_A + p - n) \quad (2.1)$$

$$\begin{cases} q : & \text{素電荷 } (q = 1.6 \times 10^{-19} [\text{C}]) \\ \varepsilon_s : & \text{半導体の誘電率 } (\varepsilon_{s,\text{Si}} \sim 12.0 [\text{F} \cdot \text{m}^{-1}]) \\ N_D, N_A : & \text{ドナー濃度、アクセプタ濃度 } [\text{m}^{-3}] \\ p, n : & \text{正孔密度、電子密度 } [\text{m}^{-3}] \end{cases}$$

接合部から離れた部分は、電荷的に中性であるため、

$$\frac{d^2\Psi}{dx^2} = 0, \quad N_D - N_A + p - n = 0$$

が言える。p 型中性領域では $N_D = 0$ かつ $p \gg n$ が言えるため、 $N_D = n = 0$ とおいて p 型中性領域の静電ポテンシャル Ψ_p を計算すると、フェルミ準位を基準として式 (2.2) を得る。

$$\Psi_p = -\frac{kT}{q} \ln \left(\frac{N_A}{n_i} \right) \quad (2.2)$$

$$\begin{cases} k : & \text{ボルツマン定数 } (k = 1.38 \times 10^{-23} [\text{J} \cdot \text{K}^{-1}]) \\ T : & \text{絶対温度 } [\text{K}] \\ n_i : & \text{真性キャリア密度 (intrinsic carrier density)} [\text{m}^{-3}] \end{cases}$$

同様に n 型中性領域の静電ポテンシャル Ψ_n はフェルミ準位を基準として式 (2.3) のようになる。

$$\Psi_n = \frac{kT}{q} \ln \left(\frac{N_D}{n_i} \right) \quad (2.3)$$

よって熱平衡状態における接合を含む全静電ポテンシャルは

$$V_{bi} = \Psi_n - \Psi_p = \frac{kT}{q} \ln \left(\frac{N_A N_D}{n_i^2} \right) \quad (2.4)$$

となり、 V_{bi} を内蔵電位 (built-in potential) と呼ぶ。

図 2.1(b) に熱平衡状態における空乏層の空間電荷分布、図 2.1(c) に電場分布を示す。このように接合部の不純物が階段状に変化している接合を階段接合と呼ぶ。空乏層ではキャリアが存在しないため、 $p = n = 0$ であり、式 (2.1) は以下のように簡単になる。

$$\frac{d^2\Psi}{dx^2} = +\frac{qN_A}{\varepsilon_s} \quad (-x_p \leq x < 0) \quad (2.5)$$

$$\frac{d^2\Psi}{dx^2} = -\frac{qN_D}{\varepsilon_s} \quad (0 < x \leq x_n) \quad (2.6)$$

なお、 x_p は p 側の空乏層幅、 x_n は n 側の空乏層幅である。また、空間電荷は半導体全体で中性であり、p 側の単位面積あたりの負の空間電荷と n 側の正の空間電荷は等しくなるため、

$$N_A x_p = N_D x_n \quad (2.7)$$

が成り立つ。内蔵電位 V_{bi} は、式 (2.5)、式 (2.6) から空乏層幅で二階積分することによって以下のように求められ、これは図 2.1(c) 中の三角形の面積に相当している。

$$V_{bi} = \frac{1}{2} \mathcal{E}_m W \quad (2.8)$$

なお、このとき \mathcal{E}_m は $x = 0$ における最大電界強度、 W は全空乏層幅であり、

$$\mathcal{E}_m = \frac{qN_D x_n}{\varepsilon_s} = \frac{qN_A x_p}{\varepsilon_s}, \quad W = x_p + x_n$$

を代入して式 (2.8) より W について以下の式が得られる。

$$W = \sqrt{\frac{2\varepsilon_s}{q} \frac{N_A + N_D}{N_A N_D} V_{bi}} \quad (2.9)$$

p 側に正電圧 V_F を印加すると、全静電ポテンシャルは V_F だけ減少して $V_{bi} - V_F$ となり、このような印加電圧を順バイアスという。一方 n 側に正電圧 V_R を印加すると、全静電ポテンシャルは V_R だけ増加して $V_{bi} + V_R$ となり、これを逆バイアスという。順バイアスでは空乏層幅は小さくなり、逆バイアスでは空乏層は広げられる。順バイアスの方向を正とした印加電圧を V とおき、式 (2.9) について $V_{bi} \rightarrow V_{bi} - V$ することで空乏層幅 W が印加電圧 V の関数として以下のように得られる。

$$W = \sqrt{\frac{2\varepsilon_s}{q} \frac{N_A + N_D}{N_A N_D} (V_{bi} - V)} \quad (2.10)$$

逆バイアス ($V < 0$) が内蔵電位に比べて十分大きく ($|V| \gg V_{bi}$)、ドナー濃度の方がアクセプタ濃度に比べて十分大きい場合 ($N_D \gg N_A$)、式 (2.9) は次のように書き換えられる。

$$W = \sqrt{\frac{2\varepsilon}{qN_A} |V|} \quad (2.11)$$

よって空乏層幅は逆バイアス電圧の平方根に比例することがわかる。

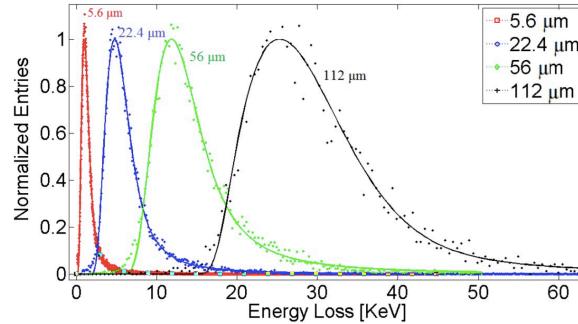


図 2.2 薄いシリコン中における 12 GeV 陽子のエネルギー損失^[21]。横軸がエネルギー損失 [keV]、縦軸がピークの値が 1 になるように規格化したイベント数を表し、各点は異なる厚さのシリコン吸収体を用いて測定した 12 GeV 陽子のエネルギー損失分布、各線は各分布における修正 Struggring 関数^[21]によるフィッティングを示す。

2.1.3 検出原理

荷電粒子が物質中を通過するとき、物質中の構成原子を電離・励起することによってエネルギーを損失する。このときのエネルギー損失は Bethe-Bloch の公式によって記述される^[20]。

$$\left\langle -\frac{dE}{dx} \right\rangle = K z^2 \frac{Z}{A} \frac{1}{\beta^2} \left[\frac{1}{2} \ln \frac{2m_e c^2 \beta^2 \gamma^2 W_{max}}{I^2} - \beta^2 + \frac{\delta(\beta\gamma)}{2} \right] \quad (2.12)$$

$\frac{dE}{dx}$	単位長さ (cm)あたりの荷電粒子の損失エネルギー [MeV · g ⁻¹ · cm ²]
K	$4\pi N_A r_e^2 m_e c^2 = 0.307075$ [MeV · g ⁻¹ · cm ²] (N _A はアボガドロ定数、r _e は古典電子半径)
z	荷電粒子の電荷量
Z	荷電粒子が通過する物質の原子番号 (Z _{Si} = 14)
A	荷電粒子が通過する物質の原子量 (A _{Si} = 28 [g · mol ⁻¹])
$m_e c^2$	電子の静止エネルギー (m _e c ² = 0.511 [MeV])
β	荷電粒子の速さと光速の比
γ	ローレンツ因子 $1/\sqrt{1-\beta^2}$
W_{max}	荷電粒子が衝突で物質に与える最大エネルギー
I	荷電粒子が通過する物質の励起エネルギー期待値 (I _{Si} = 136 [eV])
δ	通過する物質密度の補正効果

低い $\beta\gamma$ の領域で式 (2.12)において $1/\beta^2$ が支配的であり、 $\beta\gamma \approx 3$ のときエネルギー損失は最小になる。このようにエネルギー損失が最小となる粒子を Minimum Ionizing Particle(MIP) と言う。エネルギーがさらに高くなると対数項が支配的となりエネルギー損失は緩やかに増加する。

荷電粒子が空乏層を通過すると式 (2.12) に従ってエネルギーを損失し、エネルギー損失量に比例して電子正孔対が生成される。生成された電子及び正孔は空乏層内の電場に従って p 側あるいは n 側に収集され、電流信号として検出することができる。

なお、式 (2.12) はエネルギー損失の平均値であり、実際は物質中で起こる相互作用の回数や程度に応じて生じる揺らぎによって、エネルギー損失は平均値の周りに有限の幅を持った分布になる。特に物質が薄い場合、エネルギー損失分布は大きい側に広がりを持ち、分布のピークは平均値よりも小さくなる^[21]。2.2 に薄いシリコン中における 12 GeV 陽子のエネルギー損失を示す。

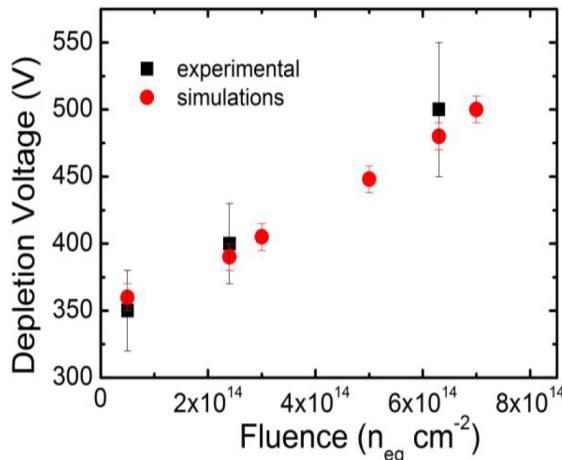


図 2.3 n-in-p 型シリコン検出器における完全空乏化電圧の推移^[22]。横軸は放射線照射量、縦軸は完全空乏化電圧、四角(黒)は室温における実測値、丸(赤)は TCAD によるシミュレーションの結果を表し、どちらも放射線照射量に対する完全空乏化電圧の上昇が確認できる。

2.1.4 放射線損傷

シリコンやゲルマニウムなどの半導体結晶は、放射線の照射によって電気的性質の変化や格子欠陥などの損傷を受ける。シリコン検出器の受ける放射線損傷は主に表面損傷とバルク損傷に分けられる。

- 表面損傷

シリコン表面を覆う酸化膜層やシリコンと酸化膜の界面が受ける放射線損傷を表面損傷という。表面損傷は主に 300 keV 以下の荷電粒子や光子の電離作用によって生じる。酸化膜層の電離過程で電子正孔対が生成すると、大部分はすぐに再結合するが、電子は高い移動度 ($\mu_{n,oxide} \approx 20 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$) を持つため電極に一部収集される。一方、正孔の移動度 ($\mu_{p,oxide} \approx 2 \times 10^{-5} \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$) は非常に低く、酸化膜中をゆっくりと移動し、酸化膜とシリコンの界面付近に達すると中間準位によって捕獲される(Fixed oxide charge)。捕獲された正孔は界面から数 nm の不規則な範囲に存在し、酸化膜を正に帯電させる。またシリコンと酸化膜の界面では Si と O の結合が不安定であるため、新たなエネルギー準位が形成されて正または負の空間電荷となる(Interface trapped charge)。Fixed oxide charge や Interface trapped charge をまとめて表面電荷といい、表面電荷の形成する電場によって暗電流の増加や電極で収集される電荷量の減少などの問題が引き起こされる。

- バルク損傷

シリコンバルク部の原子が入射粒子と相互作用することによって生じる格子欠陥をバルク損傷という。バルク損傷はハドロン(中性子、陽子、パイ粒子など)や高エネルギーのレプトンの非電離作用によって生じる。シリコンの原子核は入射粒子によって反跳され、反跳原子と原子空孔の対(フレンケル対)を生じる。反跳原子が他の結晶格子間に移動した欠陥をフレンケル欠陥、反跳原子が結晶表面に移動し原子空孔だけが残ったものをショットキー欠陥と呼ぶ。原子空孔は周辺に比べて相対的に正電荷を帯びており、シリコンバルク中で p 型不純物として振る舞うため、空乏層の空間電荷の変化(型変換)や完全に空乏化させるために必要な電圧(完全空乏化電圧)の増加などの問題が引き起こされる(図 2.3)。

一般的に放射線損傷の程度は入射粒子の種類やエネルギーに依存する。電離作用による放射線損傷は、単位質量あたりに吸収される放射線のエネルギー量で評価され、単位は Gy を用いる。積算的な電離性放射線損傷量を Total Ionizing Dose(TID) と呼ぶ。非電離作用による放射線損傷は、全格子欠陥量と入射粒子が原子を反跳して損失するエネルギー (Non Ionizing Energy Loss、NIEL) が線形であることを仮定し、NIEL で規格化して評価される。規格化された放射線損傷量は等価フルエンスと呼ばれ、慣習的に 1 MeV の中性子数を基準にした 1 MeV 中性子等価フルエンス [n_{eq}/cm^2] で評価され、単位は n_{eq}/cm^2 を用いる。HL-LHC 環境下で想定される放射線損傷 (安全係数 1.5 を含む TID と最大 1 MeV 中性子等価フルエンス) は、ITk バレル 3 では 4000 fb^{-1} あたり 1.6 MGy 、 $2.8 \times 10^{15} n_{eq}/cm^2$ であるのに対し、最内層のバレル 0 では 2000 fb^{-1} あたりでも 1 柄程度多い 10 MGy 、 $1.3 \times 10^{16} n_{eq}/cm^2$ であり、最内層の検出器は特に高い放射線耐性が要求される。

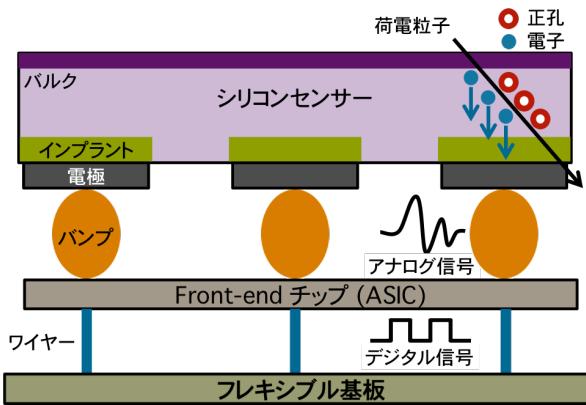


図 2.4 ピクセルモジュールの模式図 (n^+ -in-p 型のプラナーセンサー)。荷電粒子がシリコンセンサーを通過すると電子正孔対が生成され、電子が n^+ 電極に収集されてアナログ信号が生成される。バンプを通じて FE チップに伝送されたアナログ信号はデジタル信号に変換されて基板に伝送される。

2.2 ピクセルモジュール

図 2.4 にピクセルモジュールの模式図を示す。ピクセルモジュールはピクセル検出器の基本単位であり、シリコン半導体に電極が二次元格子状に配置されたシリコンセンサー、センサーからの信号をアナログ・デジタル処理する読み出しフロントエンド (FE) チップ、FE チップからの信号を読み出しシステムへと伝送するフレキシブル基板 (Flexible Printed Circuit, FPC) で構成される。センサーと FE チップはピクセルごとにバンプボンディングで接続され、FE チップと FPC はワイヤーで配線されている。

2.2.1 シリコンセンサー

シリコンセンサーは、バルク部のシリコン半導体にインプラント電極の半導体を二次元格子状に配置したものである。逆バイアス電圧の印加によって電極間の空乏層を広げ、荷電粒子が空乏層を通過したときに生成されるキャリアを電極で収集してアナログ信号として読み出す（図 2.4）。信号が読み出された電極位置から荷電粒子の二次元的な入射位置、信号の大きさからエネルギー損失量を測定できる。

ITk ではプラナーセンサーと 3D センサーの使用が予定されているが、本論文では主にプラナーセンサーを扱うものとし、これを単にシリコンセンサーと書く。

- プラナーセンサー

インプラント電極をバルク表面に打ち込んだ構造のシリコンセンサー。センサーの厚み方向であるインプラント電極-裏面の電極間に空乏層が広がる。実測や半導体シミュレーション (Technology CAD, TCAD) によって物理的特性がすでによく理解され、低費用での生産が可能である。ITk ではバレル 1–4 とリング 1–4 への設置が予定されている。

- 3D センサー

柱上の電極としてバルク中に埋め込んだ構造のシリコンセンサー。柱上電極間に空乏層が広がる。電極を狭い間隔で配置できるため、完全空乏化電圧・消費電力はプラナーセンサーに比べてはるかに小さい。一方で製造技術や物理的特性の理解は未熟であり、ATLAS では IBL で初めて導入された。ITk では被放射線量が多い最内層 (バレル 0、リング 0) への設置が予定されている。

表 2.1 シリコンセンサーの仕様^[18]。

IBL : n⁺-in-n 型シリコンセンサーが使用されている。n⁺-in-n 型シリコンセンサーは n 型バルクに n⁺ 型インプラント電極が埋め込まれたもので、裏側の p⁺ 型電極に逆バイアスをかけると p⁺ 型電極と n 型バルク間の空乏層がインプラント方向へ広げられる。粒子検出のためにはインプラント電極まで空乏層を広げる必要があり、完全空乏化が必要となる。

ITk : n⁺-in-p 型シリコンセンサーの使用が予定されている。n⁺-in-p 型シリコンセンサーは p 型バルクに n⁺ 型インプラント電極が埋め込まれたもので、裏側の p⁺ 型電極に逆バイアスをかけると p 型バルクと n⁺ 型電極間の空乏層がインプラント側から広がる。そのため部分空乏化での粒子検出が可能となる。p 型バルクのセンサーは放射線損傷による型変換の心配がないため、放射線損傷後でも安定した運転が期待される。ピクセルサイズは 50 × 50 μm²、厚みは層によって異なり、最も薄くて 100 μm(バレル 1) である。

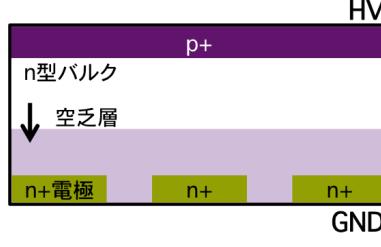
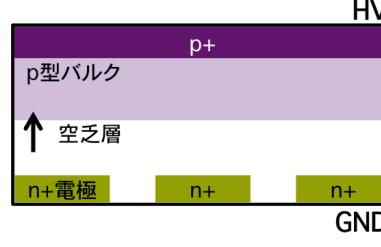
項目	IBL(現行)	ITk(新型)
センサーの種類	n ⁺ -in-n 型	n ⁺ -in-p 型
バルク部	n 型	p 型
インプラント電極	n ⁺ 型	n ⁺ 型
裏面の電極	p ⁺ 型	p ⁺ 型
空乏層の広がる方向	裏面 → インプラント 	インプラント → 裏面 
粒子検出に必要な空乏化範囲	完全空乏化	部分空乏化
ピクセルサイズ [μm ²]	50 × 250	50 × 50
厚み [μm]	200	100、150、200、300

表 2.1 に IBL、ITk のシリコンセンサーの仕様をそれぞれ示す。

IBL は n⁺-in-n 型と呼ばれるシリコンセンサーが用いられている。n⁺-in-n 型は、n 型半導体のバルクに通常よりも不純物濃度の高い n⁺ 型半導体をインプラント電極として埋め込み、反対側の電極に p⁺ 型半導体を使用している。この場合、p⁺ 型半導体の電極と n 型半導体のバルク部との接合部に空乏層が形成され、逆バイアスをかけると空乏層は n⁺ インプラント方向へ広げられる。空乏層がインプラント部に達していないと電極でキャリア(電子)を収集することができないため完全空乏化が必要となる。HL-LHC の高密度放射線環境下では 2.1.4 節で示したようなバルク損傷による完全空乏化電圧の上昇が想定される。安定した運転を行う上では検出器への印加電圧は小さい方が望ましい。

ITk ピクセル検出器では n⁺-in-p 型と呼ばれるシリコンセンサーが用いられる。n⁺-in-p 型は、p 型半導体のバルクに n⁺ 型半導体をインプラント電極として埋め込み、反対側の電極に p⁺ 型半導体を使用している。この場合、空乏層は n⁺ 型半導体の電極と p 型半導体のバルク部との接合部に形成され、逆バイアスをかけると空乏層は n⁺ インプラント側から広がる。すでに空乏層がインプラント部に達しているため、部分的な空乏化(部分空乏化)で粒子検出が十分可能であり、バルク損傷による印加電圧の上昇を低減することができる。またピクセルサイズは 1/5、厚みは最大で 1/2 に薄化される。

2.2.2 読み出しフロントエンドチップ

2.1 節で述べたように、荷電粒子はシリコンセンサーを通過すると式 (2.12) に従ってエネルギーを損失し、電子正孔対(キャリア)が生成される。空乏層内で生成されたキャリアは、空乏層内の電場に従ってインプラント電極に収集されるため、電流信号が流れる。このとき信号の電荷量 Q は損失エネルギー E_{loss} に対して線形であり、

$$Q \propto E_{\text{loss}}$$

が言える。各電極に対してそれぞれ信号処理を行うため、二次元格子状に読み出し回路が配列された集積回路(Application Specific Integrated Circuit, **ASIC**)を読み出し FE チップとして利用し、読み出し回路とセンサーのインプラント電極をバンプボンディングによって接続する。FE チップはバンプボンディングを介して伝送された電流信号(アナログ信号)に対して、アナログ-デジタル変換(Analog Digital Conversion, AD 変換)を施して FPC に伝送する。AD 変換の流れを図 2.5 に示す。生のアナログ信号は非常に小さいため、アンプ回路や波形整形回路によって増幅・整形などのアナログ信号処理を行う。処理回路の静電容量を C とおくと、アナログ信号処理後の信号の振幅 $|V_o|$ について

$$|V_o| = \frac{|Q|}{C} \propto E_{\text{loss}}$$

が言える。信号処理されたアナログ信号は、コンパレータ(比較器)によって、信号が Threshold を超えた時間に相当する幅を持つデジタル信号に変換される(AD 変換)。このときの時間幅を Time over Threshold(**ToT**)と呼ぶ。アナログ信号が線形に減衰することを仮定すると、ToT は $|V_o|$ に比例するため、

$$\text{ToT} \propto |Q| \propto E_{\text{loss}}$$

が言える。したがって、ToT はアナログ信号の電荷量 $|Q|$ 、荷電粒子のエネルギー損失量 E に対して線形であり、この値を用いて収集電荷量やエネルギー損失量の測定できると考えられる。最終的に読み出されるデジタル信号は、ToT に含まれるクロック数 [b.c.] である。

HL-LHC では陽子陽子衝突時のイベントレートの増加に伴って多重衝突事象数や粒子密度が増加する。多重衝突事象数の増加による読み出し帯域の圧迫や、粒子密度の増加による検出器ヒット占有率の増加は、飛跡再構成精度の低下をもたらす。そのため、HL-LHC において解析精度を維持するために、読み出し回路の高速化と高細密化は必須条件である。

IBL では **FE-I4**^[23] と呼ばれる ASIC が用いられており、ピクセルサイズが $50 \times 250 \mu\text{m}^2$ でピクセル数が 80×336 、読み出し速度は 160 Mbps である。これらの値は HL-LHC における要求条件を満たしていないため、現在新型 ASIC の開発が進められている。本研究では ITk に導入される新型 ASIC に向けて試開発された **RD53A** を用いる。表 2.2 に FE-I4、RD53A の仕様と HL-LHC における要求性能を示す。

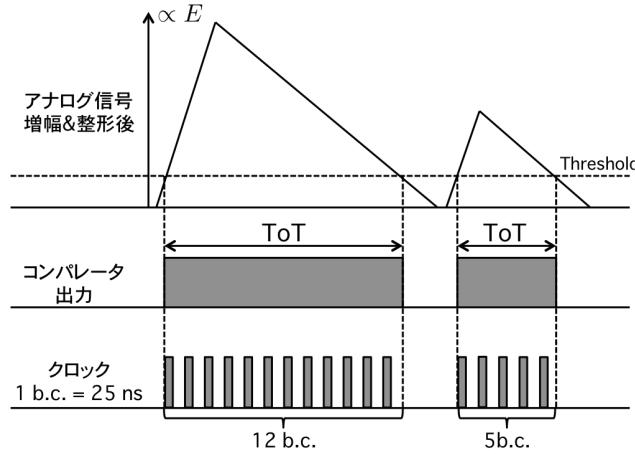


図2.5 AD変換の流れ。生のアナログ信号は小さく、FEチップ内で発生するノイズと混合してしまうため、アンプ回路や波形整形回路によって処理する。アナログ信号はコンパレータによってThresholdとの比較を行い、Thresholdを超えた時間幅を持つデジタル信号が生成される。この時間幅をTime over Threshold(ToT)と呼ぶ。ToTは荷電粒子のエネルギー損失量Eに相当する。実際のデジタル信号はToT間のクロック数[b.c.]として取得され、1 b.c.はLHC陽子バンチの交差間隔(25 ns)である。

表2.2 ASIC(FE-I4、RD53A)の仕様とHL-LHCにおける要求性能^[18]。要求性能は現行のものに比べてピクセルサイズが5分の1でトリガーレートが5倍、データレートは約30倍である。RD53AはHL-LHCの要求条件を満たしたハーフサイズのASICである。

項目	FE-I4(現行)	RD53A(新型)	要求性能
チップサイズ [mm ²]	20.2 × 19.0	20.0 × 11.6	約 20.0 × 20.0
ピクセルサイズ [μm ²]	50 × 250	50 × 50	50 × 50
ピクセル数 [行 × 列]	80 × 336	400 × 192	400 × 384
トリガーレート [kHz]	200	1000	1000 (オプションで4000)
データレート [Mbps]	160	1280 × 4	5120
最低安定Threshold [e]	2000	600	600

2.3 RD53A

RD53A^[24]はATLAS、CMS、RD53 Collaborationが共同で開発している集積読み出し回路(IC)である。65 nm CMOS技術を利用しており、

- 500 MradのTIDに対する放射線耐性
- 600 e^{*1}の低Thresholdにおける安定動作
- 3 GHz/cm²(平均75 kHz/pix)の高ヒットレート下における検出効率99%
- 最大1 MHzの高トリガーレート

*1 静電容量C[F]において電圧がThresholdV_{th}[V]に達するために必要な電荷量を閾値電荷Q_{th}と呼び、Q_{th}=CV[C]、または素電荷q=1.6×10⁻¹⁹[C]で割ったQ_{th}=CV/qで定義される。後者の値は閾値電荷に相当する電子数であり、単位は[e](electron)を用いる。ATLASピクセル検出器ではThresholdやノイズの値として一般に閾値電荷Q_{th}[e]を用いる。

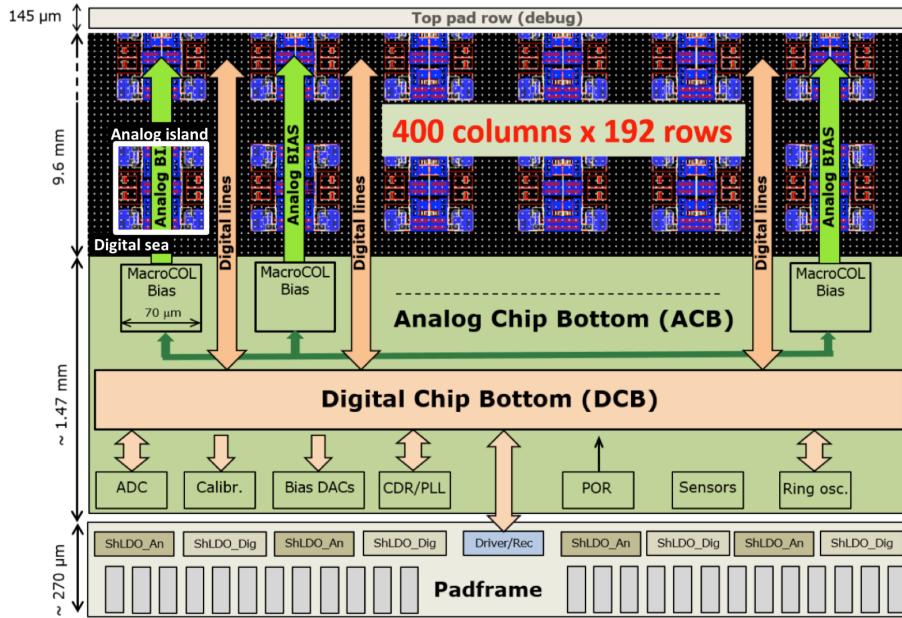


図 2.6 RD53A の回路概要図^[24]。上方 (9.6 mm 長) は有感度領域を示しており、 $50 \times 50 \mu\text{m}^2$ サイズのピクセルが横に 400 列 (Column)、縦に 192 行 (Row) で配列されている。1 つのピクセルは Analog FE と Digital FE を持ち、Analog FE は $2 \times 2 = 4$ ピクセルで 1 つのまとまり (Analog island) を構成し、Digital FE は $8 \times 8 = 64$ ピクセルで構成されるまとまり (Digital sea) の中に組み込まれる (図 2.7)。中段の ACB 及び DCB (~1.47 mm 長) は、一部あるいは全ピクセルに対して共通のアナログ回路及びデジタル回路を示しており、電源の供給や環境設定、読み出しの際に使用される。下端の一列はワイヤーボンド用のパッド (~270 μm 長) を示しており、一列目のピクセル上のバンプボンディング部分から 1.7 mm 離れるように設計されている。

などの性能を有している。チップの幅は 20 mm、高さは 11.6 mm で、 $50 \times 50 \mu\text{m}^2$ サイズのピクセルが 76880 チャンネル配列されている。ITk で使用される ASIC のピクセル数は 153600 であり、丁度半分の大きさに相当する。

図 2.6 に RD53A の回路全体の概要図を示す。図 2.6 上方は有感度領域であり、横に 400 列、縦に 192 行の二次元格子状にピクセルが配列され、各ピクセルはセンサーとバンプボンディングで接続される。その下に Analog Chip Bottom(ACB) 及び Digital Chip Bottom(DCB) と呼ばれる回路が実装されており、一部あるいは全ピクセルに対して制御を行う。図 2.6 下端の一列はワイヤーボンド用のパッドである。

400 × 192 の各ピクセルは、それぞれアナログフロントエンド (Analog FE) とデジタルフロントエンド (Digital FE) を持つ。列方向の番号を Column、行方向の番号を Row といい、Column を 8 単位で区切ったときの番号を Core Column、Row を 8 単位で区切ったときの番号を Core Row、1 Core Column × 1 Core Row (8 × 8 ピクセル) のまとまりをコアと呼ぶ。1 個のコアを構成する 64 個の Digital FE のまとまりを Digital sea と呼び、Analog FE は 4 個でまとまり (Analog island) を構成して Digital sea の中に組み込まれる。つまり 1 個のコアには 16 個の Analog island が含まれている。図 2.7 に Digital sea 中の Analog island を示す。

図 2.8 に RD53A の Analog FE を示す。RD53A は 1 枚の ASIC に 3 種類の Analog FE を実装しており、各 FE ごとに設定値を与え、Threshold や増幅率を調整して測定することができる。最終的に、各 FE の測定結果に基づいて性能比較を行い、ITk で使用する ASIC を 1 つに決定する。左から 128 列を Synchronous FE、中央の 136 列を Linear FE、右の 136 列を Differential FE と呼び、それぞれ異なる

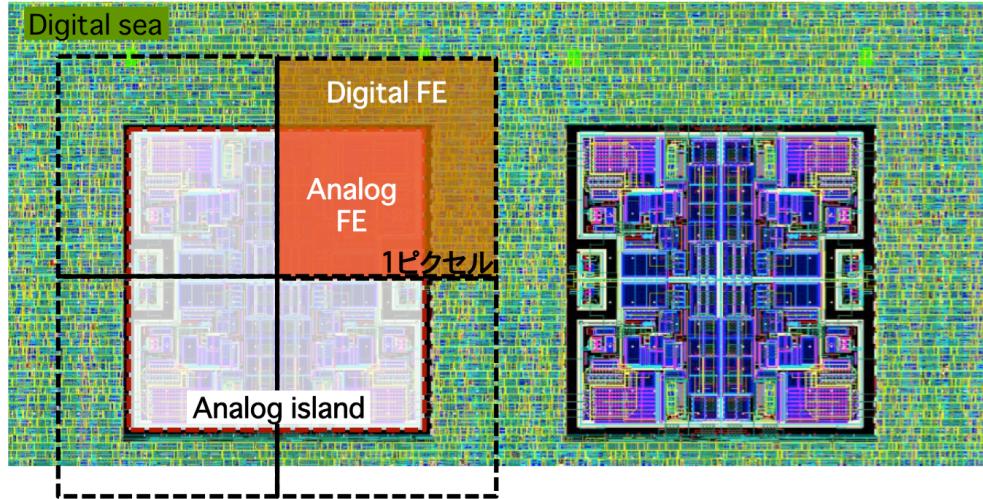


図 2.7 Analog island の概念図^[24]。1 個のピクセルは Analog FE と Digital FE が半分ずつで構成され、4 個の Analog FE は 1 個の Analog island と呼ばれるまとまりで 64 個の Digital FE のまとまりである Digital sea の中に組み込まれる。1 個のコア (8×8 ピクセル) は 1 個の Digital sea とそれに組み込まれる 16 個の Analog island で構成されている。

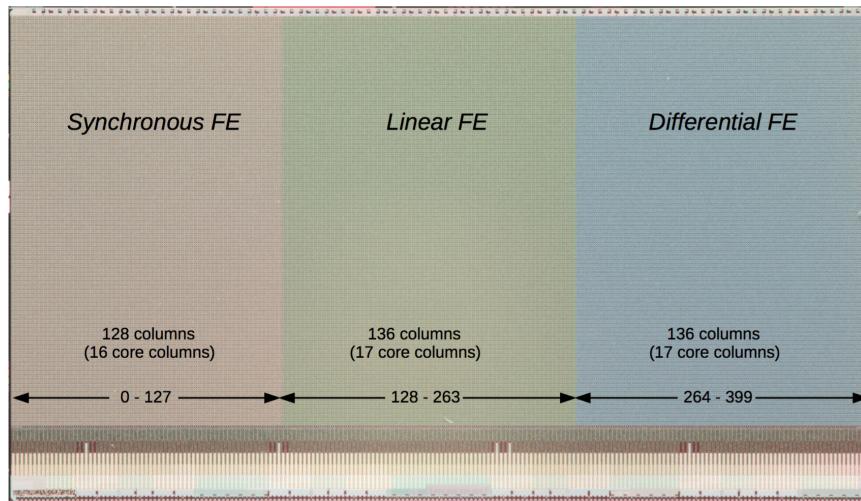


図 2.8 RD53A の写真^[24]。チップの大きさは $20.0 \times 11.6 \text{ mm}^2$ であり、 $50 \times 50 \mu\text{m}^2$ のピクセルが 400×192 に配列している。試験のために 3 種類の Analog FE(左から Synchronous, Linear, Differential) が 1 枚の ASIC に実装され、下の数字は各 FE の行数を表している。

るアナログ信号処理を行う。Linear FE は FE-I4、Differential FE はピクセル小型化に向けて試開発された ASIC である FE-65p2^[25]で使用され、Synchronous FE は RD53A で試験的に開発された Analog FE である。すでにこれまでの各 FE の性能評価の結果から、ITk では Differential FE を使用することが決定した。本研究では主に Differential FE を対象とし、ここでは Differential FE と、その比較対象として Linear FE について説明する。なお、全ピクセルに対して共通で与える設定値をグローバルレジスタ、各ピクセルに対して個々に与える設定値をピクセルレジスタと呼ぶ。

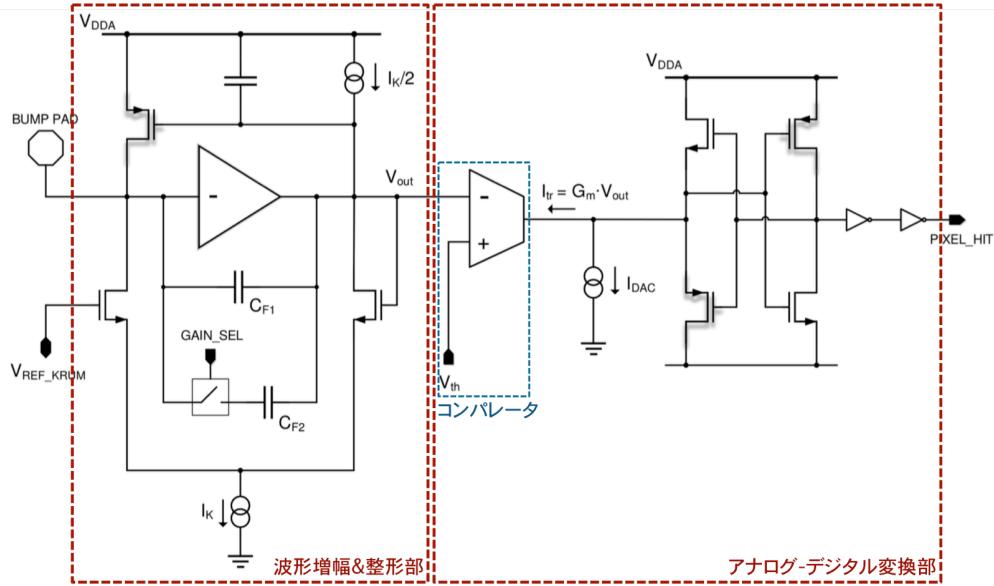


図 2.9 RD53A Linear FE の回路図^[24]。BUMP PAD はセンサーとのバンプ接続部分を表し、センサーからのアナログ信号は BUMP PAD から伝送され、波形増幅・整形部(左枠内)を経てコンパレータ(中央枠内)に送られ、Threshold を超える信号は AD 変換(右枠内)されて Digital FE に送られる。

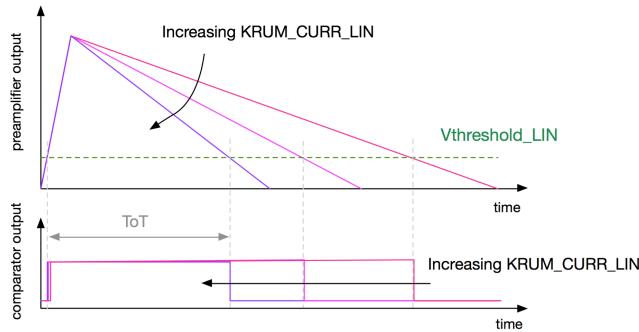


図 2.10 Linear FE における AD 変換^[26]。上が増幅・整形後のアナログ信号、下がコンパレータによって変換されたデジタル信号(ToT)を表す。Threshold(図中の $V_{\text{threshold_LIN}}$)を大きくするか、波形整形のパラメータである KRUM_CURR_LIN を大きくすると、ToT は小さくなる。

2.3.1 Linear FE

図 2.9 に Linear FE の回路図を示す。BUMP PAD はセンサーとのバンプ接続部分を表しており、センサーからのアナログ信号は BUMP PAD から入力され、左から右へと伝送される。生のアナログ信号は振幅が小さいため、波形増幅&整形部(図 2.9 左枠内)によって増幅及び波形整形される。その後コンパレータ(図 2.9 中央枠内)によってアナログ信号が Threshold を超えた時間幅を持つデジタル信号(ToT)が生成される(図 2.9 右枠内)。AD 変換の様子を図 2.10 に示す。Threshold はグローバルレジスタ(V_{th} や $V_{\text{REF_KRUM}}$)とピクセルレジスタ(I_{DAC})によって調整できる。

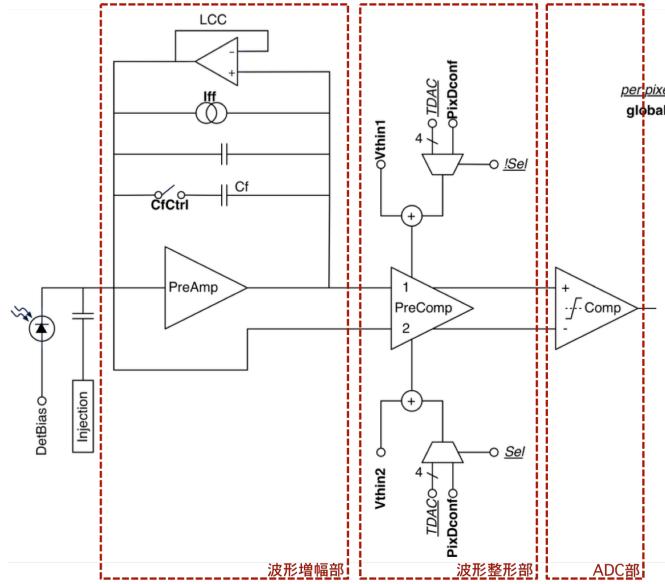


図 2.11 RD53A Differential FE の回路図^[24]。DetBias はセンサーを表し、センサーからのアナログ信号は DetBias から伝送され 2 つの信号に分けられる。一方の信号のみ波形増幅部により反転増幅されてから 2 つの信号はプリコンパレータでオフセットが調整される。コンパレータ (AD 変換部) では 2 つの信号の差分を取ることによって AD 変換されて Digital FE に送られる。

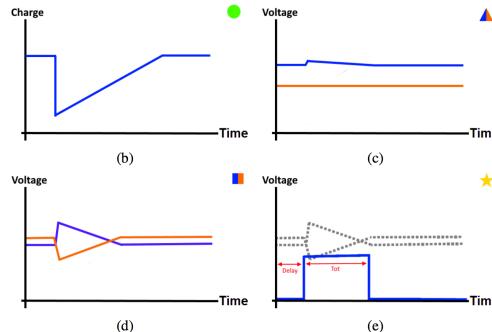
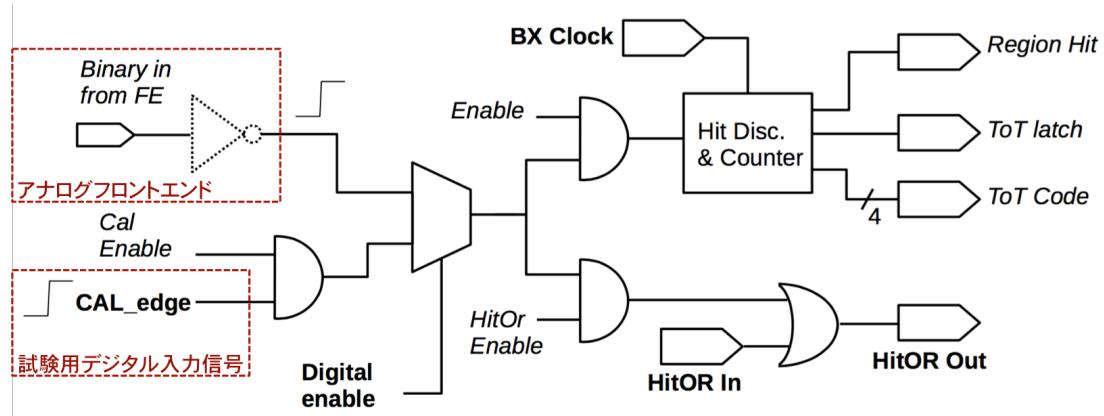


図 2.12 Differential FE における AD 変換^[27]。(b) はセンサーからのアナログ信号、(c) はプリコンパレータ直前の 2 つの信号を表し、下 (橙線) が生信号、上 (青線) が生信号を反転増幅したものである。(d) はコンパレータ直前の 2 つの信号を表し、プリコンパレータによって波形整形及びオフセットが調整されている。(e) はコンパレータで変換されたデジタル信号である。2 つの信号の差分に相当する ToT 値のデジタル信号を取得できる。

2.3.2 Differential FE

図 2.11 に Differential FE の回路図を示す。センサー (DetBias) からのアナログ信号は 2 つの信号に分けられ、一方はプリアンプ (図 2.11 左半分) で反転増幅される。2 つの信号はそれぞれプリコンパレータ (図 2.11 中央部分) によってオフセットが調整される。最後にコンパレータによって 2 つの信号の差分に応じたデジタル信号が生成される。AD 変換時の信号を図 2.12 に示す。Threshold はグローバルレジスタ ($V_{\text{thin}1}$, $V_{\text{thin}2}$) とピクセルレジスタ (TDAC) によって決まるオフセットの差で与えられる。2 つの信号の差分を取ることによって回路内部で生じるノイズを相殺することができるため、他の FE と比較して電気ノイズが低くなる。その結果安定動作する最低 Threshold 値も圧倒的に小さくでき ($\sim 500 \text{ e}$)、主にこれらの理由から Differential FE が ITk の実機 ASIC として用いられることが決定した。

図 2.13 RD53A Digital FE の回路図^[24]。

2.3.3 Digital FE

Digital FE の回路図は全 FE で共通であり、図 2.13 に回路図を示す。Digital FE は 8×8 ピクセルのコア単位で構成されており、4 ピクセルで構成されている Analog island が 4×4 で配置されている。1 つの Digital FE では、ピクセルマスク、試験用デジタル信号の入力、ToT の計測、ToT 値の保存、タイミング測定、トリガー入力などの各 Analog island の制御、そして各 Analog island からの信号の読み出しを行う。ToT はアナログ信号の大きさに相当する量であり、RD53A では 40 MHz のクロック (1 クロック 25 ns 間隔 = 1 b.c.) を用いて 4 bit で読み出し可能である。

第3章

検出器量産と読み出し試験

検出器量産における各組み立て工程では、不具合の早期発見や品質管理のために目的に応じた試験が行われる。読み出し試験はそのうちの一つである。量産は複数の国や研究機関で行われるため、試験結果を保存し、共有できるシステムが必要不可欠である。本研究では読み出し試験システムに検出器読み出しシステム YARR(Yet Another Rapid Readout) を使用し、データベースを用いた試験結果の管理システムを開発した。本章では 3.1 節で検出器量産・設置からデータベース登録までの工程について、3.2 節で読み出し試験システムについて説明し、3.3 節で大量生産時の問題点と解決策を述べる。

3.1 検出器量産

2.2 節で述べたように、ピクセルモジュールは、シリコンセンサー、読み出し FE チップ、FPC で構成されるユニットであり、1 枚のシリコンセンサーに接続されるチップの数に応じてシングルモジュール(1 チップ)、デュアルモジュール(2 チップ)、トリプレットモジュール(3 チップ)、クアッドモジュール(4 チップ) と呼ばれる。ITk ピクセル検出器におけるモジュールの構成を表 3.1 に示す。

合計約 10000 個のモジュールのうち、日本ではアウターバレルと呼ばれるバレル 2、3、4 とエンド

表 3.1 ITk ピクセル検出器のモジュール構成^[18]。1.4 節で述べたように、バレル 0、リング 0 に使われるシングルモジュールには 3D センサー、他のモジュールにはプラナーセンサーが使用される予定である。リング部分はエンドキャップが 2 体あることから総数は 2 倍されている。

層	クアッド [個]	デュアル [個]	シングル [個]	合計 [個]
バレル 0	-	192	512	704
バレル 1	760	-	-	760
バレル 2	660	660	-	1320
バレル 3	960	1040	-	2000
バレル 4	1300	1300	-	2600
リング 0	64×2	-	-	128
リング 1	242×2	-	-	484
リング 2	320×2	-	-	640
リング 3	352×2	-	-	704
リング 4	468×2	-	-	936
合計	6572	3192	512	10276

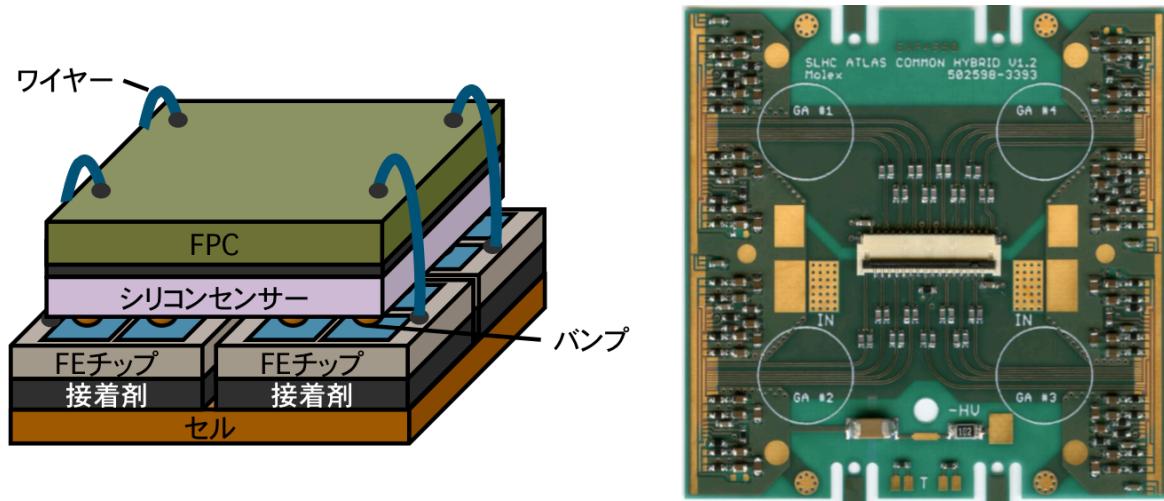


図 3.1 クアッドモジュールの模式図(左)と写真(右)^[28]。4枚のFEチップがセンサーとバンプボンディングされている。センサーの反対側はFPCと絶縁性接着剤で接着され、FEチップの反対側はセルと熱伝導性接着剤で接着される。FEチップとFPCはワイヤーボンディングで接続され、ワイヤーは樹脂封止、全体は放電防止のためにパリレンコーティングが施される。写真是暫定版であり、FEチップにはRD53Aが用いられている。

キャップ部のクアッドモジュールを約2000個量産する。クアッドモジュールの模式図及び写真を図3.1に示す。センサーとFEチップはバンプボンディングによって接続され、この状態のモジュールをペアモジュールと呼ぶ。FPCはペアモジュールのセンサー面と絶縁性接着剤で接着され、この状態のモジュールをモジュールフレックスと呼ぶ。モジュールフレックスのFEチップ面には冷却ブロックであるセルが熱伝導性接着剤で接着される。FEチップとFPCは25 μm径のワイヤーによって接続した後、共振による振動断線や腐食を防止するために樹脂封止が施される。さらにセンサー・FEチップ間の放電防止のためにパリレン高分子コーティングが施される。

3.1.1 組み立て工程

モジュールの組み立ては数段階の工程に分けて行われる^[18]。各工程ではいくつかの試験を行い、モジュールの動作や性能を確認するなどの品質管理を行うことが要求される。モジュールの品質管理試験の項目としては以下のものが挙げられる。

- 外観試験

目視、静止画(、動画)でモジュールを確認する。特にモジュールの傷や付着汚れ、断線を確認する。外観試験は工程の前後に1回ずつ行われる。

- 測量試験

測量器によってモジュールの高低を測定する。モジュールの厚さや歪み具合を確認する。測量試験は工程後に1回行われる。

- 電気的試験

センサーのIV測定、モジュールの読み出し試験を行う。主に電気的特性や接続における不具合の有無を確認する。読み出し試験は基本的な試験項目のみ行う部分読み出し試験と、性能を詳細に確認するための項目を追加した試験項目を行う全読み出し試験がある。読み出し試験項目については3.2節にて説明する。電気的試験は工程後に1回行われる。

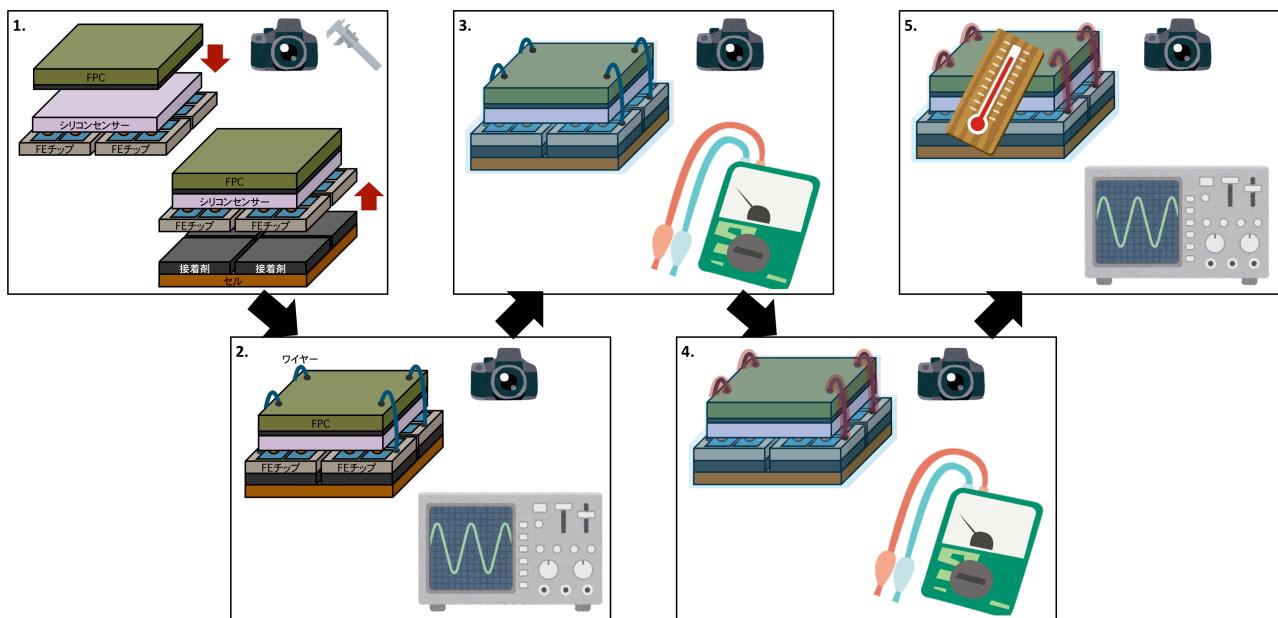


図 3.2 モジュールの組み立て工程。各モジュールの図は各工程の組み立ての模式図であり、カメラ(外観試験)、ノギス(測量試験)、オシロスコープ(全読み出し試験)、マルチメータ(部分読み出し試験)は各工程で行われる試験項目を表す。1: ベアモジュールと FPC・セルの接着。2: FE チップと FPC 間のワイヤー結線。3: モジュールのパリレン高分子コーティング。4: ワイヤーの樹脂封止。5: 温度変化を繰り返す温度サイクル試験。

図 3.2 にモジュールの組み立て工程を示す。各工程の組み立てと品質管理試験を以下にまとめる。

1. ベアモジュールと FPC・セルの接着

- FPC に絶縁性接着剤を塗布し、ベアモジュールのセンサー側と接着する。
 - セルに熱伝導性接着剤を塗布し、ベアモジュールの FE チップ側と接着する。
- (品質管理試験) 外観試験、測量試験

2. ワイヤーボンディング

- FE チップと FPC の間を $25 \mu\text{m}$ 径のアルミ細線ワイヤーで結線し、電気的に接続する。
- (品質管理試験) 外観試験、全読み出し試験

3. パリレンコーティング

- 放電防止のためにパリレン高分子を用いてモジュールをコーティングする。
- (品質管理試験) 外観試験、部分読み出し試験

4. ワイヤー樹脂封止

- ワイヤーを保護するためにワイヤーの樹脂封止材を塗布し硬化させる。
- (品質管理試験) 外観試験、部分読み出し試験

5. 温度サイクル試験耐久性確認のために温度サイクル試験を行う。

- (品質管理試験) 外観試験、全読み出し試験

組み立てられたモジュールは CERN に送られ、検出器の統合及び設置が行われる。

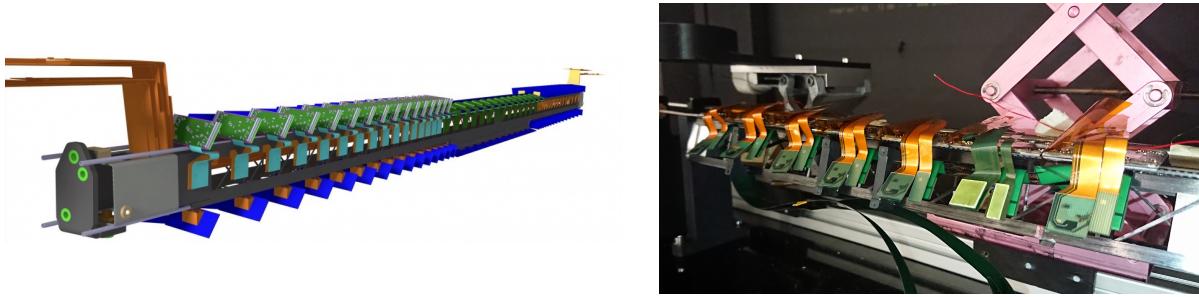


図 3.3 アウターバレル用ステープの模式図(左)^[29]とプロトタイプの写真(右)。模式図は CAD で作成された SLIM(the Stiff Longeron for ITk Modules)と呼ばれるステープであり、ビーム軸方向に長く、上側と下側の両面にモジュールを配置することができる構造のため、1台で 2 層分のモジュールを支える仕組みになっている。 η が大きい領域のモジュールは 50–80 度程度の傾きをつけて固定し、粒子が通過する物質を最小限に抑えている。写真は 2018 年 9 月から 11 月にかけて CERN で行われたデモンストレーション試験時に統合されたステープであり、試験用のためサイズが小さく 7 個のクアッドモジュールが接続されている。ピクセルモジュールには FE-I4 が使用されている。

3.1.2 検出器設置

CERN に送られたピクセルモジュールは、輸送中の損傷や故障を確認するためにレセプション試験を行う。レセプション試験では読み出し試験も行われ、輸送前の状態に対する変化の有無などを確認する。そのため、この読み出し試験では試験自体の結果に加え、各製造地で行った試験結果の再現性が問われ、再現測定や輸送前後の試験結果の比較が重要となってくる。

レセプション試験後、ピクセル検出器の集積化(Integration)を行う。集積化とは、ステープ(エンドキャップの場合はペタル)と呼ばれる骨組みにピクセルモジュール、クーリングシステム、ケーブルなどを設置していく作業である。図 3.3 にアウターバレル用のステープの模式図とモジュールをステープに固定したときの写真を示す。集積化の間も、不具合の検出や接続を確認するため繰り返し読み出し試験が行われる。統合されたステープはさらにバレルごとに組み立てが行われ、HL-LHC のアップグレード期間に ATLAS 検出器の中へと設置される。

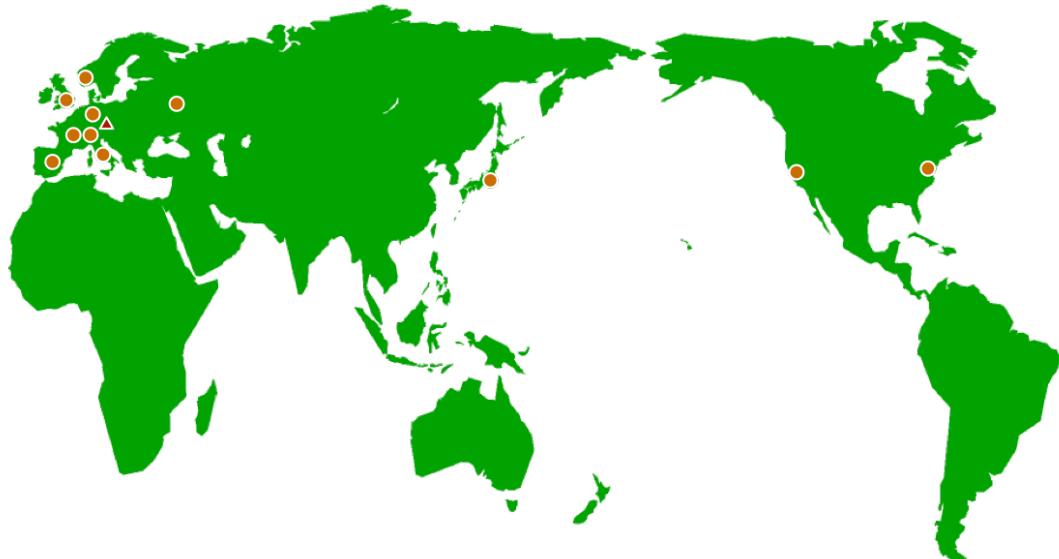


図 3.4 中央データベースと量産国の地理的配置。三角印 (赤) がチェコの中央データベース、他の丸印 (橙) が量産を行う機関の一部を示している。ピクセルモジュールの量産は各機関で行われたのち CERN に集められ、組み立て作業が行われる。各量産工程の試験結果や材料・製造品の情報などが中央データベースで保存され、量産時から HL-LHC の運用時の長期にわたって管理・利用される。

3.1.3 中央データベース (ITk Production DB) への登録

量産時に用いられる材料や製造品、また各工程における品質管理試験の結果は中央データベース (ITk Production Database、ITk PD)^[30] で管理される。中央データベースは、ITk で使用される全ての構成要素を登録するための情報システムであり、ITk を構成する約 500000 の材料について、量産時の品質管理試験結果や輸送情報を記録する。また、これらの情報は HL-LHC の運転時における性能の見積もりやフィードバックにまで利用され、量産から運転までの十数年のスケールで運用されることが決まっている。

図 3.4 に中央データベース及びピクセルモジュールの量産・設置を行う機関の地理的配置を示す。中央データベースの開発中心はチェコの Unicorn College であり、データベースサーバーもチェコに設置されている。ピクセルモジュールの量産を行う機関には、ATLAS 検出器のあるスイスはもちろん、イギリス、イギリス、フランス、ドイツ、イタリアなどのヨーロッパ数カ国、LBNL を含むアメリカの数機関、そして日本が挙げられる。

中央データベースでは試験に関連するすべてのデータを保存するとは限らず、各試験について品質評価及び管理のために必要最低限のデータの保存と管理を行う。これらのデータは、重複や欠損、誤りを防ぐために、量産を行う各機関が決まった手順を踏んで適切に保存処理を行う必要がある。

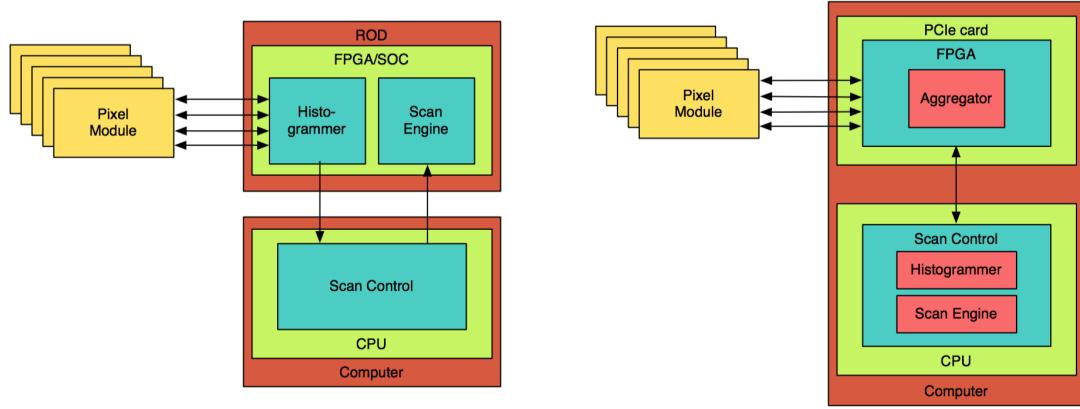


図 3.5 ピクセルモジュールの読み出しシステム構造の比較^[31]。

(左) 従来のシステム。各ピクセルモジュールに対して FPGA が組み込まれた Read-Out-Driver(ROD) が接続され、ROD に PC が接続されている。ピクセルモジュールの測定を行う読み出しエンジン(Scan Engine) やデータ処理を行うエンジン(Histogrammer) は FPGA にプログラムされ、FW 上で処理されるため、処理遅延を低減し、通信帯域幅の使用量を削減できる。現行内部飛跡検出器でもこの構造が適応されている。

(右) YARR システム。各ピクセルモジュールに対して FPGA が接続され、PCIe を介して PC と接続されている。ピクセルモジュールの測定やデータ処理は PC 上の SW で処理され、FW はピクセルモジュールからの信号を PC に伝送するという最低限の処理を行う。これによって HW に対する制約は緩和され、読み出しボードや ASIC の汎用化につながる。

3.2 読み出し試験

読み出し試験はシリコンセンサーから FE チップまでの信号読み出し過程(図 2.4)における不具合の早期発見や、読み出し回路の性能評価のための試験であり、ハードウェア(HW)・ファームウェア(FW)^{*1}・ソフトウェア(SW)で構成される読み出しシステムを用いて行う。量産過程の多くの研究機関及び ITk 運転時の読み出しシステムには YARR と呼ばれる読み出しシステムが用いられることが予定されている。本研究でも YARR のシステムを用いて読み出し試験を行った。

3.2.1 汎用読み出しシステム YARR

ピクセルモジュールでは膨大な読み出し回路に対して測定処理を行い、かつ膨大なデータが生成されるため、十分な通信帯域幅が要求される。従来の読み出しシステム(図 3.5(左))では FW-SW 間の通信帯域幅が十分でないため、データを FW で処理してから PC に送ることによって帯域幅の使用量を削減していた。また、モジュールに直接接続されている FW で測定処理を行うによって、処理遅延を低減していた。これらのエンジンが組み込まれたシステムは現行内部飛跡検出器でも導入され、Read-Out-Driver(ROD) と呼ばれる。従来のシステム構造では次に挙げる問題点が指摘されていた。

- 使用できる HW の限定

複雑な測定やデータ処理を行うために SRAM(Static Random Access Memory) や DSP(Digital Signal Processor)、PPC(Power PC) などの高度な専門ユニットが要求される。汎用性の観点から

^{*1} コンピュータや集積回路に内蔵されるソフトウェアの 1 つで、本体の内部回路や装置などのハートウェアを制御する

これらのユニットを全て有する読み出しボードは一般市場にないことが多く、自分たちで製作する必要がある。

- HW/FW に強く依存する SW の要求

SW と FW の依存関係が強く、特定の HW に対して高度な SW が作成される。しかし通常 HW は実験室や検出器の動作条件ごとに異なるプラットフォームが存在するため、それぞれに対応する SW が要求される。

- 開発者不足

SW プログラミング言語に比べて FW プログラミング言語は扱える人が少ないため、測定・データ処理部分が FW に組み込まれた場合、開発やメンテナンスが困難になる。

YARR(Yet Another Rapid Readout)^[31] システム(図 3.5(右))は、上記の問題点を解決するために開発された読み出しシステムである。YARR における読み出しの基本概念は次の通りである。

- 測定・データ処理の SW 化

FW-SW 間の通信帯域幅や通信遅延を PCI Express(PCIE) 接続による高速通信で改善し、全ての測定処理及びデータ処理を SW で行う。

- FW の単純化

従来 FW で行っていた信号処理を全て SW に移行し、FW ではピクセルモジュールからの信号受信と SW への信号送信のための最低限の信号処理に抑える。マルチコア CPU によるマルチスレッド処理を用いることで SW でも高速に信号処理を行うことが可能となる。

- 読み出しボード・ASIC の汎用化

データ処理の SW 化は HW への制約を緩和し、読み出しボードとして市販品を利用することができるようになるため、多様な読み出しボードに対応することを目指す。また SW 処理の場合、処理速度は HW に依存せず、頻繁に提供される新しい機能によって今後さらに向上させることができる。そのため、YARR システムの当初の開発^[32]では FE-I4 の読み出しを対象にしていたが、今後開発される高速読み出しの ASIC にも対応できる可能性を持つ。

以下では YARR システムを構成する HW、SW について説明する。

Hardware

図 3.6 に読み出しシステムのセットアップの模式図を示す。



図 3.6 読み出し試験時のセットアップの模式図。ピクセルモジュールに LV・HV 電圧を供給するための電源と、信号を伝送するために FW のプログラムされた FPGA とインターフェース(ケーブル・アダプターカード)、信号を処理するために SW がインストールされた PC で構成される。

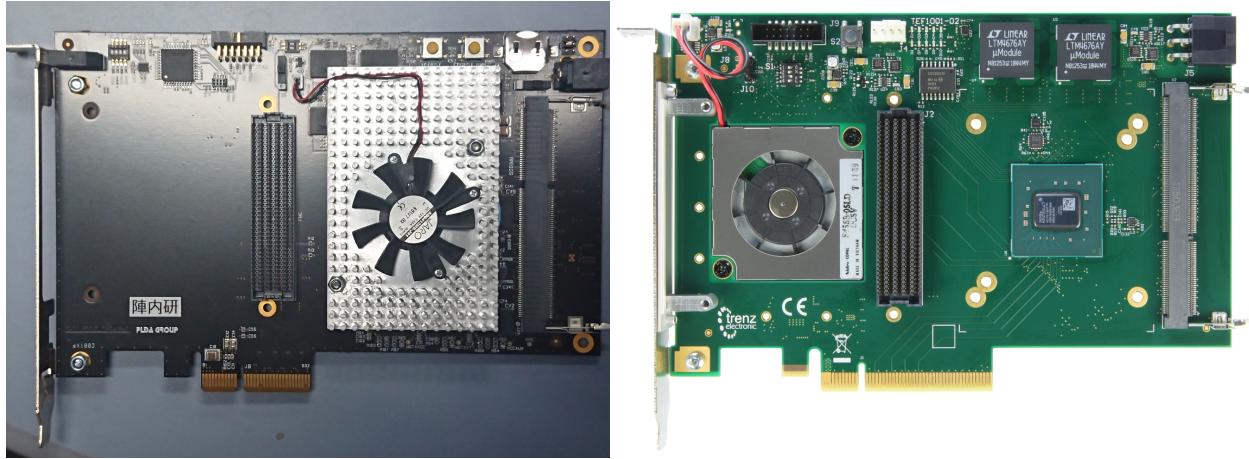


図 3.7 FPGA ボード (XpressK7(左) と Trenz TEF-1001(右))。中央に FMC 端子、右側に FPGA チップ、下側に PCIe が配置されている。XpressK7 は PCIe から電源を供給できるのに対し、Trenz TEF-1001 は右上に配置される電源コネクタで電源を供給する必要がある。

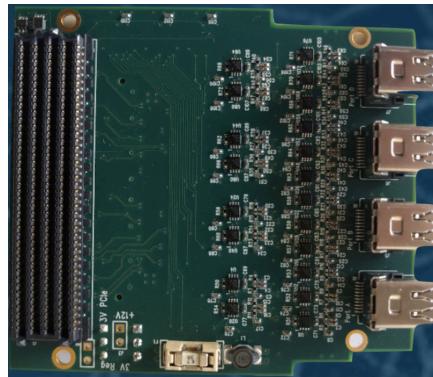


図 3.8 FMC–DisplayPort 変換カード。FMC 端子を 4 個の mini DisplayPort 端子に変換する。

ピクセルモジュールの FE チップに電圧を供給する LV 用電源とセンサーに電圧を供給する HV 用電源、FE チップからの信号を読み出すためのケーブルやアダプタ、信号を伝送するための FW がプログラムされた FPGA、信号を処理するための SW がインストールされているデスクトップ PC で構成される。

FPGA とデスクトップのインターフェースには PCIe (PCIe) を用いる。YARR の FW は PCIe 組み込み FPGA ボードである Series 7 FPGA (XpressK7、KC705、Trenz TEF-1001 など) と Spartan 6 (CERN SPEC など) に対応している。これらの FPGA ボードに DisplayPort 端子は組み込まれておらず、FMC 端子をこれに代用するため、FMC–DisplayPort 変換カードを使用する。図 3.7 に本研究で使用した FPGA である XpressK7、Trenz TEF-1001、図 3.8 に FMC–DisplayPort 変換カードを示す。

Software

YARR SW は FE チップの読み出し処理を行うため、

- (1) PCIe を介した FW との通信コア (Kernel Driver),
- (2) 測定を行う読み出しエンジンコア (Scan Engine),
- (3) データの解析処理を行うエンジンコア (Data Processor, Histogrammer, Analyser)

の 3 つのコア部分で構成される。前述したように、従来 FW で行っていた信号処理を SW に移行するこ

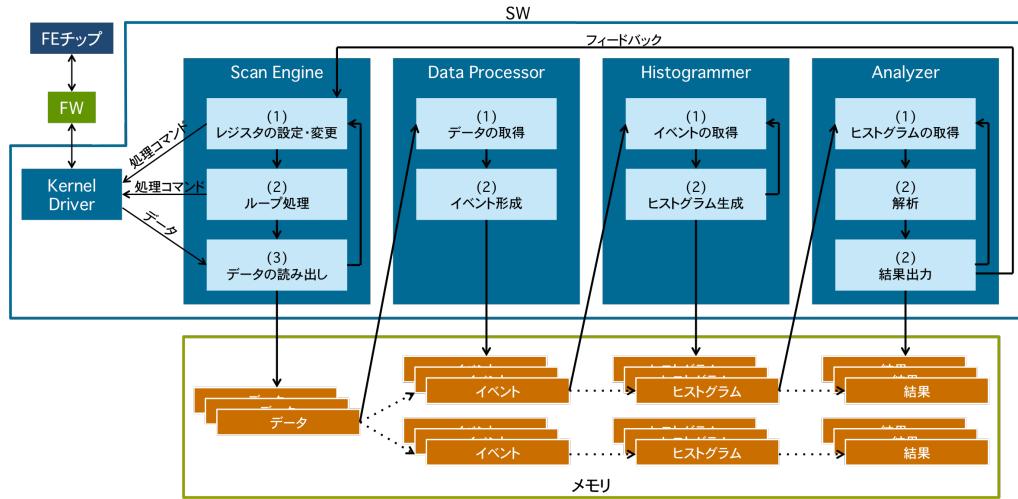


図 3.9 YARR SW によるデータ処理の概念図^[31]。FW-SW 間の信号通信(処理コマンド/データの伝送)は Kernel Driver で行われる。データ処理を行う SW は、FE チップに対して測定処理を行う Scan Engine、イベントデータを形成する Data Processor、ヒストグラムを生成する Histogrammer、解析処理を行い結果を出力する Analyzer の 4 つの処置プログラムに分けて記述され、プログラム間のデータを受け渡しによって処理が実行される。それぞれで生成されるデータはバッファメモリ上に格納される。実線矢印はデータ処理、点線矢印はデータ加工の流れを示す。

とによって、解析処理に使用できるデータ量が増え、より複雑な読み出し処理を行うことが可能となる。

図 3.9 にデータ処理の概念図を示す。YARR SW のデータ処理は次の 4 つの処置プログラムに分けて記述されており、プログラム間でデータを受け渡すことによって処理が実行される。

1. Scan Engine: FE チップに対して測定処理
 - (1) FE チップのグローバルレジスタ・ピクセルレジスタの設定や変更を行う。
 - (2) ループ処理(後述)に従って FE チップの測定を実行する。
 - (3) FE チップから伝送される信号読み出しを行い、読み出されたデータをメモリに格納する。
2. Data Processor: イベントデータの形成
 - (1) メモリ上の未加工データを取得する。
 - (2) イベントごとのデータをひとまとめにしたイベントデータを形成し、メモリに格納する。
3. Histogrammer: 分布図(ヒストグラム)の生成
 - (1) メモリ上のイベントデータを取得する。
 - (2) イベントデータから目的に応じたヒストグラムを生成し、メモリに格納する。
4. Analyzer: 解析処理と試験結果の生成
 - (1) メモリ上のヒストグラムデータを取得する。
 - (2) 試験目的に応じてフィッティングや計数処理などの解析処理を行う。
 - (3) 試験結果を生成し、出力する。出力形式は生成されたヒストグラムも含めた画像・データファイルや、コマンドライン出力のほか、Scan Engine に対するフィードバックなどがある。

読み出しエンジンコアである Scan Engine は、読み出し処理やレジスタの調整を FE チップの各ピクセルに対して実行するため、それらの反復(ループ)処理で記述される。YARR SW におけるループ処理の概念図を図 3.10 に示す。1 つのループ機構は初期化、前段処理(処理 1)、後段処理(処理 2)、終了処理、の 4 つに分けられる。読み出し試験の事前処理のあとループ処理へ移行する。ループ処理の初期化を

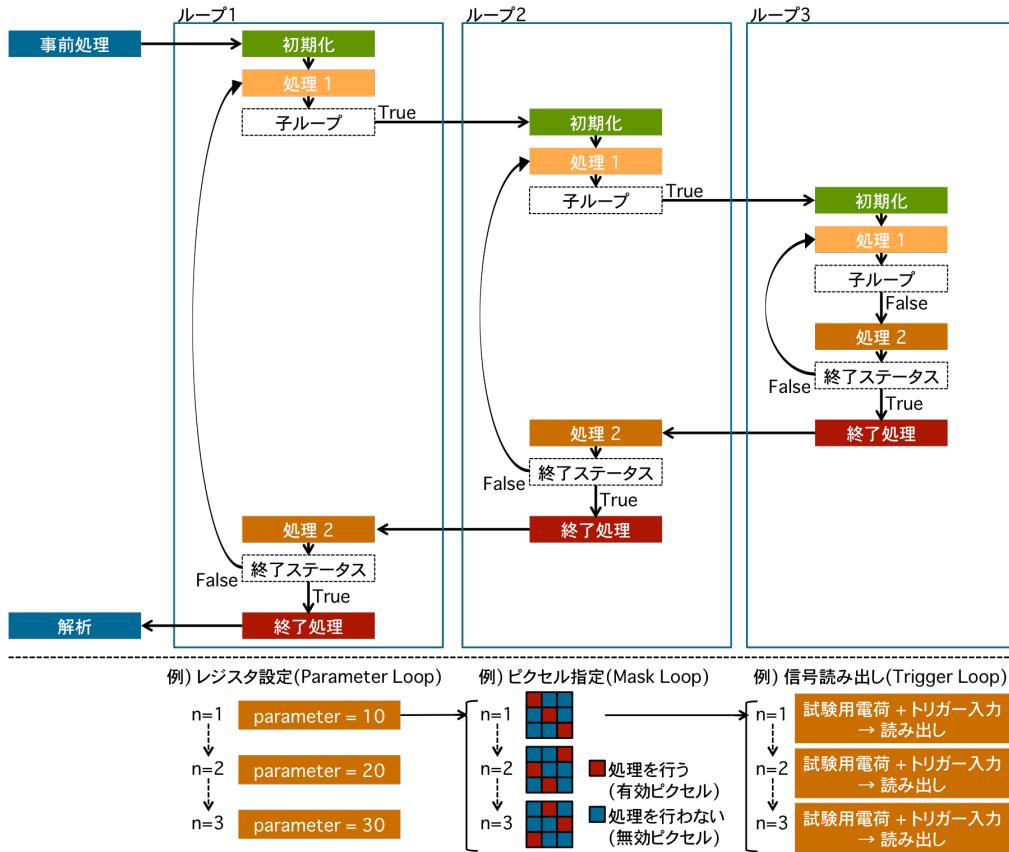


図 3.10 YARR SW のループ処理。

(上) ループ処理の概念図^[31]。1つのループは初期化、処理 1 と処理 2、終了処理で構成され、処理 1 と処理 2 は終了ステータスが入力されるまで繰り返し行われる。複数のループは入れ子になっており、1つの読み出し試験項目はこのループ処理に加え、親ループの処理の前に事前処理、後に解析処理が含まれている。

(下) 各ループ処理の例。読み出し試験は主にグローバルレジスタ/ピクセルレジスタの変更と設定(Parameter Loop)、読み出し処理を行うピクセルの指定 (Mask Loop)、試験用電荷とトリガー信号の入力による信号読み出し (Trigger Loop) の反復処理の組み合わせによって記述することができる。

終えると、処理 1 と処理 2 を一組とした処理が繰り返し実行され、規定の回数実行されると終了ステータスを出して終了処理へ移行する。複数のループは入れ子になって構成されており、ループ処理の中で処理 1 を終えると、子ループの有無を確認する。子ループがある場合は、子ループの初期化へと移行してループ処理が実行される。子ループの終了処理が実行されたあと、親ループの処理 2 へ戻り再びループ処理が実行される。親ループの終了処理を終えると、一連のループ処理の中で取得されたデータの解析処理に移行する。従来読み出しにおけるループ処理は HW や FW で実行されていたため、ループの構造や深さが制限され、複雑な処理を行うことができなかった。一方 YARR システムではこれらの処理は全て SW に移行したためループ処理に対する制限がなく、複数のループを任意の順序で組み合わせることができるため、多様な目的に応じた読み出し試験の実装が可能である。RD53A の読み出し試験は主に

- (1) レジスタ設定
- (2) ピクセルの有効/無効の切り替え
- (3) 試験用電荷及び読み出しトリガー信号の入力

のループ処理の組み合わせで記述できる。

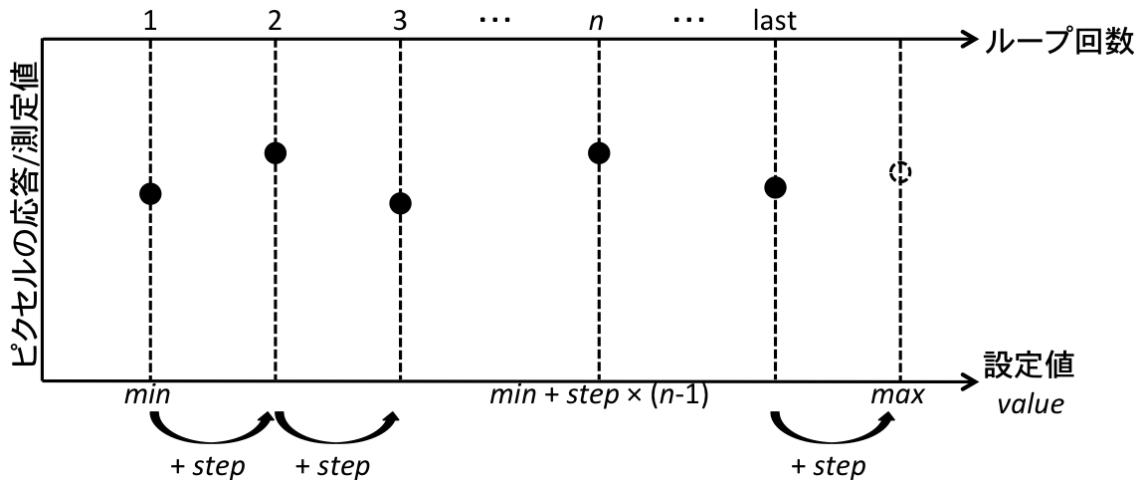


図 3.11 Parameter Loop の概念図。グローバルレジスタは $\text{min} \leq \text{value} < \text{max}$ の範囲で一定間隔 (step) で変化され、 n 回目のループでは $\text{value} = \text{min} + \text{step} \times (n-1)$ に設定される。図の上横軸はループの回数 (n)、下横軸はグローバルレジスタの設定値 (value)、縦軸は読み出しを行ったピクセルの応答/測定値を示しており、グローバルレジスタの設定値に対するピクセルの応答の変化を測定できることがわかる。

(1) レジスタ設定: Parameter Loop

グローバルレジスタやピクセルレジスタの設定値を変化させながら読み出しを行うことによって、設定値に対する各ピクセルの応答の変化を測定することができる。

Parameter Loop は、グローバルレジスタの変化範囲や変化率を指定し、その設定値を変化させるループ機構である(図 3.11)。変化させるグローバルレジスタについて以下の値を設定する。

- グローバルレジスタ名 parameter
設定値を変化させるグローバルレジスタ。
- 最大値 max
設定値の上限。
- 最小値 min
設定値の下限。
- 1 ループあたりの変化量 step
設定値の 1 ループあたりの変化量。 n 回目のループでグローバルレジスタの値 value は $\text{min} \leq \text{value} < \text{max}$ の範囲で $\text{value} = \text{min} + \text{step} \times (n-1)$ に設定される。

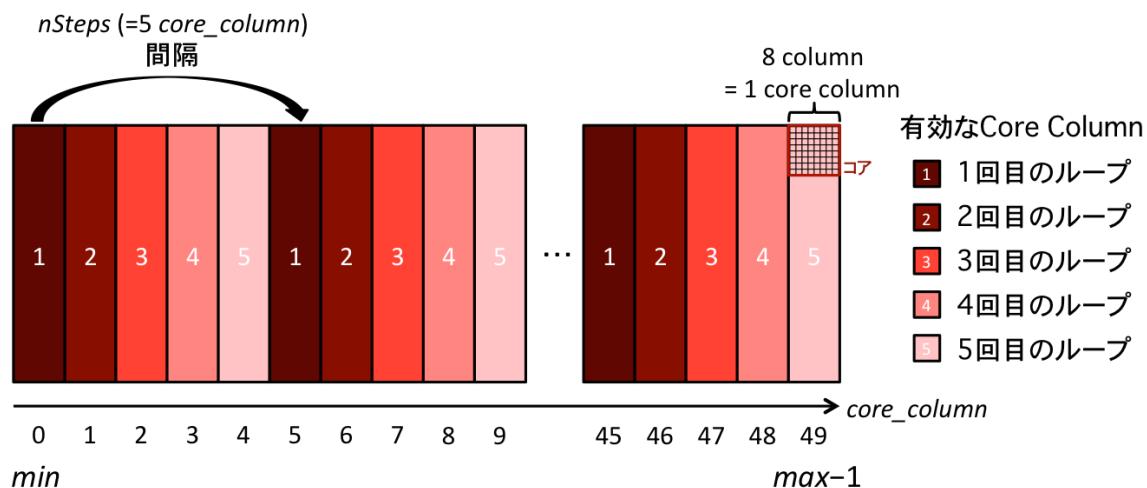


図 3.12 Core Column Loop の概念図。YARR SW では、まず Core Column Loop によって Core Column 単位でのピクセルの有効/無効を切り替え、Mask Loop(後述)によってより細かい Column、Row 単位で処理を行うピクセルを指定する。図は $\min = 0$ 、 $\max = 50$ 、 $nSteps = 5$ としたときの Core Column Loop で、横軸が Core Column 番号を示し、 $n = 0, \dots, 4$ のときに読み出される Core Column が色別で示されている。

(2) ピクセルの有効/無効の切り替え

YARR SW では同時に複数のピクセルに対して読み出し処理を行うことができる。一方、同時に読み出すピクセルが多いほど読み出し帯域が圧迫されるため、読み出しデータの品質が低下する。特に、入力電荷の有無にかかわらず常に信号を出力するピクセル(ノイジー)がある場合、ノイジーピクセル以外の読み出しにおいても読み出し帯域が圧迫され、最悪の場合読み出し試験自ができなくなる可能性がある。また、隣接するピクセルについて同時に読み出しを行うと、クロストークなどの影響を受けるため、各ピクセルの性能を正しく評価できなくなる。

これらの問題と切り離した適切な読み出しを行うために、同時に処理を行うピクセルを制限し、処理を行わないピクセルについては無効化(マスク)して、信号が出力されないようにする。2.3 節で述べたように、RD53A では Digital FE や Analog FE はコア(8×8 ピクセル)単位で組まれて読み出し処理が行われるため、(i)Core Column 単位、(ii) ピクセル(Column, Row) 単位、の順に有効/無効の切り替えを行う。

(i) Core Column 単位の有効/無効の切り替え: Core Column Loop

Core Column Loop は、Core Column 単位での有効/無効の切り替えを行うループ機構である(図 3.12)。処理を行う Core Column 番号($core_column = 0, 1, 2, \dots$)について以下の値を設定する。

○ 最大値 \max

処理を行う Core Column 番号の上限($0 < \max \leq 50$)。

○ 最小値 \min

処理を行う Core Column 番号の下限($0 \leq \min < 50$)。

○ 間隔 $nSteps$

同時に処理を行う Core Column 番号の間隔($0 < nSteps \leq 50$)。 n 回目のループでは $(core_column - \min) \% nSteps == n - 1$ ($\min \leq core_column < \max$) を満たす Core Column に対して処理が行われる。

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	1
0	0	8	16	24	32	40	48	56	0	8	16	24	32	40	48	56	0	8	1
1	1	9	17	25	33	41	49	57	1	9	17	25	33	41	49	57	1	9	1
2	2	10	18	26	34	42	50	58	2	10	18	26	34	42	50	58	2	10	1
3	3	11	19	27	35	43	51	59	3	11	19	27	35	43	51	59	3	11	1
4	4	12	20	28	36	44	52	60	4	12	20	28	36	44	52	60	4	12	2
5	5	13	21	29	37	45	53	61	5	13	21	29	37	45	53	61	5	13	2
6	6	14	22	30	38	46	54	62	6	14	22	30	38	46	54	62	6	14	2
7	7	15	23	31	39	47	55	63	7	15	23	31	39	47	55	63	7	15	2
8	72	80	88	96	104	112	120	64	72	80	88	96	104	112	120	64	72	80	8
9	73	81	89	97	105	113	121	65	73	81	89	97	105	113	121	65	73	81	8
10	74	82	90	98	106	114	122	66	74	82	90	98	106	114	122	66	74	82	9
11	75	83	91	99	107	115	123	67	75	83	91	99	107	115	123	67	75	83	9
12	76	84	92	100	108	116	124	68	76	84	92	100	108	116	124	68	76	84	9
13	77	85	93	101	109	117	125	69	77	85	93	101	109	117	125	69	77	85	9
14	78	86	94	102	110	118	126	70	78	86	94	102	110	118	126	70	78	86	9
15	79	87	95	103	111	119	127	71	79	87	95	103	111	119	127	71	79	87	9
16	144	152	160	168	176	184	128	136	144	152	160	168	176	184	128	136			
17	145	153	161	169	177	185	129	137	145	153	161	169	177	185	129	137			
18	146	154	162	170	178	186	130	138	146	154	162	170	178	186	130	138			

図 3.13 Mask Loop の概念図。横方向が Column(列)、縦方向が Row(行) を表し、セル中の数字は各ピクセルの serial を表している。min = 0、max = 64としたときの Mask Loop で、n = 0 … 7 のときに読み出されるピクセルが色別で示されている。

(ii) ピクセル単位の有効/無効の切り替え: Mask Loop

RD53A では、図 2.13 に示す Digital FE の “Enable” の信号を 0 にすることによって、ピクセル単位でマスクすることが可能である。マスクするピクセルを変化させながら、マスクされていないピクセルに対して読み出し処理を行うことで、全てのピクセルについて順々に測定を行うことができる。

Mask Loop は、有効化されている Core Column の内で、さらに有効化して読み出し処理を行うピクセルを Column、Row 単位で指定し、処理を行わないピクセルを全てマスクするループ機構である(図 3.13)。有効化するピクセルは、Column 番号 (col)、Row 番号 (row)、Core Row 番号 (core_row) を用いて

$$\text{serial} = (\text{core_row} \times 64) + ((\text{col} + (\text{core_row} \% 8)) \% 8) \times 8 + \text{row} \% 8$$

で与えられるピクセル番号 (serial) を用いて指定する。

○ マスク番号の最大値 max

マスク番号 (mask) は $\text{serial} \% \text{max}$ で与えられ、この値が等しいピクセルが同時に有効化され、それ以外のピクセルはマスクされる。 $\text{max} = 64$ の場合、1 回のループで 1 コア (8×8 ピクセル)あたり 1 ピクセルが有効化されるため、すべてのピクセルに対して読み出し処理を行うためには 64 回のループ処理が必要とされる。

○ マスク番号の最小値 min

マスク番号の開始番号 ($0 \leq \text{min} < \text{max}$)。つまり Mask Loop は $\text{min} \leq \text{mask} < \text{mask}$ の範囲でループ処理され、n 回目のループでは、 $\text{serial} \% \text{max} == n - 1 + \text{min}$ を満たすピクセルが有効化され、読み出し処理が行われる。

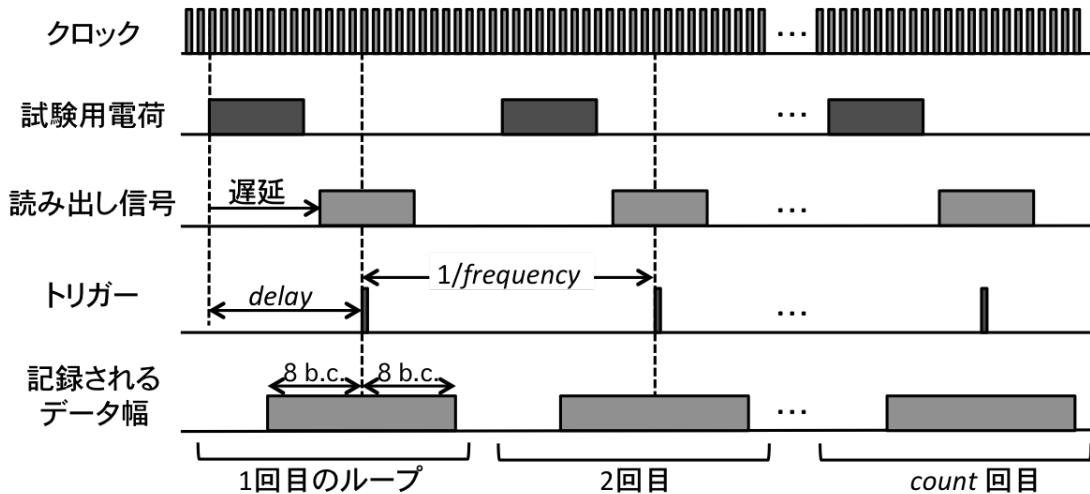


図 3.14 Trigger Loop の概念図。トリガー信号として、クロック信号と外部トリガーを選択でき、1回のトリガー信号の入力に対して、前後 $25\text{ ns} \times 8 (= 16\text{ b.c.})$ 分のデータが記録される。クロック信号をトリガーとして用いる場合、トリガー信号の入力回数 (count) と間隔 (frequency) を Trigger Loop で指定する。また Trigger Loop では試験用電荷の入力についても設定することができ、試験用電荷を入力する場合、入力電荷の種類 (アナログ電荷/矩形波)、入力電荷とトリガー信号のタイミング差 (delay) を指定する。`delay` は、試験用電荷が入力されてから読み出されるまでに生じる遅延時間を考慮して、適切に設定する必要がある。

(3) 試験用電荷及び読み出しトリガー信号の入力: Trigger Loop

各ピクセルは、トリガー信号が入力されたときに読み出しが行われる。トリガー信号は、クロック信号と外部トリガーを選択することができ、1回のトリガー信号に対して前後 $25\text{ ns} \times 8 (= 16\text{ b.c.})$ 分のデータが記録される。

Trigger Loop は、トリガー信号の種類 (クロック信号/外部トリガー)、トリガー信号の入力回数、間隔を指定するループ機構である (図 3.14)。クロック信号をトリガー信号に用いる場合、トリガーについて以下の値を設定する。

○ 入力回数 count

トリガー信号として入力されるクロック信号の回数。

○ 入力間隔 frequency

トリガー信号として入力されるクロック信号の間隔 [Hz]。

また読み出し試験の多くでは、各ピクセルに対して試験用電荷を入力し、その応答を確認する。試験用電荷については、さらに以下の値を設定する。

○ 試験用電荷の入力 noInject

試験用電荷入力の有無 (True/False)。入力する場合は True、入力しない場合は False に設定する。

○ 矩形波/アナログ電荷の選択 edgeMode

試験用電荷として矩形波かアナログ電荷かを選択する (True/False)。デジタル回路の試験では矩形波 (True)、アナログ回路を含めた試験ではアナログ電荷 (False) に設定する。

○ 試験用電荷とトリガー信号の入力タイミング差 delay

試験用電荷の入力からトリガー信号の入力までの遅延 [b.c.]。`delay = 56` の場合、試験用電荷を入力してから 56 クロック [b.c.] 後にトリガー信号が入力される。

3.2.2 読み出し試験

YARR SW を用いた読み出し試験では以下の設定ファイルが要求される。

- 試験設定ファイル
ループの組み合わせ方や初期設定、解析方法を記述するファイル
- HW 設定ファイル
HW の指定や設定を記述するファイル
- 接続設定ファイル
読み出しを行う FE チップの種類や読み出しチャンネルを記述するファイル
- FE チップ設定ファイル
各 FE チップのグローバルレジスタ・ピクセルレジスタの初期設定を記述するファイル

全てのファイルは **JSON(JavaScript Object Notation)** と呼ばれる形式で記述され、試験者は任意に設定を変更することができる。読み出し試験後、試験の内容・解析方法に応じて以下のファイルが 1 つのディレクトリの中に生成される。

- 試験結果
2 次元ピクセルマップ (PNG) や 1 次元分布図 (PDF) と対応するデータ (DAT/JSON)
- FE チップ設定ファイル
初期設定 (試験前) と試験によって変更が加えられた設定 (試験後) ファイル (JSON)
- 試験設定ファイル
行った読み出し試験の設定ファイル (JSON)
- 試験ログ
使用した HW 設定ファイルや接続設定ファイルを含む試験の情報を記録するファイル (JSON)

3.2.3 試験項目

読み出し試験では不具合の精査と性能評価のため、目的に応じた試験項目が用意されており、レジスタ調整から試験・測定まで一連の流れが組まれている。組み立て工程における読み出し試験のセットは全読み出し試験と部分読み出し試験の2種類に大別される。部分読み出し試験の内容は以下の通りである。

1. デジタル回路試験

各ピクセルのデジタル回路部分の不具合を確認する試験。Digital FE に試験用パルスを入射し、応答を確認する。

2. アナログ回路試験

各ピクセルのアナログ回路部分の不具合を確認する試験。Analog FE に大きめの試験用電荷を入射し、応答を確認する。

3. Threshold 測定試験

各ピクセルの Threshold 値を測定する試験。Analog FE に電荷量を変化させながら試験用電荷を入射し、電荷量に対する応答率から Threshold を求める。

4. Threshold グローバルレジスタ調整試験 (目標値: 1000 e)

各ピクセルの Threshold に関するグローバルレジスタを設定する試験。グローバルレジスタを変化させながら、目標として与えた Threshold 値に相当する電荷量の試験用電荷を入射し、各ピクセルの応答率を測定して、全ピクセルの平均値が 50% に最も近くなるときのグローバルレジスタを求める。試験後、FE チップ設定ファイル中のグローバルレジスタは求められた値に書き換えられる。

5. Threshold ピクセルレジスタ調整試験 (目標値: 1000 e)

各ピクセルの Threshold に関するピクセルレジスタを設定する試験。ピクセルレジスタを変化させながら、目標として与えた Threshold 値に相当する電荷量の試験用電荷を入射し、各ピクセルの応答率が 50% に最も近くなるときのピクセルレジスタをそれぞれ求める。試験後、FE チップ設定ファイル中のピクセルレジスタは求められた値に書き換えられる。

6. ToT グローバルレジスタ調整試験 (目標値: 7 ToT @ 10000 e)

各ピクセルの増幅率や波形整形に関するグローバルレジスタを設定する試験。グローバルレジスタを変化させながら、基準として与えた電荷量の試験用電荷を入射し、各ピクセルの ToT を測定して、全ピクセルの平均値が目標として与えた ToT に最も近くなるときのグローバルレジスタを求める。試験後、FE チップ設定ファイル中のグローバルレジスタは求められた値に書き換えられる。

7. Threshold ピクセルレジスタ再調整 (目標値: 1000 e)

各ピクセルの Threshold に関するピクセルレジスタを再設定する試験。Threshold ピクセルレジスタ調整試験と同様のことを行うが、すでに Threshold ピクセルレジスタ調整試験を行っているため、再調整試験ではレジスタを変化させる範囲が狭い。試験後、FE チップ設定ファイル中のピクセルレジスタは求められた値に書き換えられる。

8. Threshold ピクセルレジスタ精密調整試験 (目標値: 1000 e)

各ピクセルの Threshold に関するピクセルレジスタを精密に設定する試験。再調整で設定されたレジスタに対して微小量変化させて、最適なピクセルレジスタを求める。試験後、FE チップ設定ファイル中のピクセルレジスタは求められた値に書き換えられる。

9. Threshold 測定試験

3 と同様。

10. ToT 測定試験 (@ 10000 e)

各ピクセルの ToT 値を測定する試験。基準として与えた電荷量の試験用電荷を入射し、各ピクセルの ToT を測定して平均値を求める。

11. アナログ回路試験

2 と同様。

12. デジタル回路試験

1 と同様。

13. バンプ接続確認試験

各ピクセルのバンプボンディングの接続を確認する試験。バンプ接続を確認するには、放射線を照射してその応答を確認する方法(放射線照射試験)と、隣接する Analog FE に大きめの試験用電荷を入射し、クロストークを確認する方法(バンプ接続確認試験)がある。後者では、バンプが断線しているピクセルでは、センサー-FE チップ間の静電容量が小さくなるため、クロストークが検出されない、あるいはバンプが接続されているピクセルに比べてクロストークが小さいと考えられ、これによってバンプの接続を確認できる。

全読み出し試験は部分読み出し試験に以下の項目を追加したものである。

1. スタックピクセル測定試験

入力電荷の有無にかかわらず常に output するピクセルを確認する試験。試験用パルスの入射をせずにデジタル回路試験を行い、応答を確認する。

2. クロストーク測定試験

各ピクセルのクロストークの有無を確認する試験。隣接する Analog FE に試験用電荷を入射し、応答を確認する。

3. ノイズ占有率測定試験

各ピクセルのノイズの頻度を確認する試験。試験用電荷の入射をせずにクロックによるトリガーで測定を行い、応答率を求める。

4. 放射線照射試験

13(バンプ接続確認試験)にて挙げた放射線照射試験。部分読み出しではバンプ接続確認試験または放射線照射試験でバンプの接続を確認するが、全読み出し試験では、バンプの接続だけでなくシリコンセンサーやセンサー-FE チップ間の不具合も確認するために放射線源を用いて実際に放射線を照射して試験を行う。

以下では主な試験項目の具体的な内容について説明する。

デジタル回路試験

デジタル回路試験は各ピクセルのデジタル回路部分の不具合を確認する試験である。各ピクセルのデジタル回路部分に試験用電荷を一定の間隔で n_i 回入射し、その応答数 n_o を計測する。

図 3.15 にデジタル回路試験における試験評価の概念図を示す。デジタル回路試験の評価では、ピクセルごとに以下の式で求める割合 $Occ_d[\%]$ を用いる。

$$Occ_d = \frac{n_o}{n_i} \times 100$$

デジタル回路が正常なピクセルの場合は、すべての試験用電荷の入射に対して応答するため、 $Occ_d = 100$ となることが期待される。一方、デジタル回路や読み出しに不具合がある場合、 Occ_d は 100 より小さくなるか、大きくなる可能性があり、 $Occ_d < 98$ を満たすピクセルは **Digital Bad**、 $Occ_d < 1$ を満たすピクセルは **Digital Dead** と評価される。また、FE チップ上の全ピクセル数 N_{all} に対して $Occ_d = 100$ を満たすピクセル数 N_{pix} が $100 \times N_{\text{pix}}/N_{\text{all}} > 99.9\%$ を満たすとき、その FE チップのデジタル回路試験は **Perfect** と評価される。

RD53A ではマルチプレクサ (図 2.13 の台形部分) が組み込まれている。マルチプレクサによって、制御信号 S の切り替えでアナログフロントエンドからの信号 A と試験用電荷入力による信号 D とを選択でき、出力信号 O は論理式で以下のように与えられる。

$$O = (A \cdot \bar{S}) + (D \cdot S) \quad (3.1)$$

デジタル回路試験では制御信号を $S = 1$ に設定し、アナログフロントエンドからの信号を除去することによって、デジタル回路の性能のみを確認できる。

デジタル回路試験の結果として生成される主な画像ファイル及びデータファイル表 3.2 に示す。

表 3.2 デジタル回路試験結果データ。 Occ_d の値を示す OccupancyMap の他、 $Occ_d = 100$ のピクセルを示す EnMask、トリガーに対する信号の取得タイミングを示す L1Dist のデータが生成される。

データ名	説明	ファイルサイズ
OccupancyMap	各ピクセルの Occ_d の値を示す 2 次元ピクセルマップ (付録 A.1.1)	約 10 kB (PNG) 約 300 kB (DAT)
EnMask	$Occ_d = 100$ のピクセルを 1、それ以外を 0 とした 2 次元ピクセルマップ (付録 A.1.1)	約 10 kB (PNG) 約 150 kB (DAT)
L1Dist	1 つのトリガーで取得する前後 25 ns × 8 分のデータ内に おける信号の取得タイミングを示す 1 次元分布図 (付録 A.1.1)	約 6 kB (PDF) 約 93 kB (DAT)

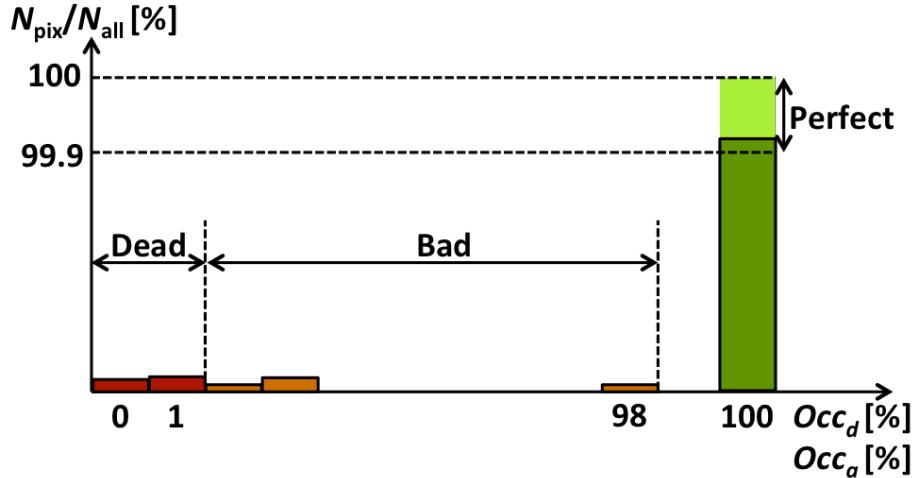


図 3.15 デジタル回路試験/アナログ回路試験評価の概念図。横軸は応答の割合 (Occ_d または Occ_a [%])、縦軸は該当ピクセル数の割合 ($100 \times N_{pix}/N_{all}$ [%]) を示しており、Digital(Analog) Bad、Digital(Analog) Dead に評価されるピクセルの領域と、Perfect 評価される FE チップの領域をそれぞれ矢印で示している。

アナログ回路試験

アナログ回路試験は各ピクセルのアナログ回路部分の不具合を確認する試験である。各ピクセルのアナログ回路(フロントエンド)部分に 30000 e 程度の十分に大きい試験用電荷を一定の間隔で n_i 回入射し、その応答数 n_o を計測する。

図 3.15 にアナログ回路試験における試験評価の概念図を示す。アナログ回路試験の評価では、デジタル回路試験と同様にピクセルごとに以下の式で求める割合 Occ_a [%] を用いる。

$$Occ_a = \frac{n_o}{n_i} \times 100$$

アナログ回路が正常なピクセルの場合は、すべての試験用電荷の入射に対して応答するため、 $Occ_a = 100$ となることが期待される。アナログ回路に不具合がある場合は $Occ_a = 100$ を満たさない可能性があり、 $Occ_a < 98$ を満たすピクセルは **Analog Bad**、 $Occ_a < 1$ を満たすピクセルは **Analog Dead** と評価される。また、FE チップ上の全ピクセル数 N_{all} に対して $Occ_a = 100$ を満たすピクセル数 N_{pix} が $100 \times N_{pix}/N_{all} > 99.9\%$ を満たすとき、その FE チップのアナログ回路試験は **Perfect** と評価される。

アナログ回路と切り離した試験であるデジタル回路試験に対して、アナログ回路試験ではアナログ回路よりも後段にデジタル回路が配置されているためデジタル回路と切り離した試験が困難である。それに伴ってアナログ回路試験の結果が正常でない場合に対して、不具合がアナログ回路部分にあるのかデジタル回路部分にあるのか判断することも難しい。デジタル回路部分に不具合を持つピクセルをあらかじめ取り除けるようにするため、通常はアナログ回路試験よりも先にデジタル回路試験を行う。この時点で不具合があると判定されたピクセルは、初期設定値で機能をマスクしてからアナログ回路試験を行う。

アナログ回路試験の結果として生成されるデータはデジタル回路試験と同様である。

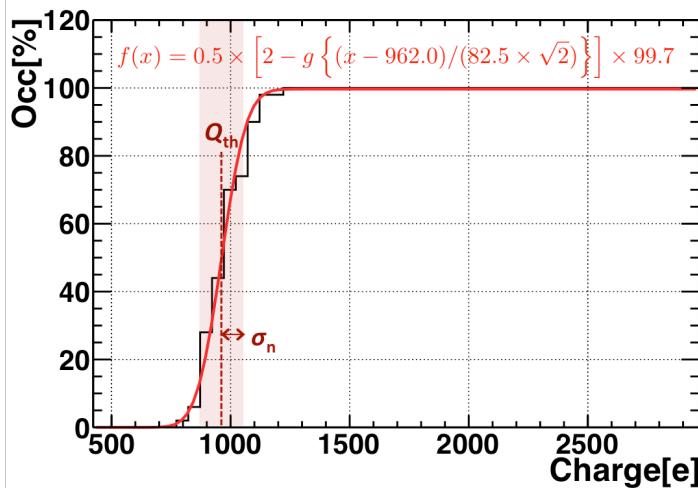


図 3.16 S カーブ フィッティング。入射電荷量を増加させていくと、Threshold 値を超える前後で急激に応答率が増加する。増加の傾きはノイズの大きさに依存し、入射電荷量と応答率の関係 (S 字カーブ) を誤差関数を用いてフィッティングすることで中心値と幅が得られ、それぞれ Threshold 値 (Q_{th})、ノイズの大きさ (σ_n) に相当する。このグラフの場合 $Q_{\text{th}} = 962.0 \text{ e}$ 、 $\sigma_n = 82.5 \text{ e}$ である。

Threshold 測定試験

Threshold に関するグローバルレジスタやピクセルレジスタは、ピクセルごとに目標の Threshold 値 Q_{target} になるようにレジスタ調整試験で調整 (Tuning) されるが、ピクセルの個体差やレジスタ調整の精度に応じて各ピクセルの Threshold 値にはばらつきが生じる。Threshold 測定試験は各ピクセルの Threshold 値を測定し、レジスタ調整試験の精度を確認する試験である。

各ピクセルの Threshold 値は S カーブ フィッティングと呼ばれる手法を用いて測定する。試験用電荷を一定の間隔で n_i 回入射し、その応答数 n_o を計測して応答率 $Occ [\%]$ を以下の式で求める。

$$Occ = \frac{n_o}{n_i} \times 100$$

この操作を、入射電荷量を増加させて繰り返し行う。典型的には、入射電荷量と応答率の関係は図 3.16 のようになる。この分布を以下の式 $f(x)$ でフィッティングする動作が S カーブ フィッティングである。

$$f(x) = 0.5 \times \left[2 - g \left\{ (x - Q_{\text{th}}) / (\sigma_n \times \sqrt{2}) \right\} \right] \times p \quad (3.2)$$

なおこのとき $g(x)$ は以下で与えられる相補誤差関数である。

$$g(x) = \frac{2}{\sqrt{\pi}} \int_x^{\infty} \exp(-t^2) dt \quad (3.3)$$

S カーブの中心値はピクセルの Threshold 値 Q_{th} 、幅はピクセルのノイズの大きさ σ_n に相当する。なお、 σ_n は FE チップで生じる電気ノイズ $\sigma_{n,\text{FE}}$ と、センサー由来のノイズ $\sigma_{n,\text{sensor}}$ の合計値である。図 3.17 に、RD53A FE チップについて、 $Q_{\text{target}} = 1000 \text{ e}$ としてレジスタ調整試験を行い、Threshold 測定試験を行ったときの全ピクセルの Threshold 分布 (左) とノイズ分布 (右) を示す。それぞれの分布に対してガウシアンフィッティングすることによって、全ピクセルの測定値分布の中心値 $Q_{\text{th,mean}}$ 、 $\sigma_{n,mean}$ と幅 $Q_{\text{th},\sigma}$ 、 $\sigma_{n,\sigma}$ が得られる。Threshold 測定試験では、各ピクセルの測定値 Q_{th} 、 σ_n それについて評価を行う。

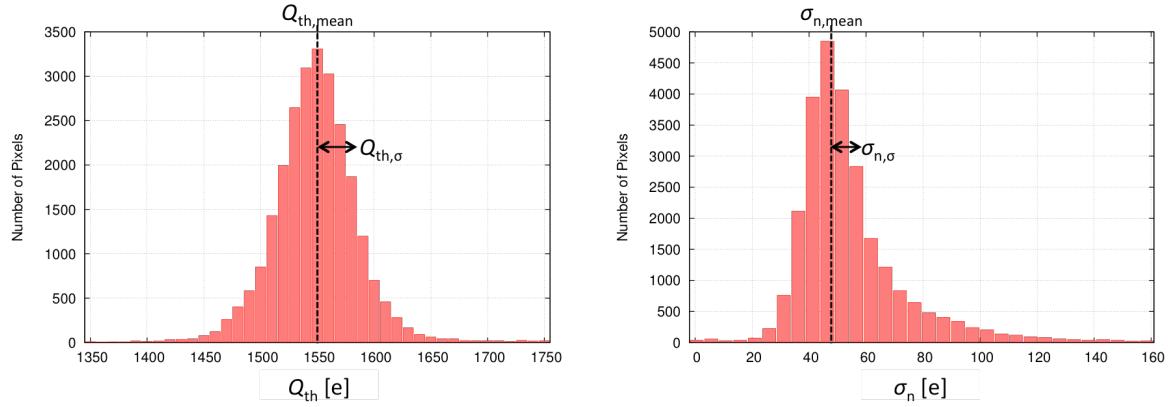


図 3.17 FE チップの Threshold 分布とノイズ分布。(左) 各ピクセルの Threshold 値 (Q_{th}) の分布を示す 1 次元分布図。横軸が Q_{th} [e]、縦軸が 1 ビンあたりのピクセル数を表し、 $Q_{\text{th},\text{mean}}$ はガウシアンフィッティングの中心値、 $Q_{\text{th},\sigma}$ は幅を示している。(右) 各ピクセルのノイズの大きさ (σ_n) の分布を示す 1 次元分布図。横軸が σ_n [e]、縦軸が 1 ビンあたりのピクセル数を表し、 $\sigma_{n,\text{mean}}$ はガウシアンフィッティングの中心値、 $\sigma_{n,\sigma}$ は幅を示している。

各ピクセルの Threshold 値 Q_{th} は、レジスタ調整試験の精度が良く、またピクセルの個体差が小さいとき、ばらつきが小さいことが期待される。一方調整精度が悪い場合、 Q_{th} は平均値から大きく外れた値をとる可能性があり、 $|Q_{\text{th}} - Q_{\text{th},\text{mean}}| > 5 \times Q_{\text{th},\sigma}$ を満たすピクセルは **Tuning Bad**、そもそも S カーブフィッティングに失敗し $Q_{\text{th},\sigma} = 0$ を返すピクセルは **Tuning Failed** と評価される。また、FE チップ単位での調整精度は $Q_{\text{target}} = 1000$ e に対する $Q_{\text{th},\text{mean}}$ で評価され、 $950 < Q_{\text{th},\text{mean}} < 1050$ を満たすとき **Perfect**、 $800 < Q_{\text{th},\text{mean}} < 1200$ を満たすとき **Good**、それ以外は **Bad** と評価される。

各ピクセルの σ_n もまたばらつきが小さい方が望ましく、 $|\sigma_n - \sigma_{n,\text{mean}}| > 3 \times \sigma_{n,\sigma}$ を満たすピクセルは **High ENC** と評価される。また、FE チップ単位では $\sigma_{n,\text{FE}} + \sigma_{n,\text{sensor}}$ 相当のノイズを持つことが期待され、上回る場合は損傷などによるノイズ量の上昇、下回る場合は接続不良などによるノイズ量の低下などの可能性があり、どちらも望ましくない。Differential FE 単体の電気ノイズは $\sigma_{n,\text{FE}} \sim 40$ e 程度であるため、 $30 < \sigma_{n,\text{mean}} < 60$ を満たすとき **Perfect**、 $20 < \sigma_{n,\text{mean}} < 100$ を満たすとき **Good**、それ以外は **Bad** と評価される。

Threshold 測定試験の結果として生成される主な画像ファイル及びデータファイルを表 3.3 に示す。

ToT 測定試験

ToT に関するグローバルレジスタやピクセルレジスタは、ピクセルごとに基準電荷量 Q_{inj} に対する ToT が目標値 $\text{ToT}_{\text{target}}$ になるようにレジスタ調整試験で調整 (Tuning) されるが、Threshold 同様ピクセルの個体差やレジスタ調整の精度に応じて各ピクセルの ToT 値にはばらつきが生じる。ToT 測定試験は各ピクセルの ToT 値を測定し、レジスタ調整試験の精度を確認する試験である。

基準電荷量 Q_{inj} [e] の試験用電荷を入射し、ToT 値 ($0 \leq \text{ToT} \leq 15$) を n_i 回測定する。ToT 測定試験の評価では、ピクセルごとに得られる平均 ToT 値 (ToT_{mean}) が用いられる。ピクセルごとの ToT_{mean} のばらつきは小さいことが期待されるが、レジスタ調整精度が悪いと ToT 値は $\text{ToT}_{\text{target}}$ から大きく外れた値を取り、 $\text{ToT}_{\text{mean}} = 0$ または $\text{ToT}_{\text{mean}} = 15$ を満たすピクセルは **Tuning Bad** と評価される。

ToT 測定試験の結果として生成される主な画像ファイル及びデータファイルを表 3.4 に示す。

表 3.3 Threshold 測定試験結果データ。 Q_{th} の値を示す ThresholdMap/Dist、 σ_n の値を示す NoiseMap/Dist の他、S カーブ フィッティングにおける χ^2 の値を示す Chi2Map/Dist、全ピクセル分の入射電荷量に対する応答率変化を示す sCurveMap のデータが生成される。

データ名	説明	ファイルサイズ
ThresholdMap	各ピクセルの Q_{th} の値を示す 2 次元ピクセルマップ (付録 A.1.2)	約 87 kB (PNG) 約 590 kB (DAT)
ThresholdDist	各ピクセルの Q_{th} の値の分布を示す 1 次元分布図 (付録 A.1.2)	約 7 kB (PDF) 約 436 B (DAT)
NoiseMap	各ピクセルの σ_n の値を示す 2 次元ピクセルマップ (付録 A.1.2)	約 102 kB (PNG) 約 590 kB (DAT)
NoiseDist	各ピクセルの σ_n の値の分布を示す 1 次元分布図 (付録 A.1.2)	約 7 kB (PDF) 約 430 B (DAT)
Chi2Map	各ピクセルの S カーブ フィッティングにおける χ^2 の値を示す 2 次元ピクセルマップ (付録 A.1.2)	約 112 kB (PNG) 約 669 kB (DAT)
Chi2Dist	各ピクセルの S カーブ フィッティングにおける χ^2 の値の分布を示す 1 次元分布図 (付録 A.1.2)	約 6 kB (PDF) 約 278 B (DAT)
sCurveMap	各ピクセルの入射電荷量に対する応答率変化の分布を全ピクセル分重ね合わせた 2 次元マップ (付録 A.1.2)	約 13 kB (PNG) 約 7 kB (DAT)

表 3.4 ToT 測定試験結果データ。ToT_{mean} の値を示す MeanToTMap/Dist、ToT _{σ} の値を示す SigmaToTMap/Dist の他、OccupancyMap、EnMask、L1Dist のデータが生成される。

データ名	説明	ファイルサイズ
MeanToTMap	各ピクセルの ToT _{mean} の値を示す 2 次元ピクセルマップ (付録 A.1.3)	約 101 kB (PNG) 約 436 kB (DAT)
MeanToTDist	各ピクセルの ToT _{mean} の値の分布を示す 1 次元分布図 (付録 A.1.3)	約 6.6 kB (PDF) 約 136 B (DAT)
SigmaToTMap	各ピクセルの ToT _{σ} の値を示す 2 次元ピクセルマップ (付録 A.1.3)	約 85 kB (PNG) 約 591 kB (DAT)
SigmaToTDist	各ピクセルの ToT _{σ} の値の分布を示す 1 次元分布図 (付録 A.1.3)	約 6.7 kB (PDF) 約 285 B (DAT)

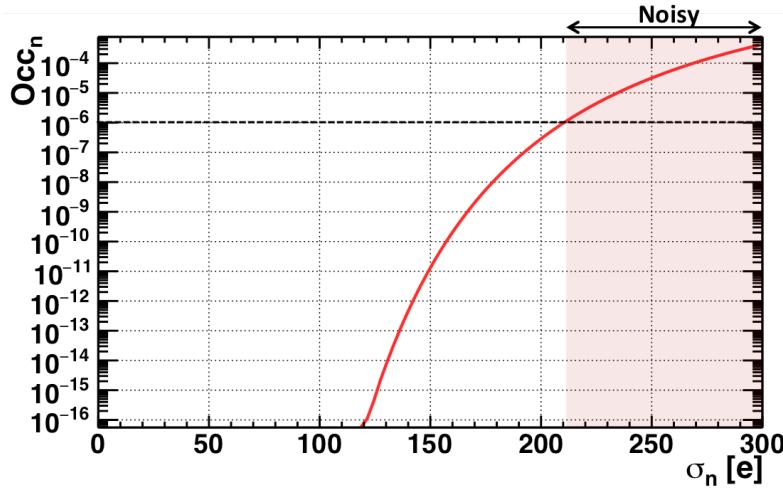


図 3.18 ノイズ量 σ_n とノイズ占有率 Occ_n の関係。横軸が σ_n [e]、縦軸が Occ_n (対数)、赤線が式 (3.4) を表している。点線は $Occ_n = 10^{-6}$ を示しており、 $\sigma_n > \sim 210$ [e] のピクセルは $Occ_n > 10^{-6}$ (Noisy) になりうることがわかる。

ノイズ占有率測定試験

ノイズ占有率測定試験はノイジーなピクセルを抽出する試験である。試験用電荷を入射しない状態で、一定の間隔で n_i 回 (10^6 回程度) または n_s 秒間 (300 秒間) トリガーをかけ、その応答数 n_o を計測する。ノイズ占有率測定試験の評価ではピクセルごとに以下の式で求める割合 Occ_n を用いる。

$$Occ_n = \frac{n_o}{n_i}$$

Threshold 値 Q_{th} 、ノイズ量 σ_n のピクセルに対する Occ_n 、電荷量 0 [e] の試験用電荷を入射したときの応答率とみなし、式 (3.2)において $x = 0$ 、 $p = 1$ とすることにより計算できる。

$$Occ_n = 0.5 \times \left[2 - g \left(\frac{-Q_{th}}{\sigma_n \times \sqrt{2}} \right) \right] \quad (3.4)$$

正常なピクセル ($Q_{th} = 1000$ [e]、 $\sigma_n = 40$ [e]) は $Occ_n = 0$ であるが、ノイズ量が大きいピクセル ($\sigma_n = 200$ [e]) は $Occ_n = 5.0 \times 10^{-7}$ と有限の値を持つことがわかる。図 3.18 に $Q_{th} = 1000$ [e] のときの σ_n と Occ_n の関係を示す。特に $Occ_n > 10^{-6}$ を満たすノイズ占有率が大きいピクセルは **Noisy** と評価される。

ノイズ占有率測定試験の結果として生成される主な画像ファイル及びデータファイルを以下に示す。

表 3.5 ノイズ占有率測定試験結果データ。 Occ_n の値を示す NoiseOccupancyMap、 $Occ_n < 10^{-6}$ のピクセルを強調する NoiseMask の他、OccupancyMap のデータが生成される。

データ名	説明	ファイルサイズ
NoiseOccupancyMap	各ピクセルの Occ_n の値を示し 2 次元ピクセルマップ (付録 A.1.4)	約 10 kB (PNG) 約 150 kB (DAT)
	$Occ_n < 10^{-6}$ のピクセルを 1、それ以外を 0 とした 2 次元ピクセルマップ (付録 A.1.4)	約 9.4 kB (PNG) 約 150 kB (DAT)

表 3.6 試験的小規模生産時のデータサイズ見積もり。1枚の FE チップあたりの各値はそれぞれ最小のサイクルを想定した場合のデータサイズであり、試験的小規模生産時の各値はシングル約 30 個 + クアッド約 250 個の計 1030 個の FE チップを想定した場合の見積もりである。実際は再測定やレジスタ再調整などで余計に読み出し試験を行うため、より小規模な個体数の FE チップに対して一連の読み出し試験を行ってデータサイズを見積もる必要がある。

	部分読み出し試験(1回)	全読み出し試験(1回)	全行程
1FE チップあたり	70 MB	105 MB	629 MB
試験的小規模生産時	70 GB	106 GB	633 GB

3.2.4 データサイズ見積もり

RD53A を用いた試験的小規模生産が 2020 年に予定され、全読み出し試験が 4 回 (高温環境と低温環境で各 2 回)、部分読み出し試験が 3 回 (高温環境で 3 回) 行われる。試験的小規模生産時はシングルモジュール約 30 個、クアッドモジュール約 250 個の生産を行う。

1 枚の RD53A を用いて全読み出し試験、部分読み出し試験をそれぞれ行い、実際に生成されるデータサイズを確認した。なお、スタッキピクセル測定試験としては入射電荷なしでのデジタルスキャンを行い、線源照射試験を行うかについては現在議論中であることから今回行わなかった。1 枚の FE チップあたりのデータサイズと試験的小規模生産時のデータサイズの見積もりを表 3.6 にまとめる。

RD53A の場合フロントエンドが 3 種類あるため、レジスタ調整はフロントエンドごとに行われる。大量生産時はフロントエンドは 1 種類に、ピクセル数は RD53A に対して 2 倍の新型 ASIC が用いられることと、試験的小規模生産を経て試験工程に調整が加えられるため、現時点ではデータサイズを見積もることは難しい。単純に 2 倍のピクセル数と検出器の生産数のみを考慮して、大量生産時のデータサイズを表 3.6 の値から見積もると、最小で見積もっても約 **40 TB** に達すると考えられる。

3.3 量産工程における課題と解決策

ファイルシステムの場合、各工程時の読み出し試験では前述するように膨大な試験関連のデータが個別のデータファイルとして生成される。データファイルは、利用する上で保存されている位置や構造の情報が必要であるため、汎用性や利用性が高くない。また、複数のプログラムや異なるサーバーでデータを利用する際はファイルを複製する場合があるため、データの重複や不整合が起こる可能性がある。

また、1 つの検出器の生産・組み立ての過程では、複数の研究者や研究機関が関与する。特にレセプション試験では、材料や検出器の移動の過程で不具合を来していないかを確認するためにも、移動前の試験との比較を行う。そのため移動の前後で開発場所が異なる場合、機関同士で試験環境や結果の情報を共有することが望ましい。量産時データの保存システムである中央データベースは全共同研究機関がアクセス可能であるが、データベースサーバーがチェコに構築され、日本やアメリカなどのチェコから地理的に離れた機関からの通信速度は十分でないことが想定される。

上記の問題は各機関でデータベースサーバーを構築することで解決する [33]。本研究では、ローカルな環境にデータベースサーバーを構築する“ローカルデータベースシステム”を開発した。4 節でローカルデータベースの概要や構造、処理ツールについて記述する。

第4章

データベースシステムの開発

データベースシステムの構築では柔軟性の高いデータ構造を持つ“MongoDB”を利用することにより、試験結果やその関連情報などの多様なデータの保存を実現した。またデータベース内データの処理を行う様々なプログラムの開発を行い、データベースシステムの利便性を向上させた。本章では4.1.2節で本研究で開発したローカルデータベースの概要と要求性能について述べ、4.2節でデータベース構造、4.3節でデータベース内データの処理を行うプログラム、4.4節で各機能における性能評価について説明する。

4.1 ローカルデータベースの概要

4.1.1 開発動機

製造モジュールに対して読み出し試験(3.2節)を行うと、読み出しシステムは、試験で使用した設定値ファイルに加え、試験結果のデータファイルが生成する。同時にDCSシステムは読み出し試験中の電流電圧値や測定温度のログファイルが生成する。

図4.1に従来の読み出し試験工程を示す。従来の読み出し試験システムは、生成されるデータはデータファイルとして個別に保存するファイルシステムである。ファイルシステムは3.3節で述べたように以下のような問題点が挙げられる。

- 低汎用性と利用性

データを利用する際にファイルが保存されている位置や構造の情報が必要であることや、ファイルそのものが必要とされるため、プログラムの拡張性に限界がある。

- データの重複

複数のプログラムや異なるサーバーで利用する際にファイルを複製する必要があり、重複データを生じ、データ容量を圧迫する。

- データの不整合

重複データ間でファイルの書き換えを行なった場合や、同一プログラムを異なるファイルに適用とした場合に、データの不整合が生じる可能性がある。

本研究で開発したローカルデータベースシステムは、各機関で行う読み出し試験の管理を目的として検出器量産を行う各機関に構築される“ローカル”的データベースサーバーである。図4.2にデータベースを用いた場合の読み出し試験工程を示す。読み出し試験により生成されるデータや試験に関連するデータの関連性を保持した上で、データベースに一元的に保存する。このシステムの利点を以下に挙げる。

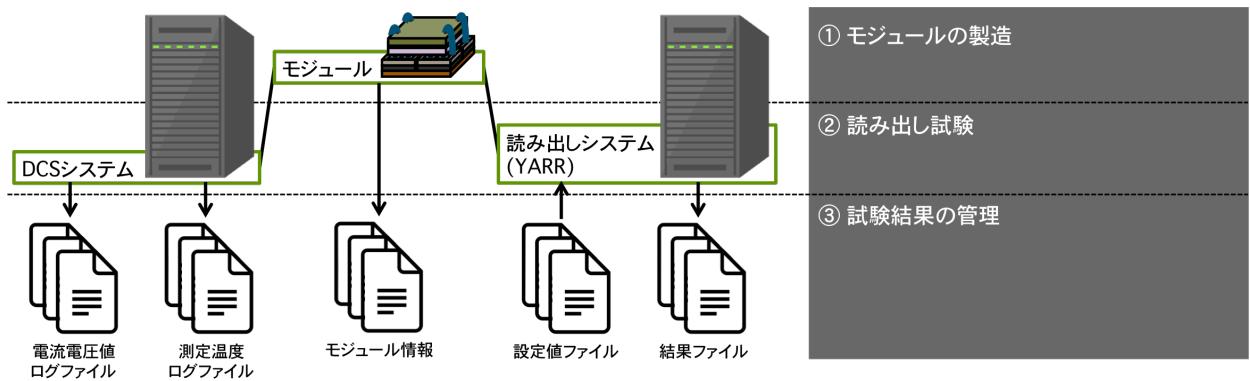


図 4.1 従来の読み出し試験工程。

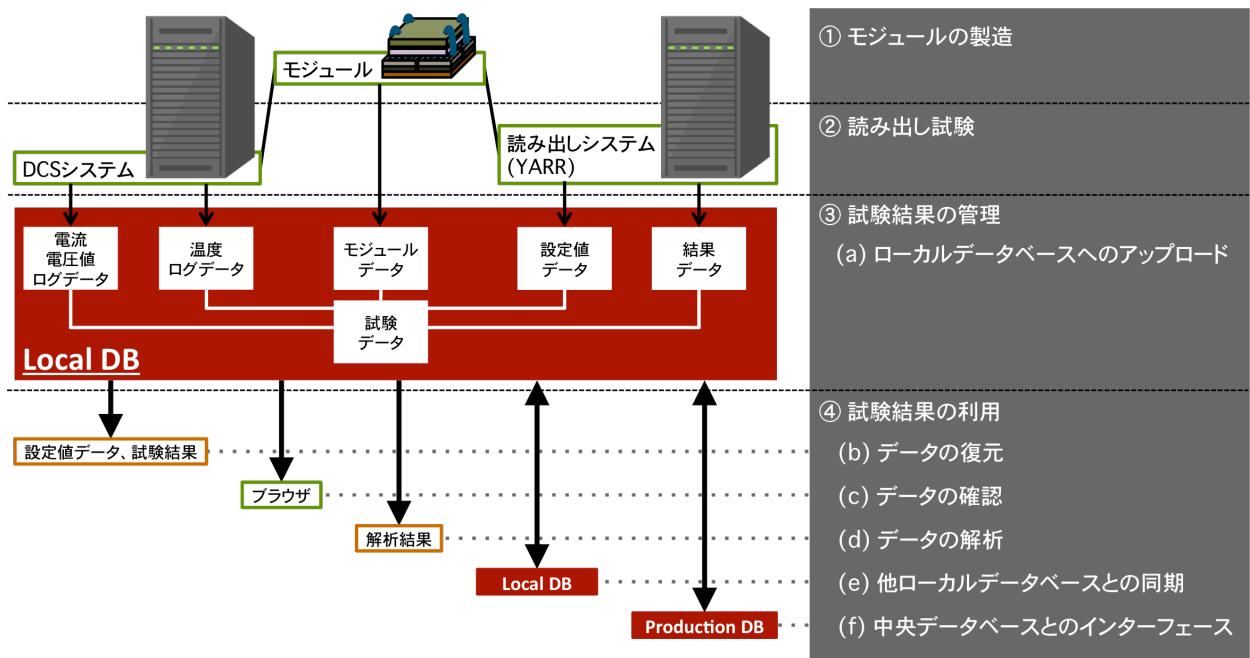


図 4.2 データベースを用いた場合の読み出し試験工程。

● データの保存容量の削減

データの一元的な管理・利用が可能であるため、ファイルシステムのようにファイル複製の必要がなく、不要なデータ容量の圧迫を低減する。また適切なデータベース処理機能を用意することによって、データ保存時に圧縮アルゴリズムによるデータサイズの縮小と利用時の解凍が比較的容易であるため、データ保存容量を大きく削減することができる。

● データ保存の自動化

読み出しシステム (YARR SW) と連動したデータベースシステムを構築することによって、試験後のデータ保存を自動化できる。

● データ処理機能

あらかじめデータベース内データを処理する機能 (アップロード、ダウンロード、Web インターフェースなど) を持つ諸ツールをシステム内に用意することによって、データの管理や利用を簡易化できる。

4.1.2 ローカルデータベースの要求性能

表4.1に示すように、各機関で行う読み出し試験の管理を目的とし、あらゆる機関、使用者、試験環境を想定している。これらの要求性能は情報の集約を行う中央データベースとは異なるが、互いに相補的であることが望ましい。

表4.1 中央データベースとローカルデータベースの比較。中央データベースは試験の集約データベースで、管理者や責任者の利用を想定した頑強なデータベースであるのに対し、ローカルデータベースは各機関の読み出し試験に特化したデータベースであり、学生も含めた多くの人の利用を想定した汎用性かつ柔軟性に優れたデータベースが要求される。

項目	中央データベース	ローカルデータベース
設置場所	チェコ(集約)	各機関(分散)
主な設置目的	品質評価試験結果の管理・利用	読み出し試験結果の管理・利用
主な利用者	各機関の責任者・管理者	試験者
利用頻度	各製造工程ごと・ITk運転時	各読み出し試験ごと(・ITk運転時)
保存対象	全材料の情報と試験結果の抜粋	読み出し試験の情報とその関連情報

1回の読み出し試験に対する保存データ対象としては以下の項目が挙げられる。

- ピクセルモジュールの情報: 製造番号、製品情報、製造日・製造地・製造者など
- 読み出し試験データ: 試験番号、試験日・試験地・試験者、試験情報、試験結果など
- DCSデータ: 電流電圧値、温度(検出器表面、雰囲気)など

ローカルデータベースでは、これらの情報の保存・管理に加え、データ利用の高速性・利便性が要求される。以下にローカルデータベースへの要求性能・検証事項をまとめる。

- 要求性能
 - データ構造: 試験情報とその関連情報を互いに関連付けて保存することが可能なデータ構造
 - 圧縮性: 量産時の膨大な試験データ(@10000モジュール)が十分に保存可能であること
 - 拡張性: 試験数や生産数の増減に対応可能であること
 - 高柔軟性: 多様な試験形式やその変更に対応可能であること
 - 汎用性: 多様な試験者や試験環境で利用可能であること
 - 検索性: 保存されている試験情報から必要情報を高速かつ適切に取得可能であること
- 検証事項
 - 利用性能: 運用試験を行い、利便性を確認する
 - 圧縮性能: 各データに対する圧縮性能を確認する
 - 処理性能: データベース内データ処理の性能(主に処理時間)を確認する
 - 耐久性能: 大量データ保存時の処理性能の劣化の有無を確認する
 - データサイズの見積もり: 実際にデータ保存を行い量産時の到達サイズの見積もりを行う

本研究では性能を満たすデータ構造の設計及び諸ツールの開発とその性能評価を行った。圧縮性能・処理性能・耐久性能の評価については本章、利用性能とデータサイズの見積もりについては次章で扱う。

表 4.2 RDB と NoSQL の比較。複雑なデータ構造を事前に定義づけることによって高いデータ保全性とクエリ機能を持つ RDB(Relational Database) に対して、データ構造を定義しない NoSQL(Not Only SQL) データベースは柔軟性及び拡張性に富み、大データ処理や分散処理を得意とする。

項目	RDB	NoSQL
データ構造	複数の表と関係を用いてデータ間の関係性を事前に定義付けする。複雑なデータ構造の構築が可能。	一般的にデータ型の定義やデータ間の関係性の定義がない。複雑なデータ構造の構築に不向き。
柔軟性・拡張性	固定のデータ構造を取るため拡張性や柔軟性は持たない。	固定のデータ構造を持たないため拡張性や柔軟性に富んでいる。
データ保全性	定義されたデータ構造に基づいてデータの不整合が起こらない仕組みを持っており、処理において不整合やエラーが起きた場合は処理前の状態に戻ることから頑強である。	一般的に最終的な一貫性のみが保障され、データの不整合やエラーを即座に感知することはしないため、脆弱である。
クエリ(検索)機能	固定のデータ構造を取るため複雑な検索条件においても高い性能を持つ。	一般的にデータ間の関連性が定義されていないため複雑な条件の検索に不向き。
処理性能(大データ、分散処理)	高いデータ保全性と複雑なデータ構造を維持するため、大データ処理や分散処理は一般的に不向き。	一般的に最終的な一貫性のみを保障しているため処理は速く、分散処理を得意とする。

4.2 データベース構造設計

4.2.1 NoSQL

要求を満たすデータベースを開発する上で、先行研究^[33]では従来一般的に利用されているリレーションナルデータベース(RDB)ではなく NoSQL(Not Only SQL) データベースである “MongoDB” を用いた。表 4.2 に RDB と NoSQL の比較を示す。

データやデータ間の関係性の定義を行うリレーションナルなデータベース RDB に対して NoSQL はそれらの定義を行わない非リレーションナルなデータベースである。そのためデータの拡張性に柔軟であり、大データ処理や分散処理を得意とする一方で、データの整合性を保障する保全性において脆弱であり、かつ複雑なデータ構造や参照処理に不向きである。

NoSQL には以下の 3 つのタイプに大別される。

- キー・バリュー型

キー(データの名前)とバリュー(データの値)の組み合わせという構造で保存する。複雑なデータ構造や参照処理には向きであるが、単純な処理については極めて高速である。

- カラムストア型

キー・バリュー型におけるバリュー部分がさらに任意のキー・バリューの集合になったような構造で保存する。RDB と似た構造を取るが、RDB が行(ロウ)指向であるのに対してカラムストア型は列(カラム)指向であり、列方向の処理を得意とする。

- ドキュメント型

キー・バリュー型におけるバリュー部分が JSON や XML などの半構造化データ(ドキュメント)になったような構造で保存する。キー・バリュー型に比べてデータの検索性に優れ、かつ RDB と異なり事前にデータ型及び関係性の定義を行う必要がないことから、複雑なデータ構造に対して柔軟な処理が可能となる。

4.2.2 MongoDBについて

MongoDB は 2007 年に 10gen 社によって開発されたオープンソースのドキュメント指向型 NoSQL データベースであり、ドキュメントとして JSON^{*1}型のデータを格納することによって複雑な構造を設計することが可能である。なお、1 つのドキュメントサイズの上限は 16 MB である。

図 4.3 に MongoDB の構造の概念図を示す。データベース内のデータはコレクション(RDB のテーブルに相当)単位で管理され、コレクションごとに JSON 型のドキュメントが格納される。各ドキュメントは固有のバリューを持つオブジェクト ID("id") (RDB のプライマリーキーに相当) と呼ばれるキーを持つ。オブジェクト ID によるドキュメント間リンクを利用することによってデータの関連付けが可能であるため、NoSQL でありながら RDB のように複雑なデータ構造を設計することができる。

4.2.3 構造設計

図 4.4 に先行研究^[33]で設計されたデータ構造を示す。先行研究ではモジュールの情報や試験情報などを大きく以下の 6 つに分類してコレクションを作成していた。

- component: モジュール情報・FE チップ情報
- testRun: 読み出し試験データ
- childParentRelation: FE チップとモジュールの関係性
- componentTestRun: component と testRun の関係性
- fs.files: ファイルデータの情報
- fs.chunks: ファイルデータの実体(分割保存)

それぞれのコレクションの詳細については付録 B.1 にまとめる。

^{*1} JSON(JavaScript Object Notation) はキーとバリューのペアで構成される“オブジェクト”と、バリューの順序付きリストである“配列”とで構成されるデータフォーマットであり、バリューには文字列、数字、オブジェクト、配列、ブール演算子、空集合など様々な形のデータを入れることができる。

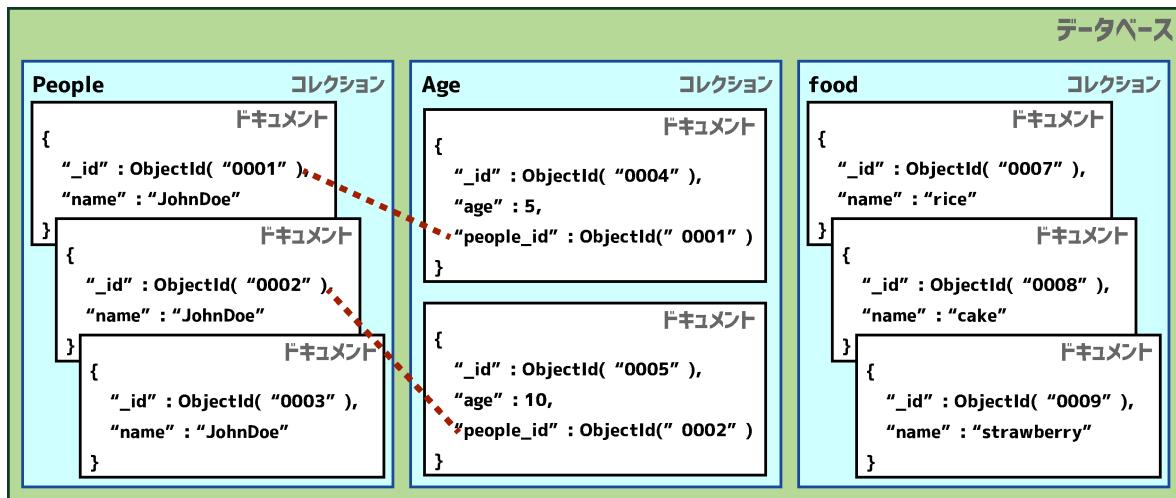


図 4.3 MongoDB 構造の概念図^[34]。データベース内のデータはコレクション単位で管理され、コレクションごとにドキュメントが格納される。各ドキュメントはオブジェクト ID (“_id”) と呼ばれる固有の値を持つ。オブジェクト ID を他のドキュメントから参照することによってドキュメント同士をリンク付け (破線) することが可能である。

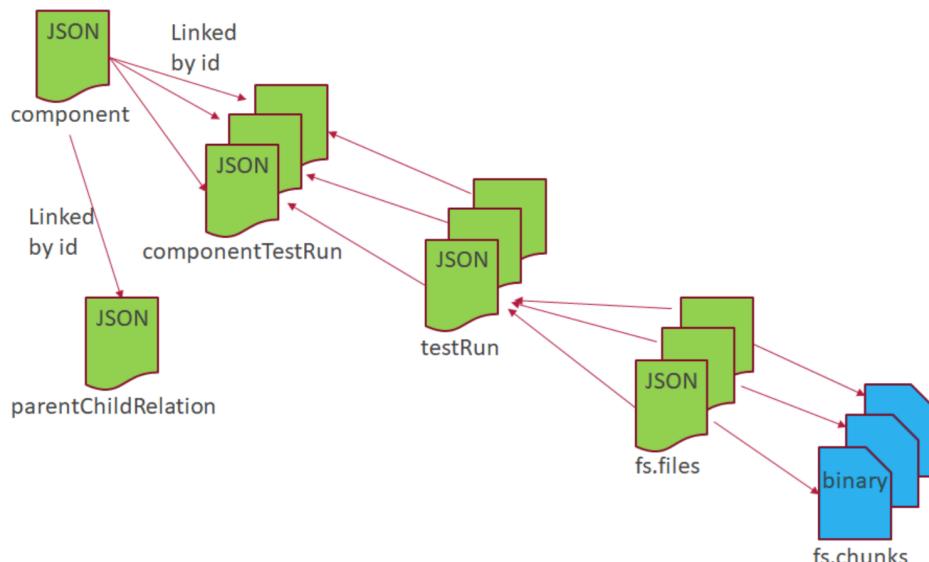


図 4.4 ローカルデータベースのデータ構造 (先行研究)^[33]。それぞれの塊はコレクション、個々の JSON データはドキュメントを表している。コレクション間はオブジェクト ID を用いてリンク付けられていた。

コレクション間の関連付けはオブジェクト ID によるリンクを用いて行っていた。また、ファイルデータの保存は GridFS^[34] と呼ばれるインターフェースが使用された。GridFS はドキュメントのサイズ上限である 16 MB を超えるファイルを保存するための仕様であり、ファイルの実体を 255 kB サイズのドキュメントに分割して保存する。GridFS は fs.files と fs.chunks の 2 つのコレクションを生成し、分割されたファイルデータは fs.chunks コレクションに、ファイルデータの名前や fs.chunks コレクションに保存されているドキュメントの ID などの情報は fs.files コレクションに保存される。先行研究ではすべての試験結果データを GridFS によって保存し、testRun ドキュメントに fs.files ドキュメントのオブジェクト ID を記述することによって、試験情報と試験結果データの関連付けを行っていた。

先行研究のデータ構造は、読み出し試験ごとに関連データを不足なくかつ関連付けて保存できていたが、いくつかの問題が確認された。本研究ではこれらの問題を解消するためにデータ構造の大幅な変更を行った。主な変更点は次の通りである。

- 従来はモジュールデータの重複や登録ミスを防ぐために、読み出し試験前にモジュールデータの登録作業が必要とされたが、この登録作業はやや複雑かつ手間であり、使用者にとって利便性に欠ける構造であった。本研究では従来モジュールデータを保存していた component コレクションに加え、試験対象の FE チップデータ用の chip コレクションを用意し、読み出し試験時に FE チップのデータが自動で生成されるよう設計した。
- 従来の構造・設計ではドキュメントやコレクション間における情報の重複保存や、変更がなく複数の試験にまたがって同一であるデータ（設定値データなど）の重複保存が確認された。本研究ではドキュメントやコレクション間の情報の重複を取り除き、同一データの重複保存についてはハッシュを利用した重複確認処理（後述）を加え、不必要的データサイズの増加を低減した。
- 従来の構造でオブジェクトや配列の入れ子が確認された。本研究では入れ子部分や情報過多のドキュメントを単純化し、複数のドキュメントやコレクションに分割することによってドキュメント構造の簡略化を行った。
- 従来は読み出し試験の結果ファイル（PDF、PNG、JSON、DAT）は全て保存していた。本研究では各データの圧縮率を確認（後述）し、保存データサイズを最小化するため画像ファイルの保存は削減した。また他のデータファイルについてはハッシュに寄る重複確認処理（後述）を加えた。

図 4.5 に本研究で構築したデータ構造を示す。本研究では細かく情報を分類し、先行研究に対して次の 6 つのコレクションを追加した。

- chip: 一時的な FE チップ情報
- user: 試験者や登録者の情報
- institution: 機関の情報
- config: 設定値ファイルの種類
- environment: DCS データ

それぞれのコレクションの詳細については付録 B.2 にまとめる。

また、保存するファイルデータから PNG と PDF の画像ファイルは除外し、JSON 及び DAT のテキストファイルのみを保存するように設計した。さらに試験情報とファイルデータの関連付けは、FE チップ設定値ファイルや試験結果データのように FE チップごとに異なるデータのみ componentTestRun ドキュメントに、それ以外の設定値データは testRun ドキュメントにリンク付けを行うよう設計した。このように明確に区分することによって、従来 testRun のドキュメントは試験対象の FE チップ数分保存していたが、1 試験あたり 1 ドキュメントの保存で十分になるため、保存するドキュメントの数を大きく削減した。

Local DB Structure

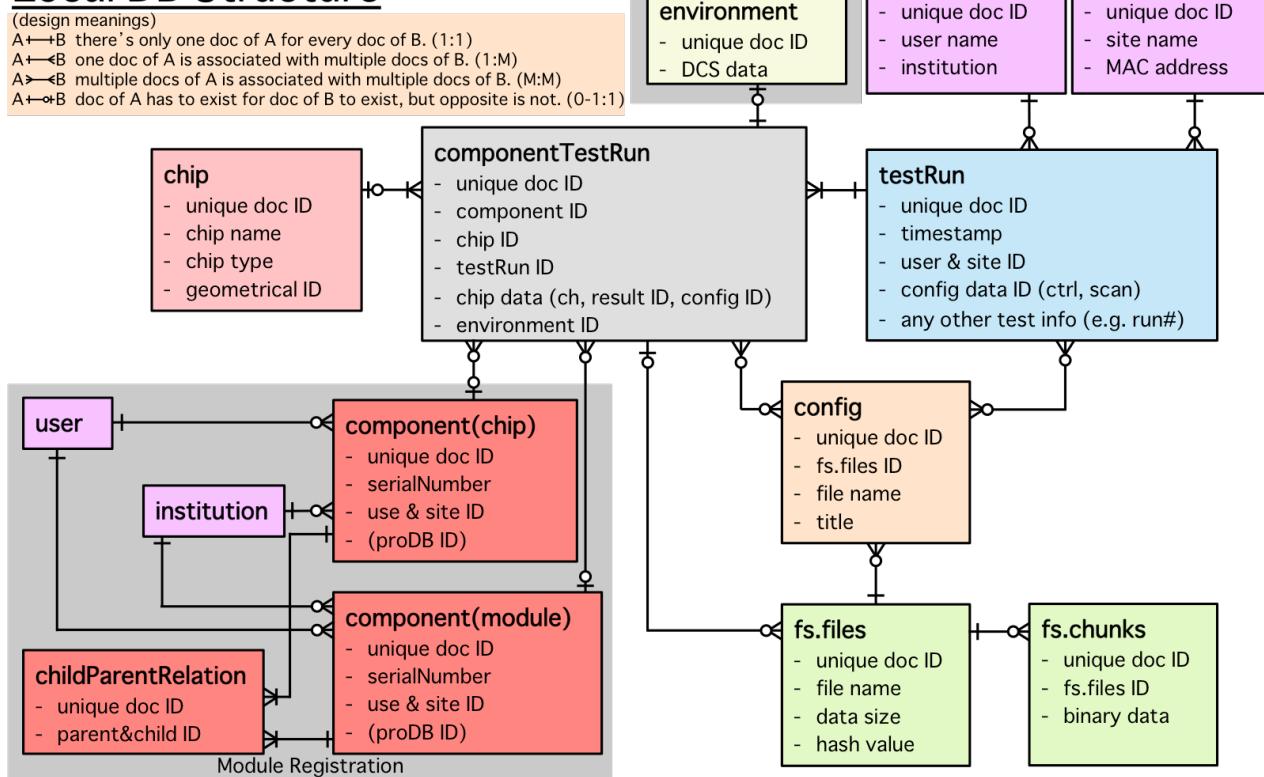


図 4.5 ローカルデータベースのデータ構造(本研究)。それぞれの四角はコレクション、直線はオブジェクト ID によるリンクを示し、直線が十字になっている場合は必ず 1 つのドキュメントとリンク付けされていることを、分岐しているものは複数本のドキュメントとリンク付けられていることを、丸印はリンクづけされていない可能性があることを表している。

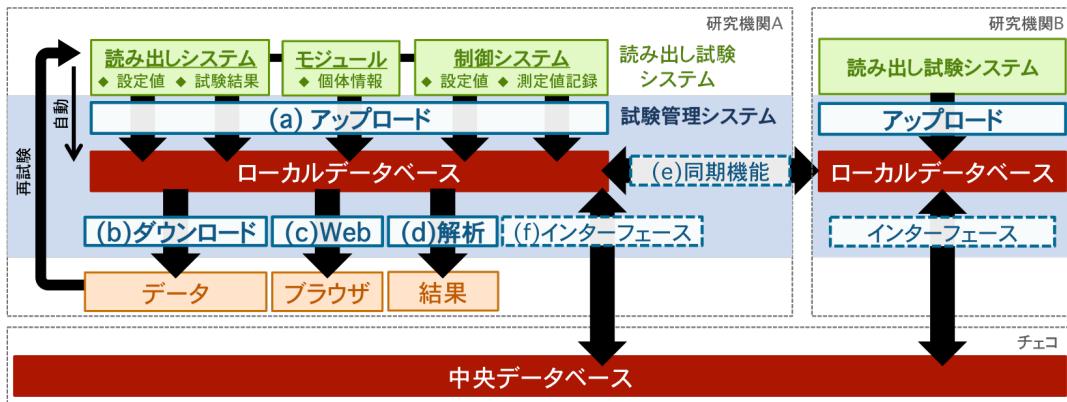


図 4.6 ローカルデータベースシステムの全体像。青枠はデータベースに関連する諸ツールを示し、赤枠はデータベース、緑枠は他のシステム、橙枠はデータやファイルを表す。システムはデータベースと諸ツールで構成されており、諸ツールを用いることで、データベース内データの利用や管理、他のデータベース（ローカルデータベース、中央データベース）とのデータ共有が可能となる。

4.3 データベース処理プログラム

図 4.6 にデータベースシステムと処理ツールの全体像を示す。システムに要求される処理機能は以下の通りである。

(a) ローカルデータベースへのデータアップロード機能

読み出し試験の結果やその関連情報をデータベースに保存する。データ単体で保存できる機能に加えて、YARR と連携して読み出し試験後自動的に保存する機能を持つ。

(b) ローカルデータベースのデータダウンロード機能

データベース内に保存されているデータ（試験設定値情報や試験結果）の復元や、保存データ一覧の取得などを行う。特に復元した設定値を用いた試験が、その試験時の結果を再現できているか確認する再現試験時などに有用である。

(c) ローカルデータベース内データの確認機能 (Web インターフェース)

試験情報や試験結果を整理した上で Web インターフェースを介してブラウザに表示する。

(d) ローカルデータベース内データの解析機能

データベースに保存された試験結果の評価をするために、複数の試験結果を組み合わせ適切な解析を行う。またデータベース内に保存されるデータはテキストファイルのみであるが、この機能を用いて画像ファイルとして出力させることができる。

(e) ローカルデータベース同士の同期機能

試験結果の比較や再現のため、他の研究機関で保存されているデータベースと同期を行う。

(f) ローカルデータベースと中央データベース間のインターフェース機能

ローカルデータベースに保存されたデータは、選別して最終的に中央データベースに保存する。そのためにも中央データベース内データのダウンロードやアップロード機構は必要不可欠である。

これらの機能はあらゆる OS 環境で使用されることを想定し、汎用プログラミング言語である C++、Python を用いて開発を行った。本研究ではこのうち (a)–(d) の機能を持つツール開発を行った。

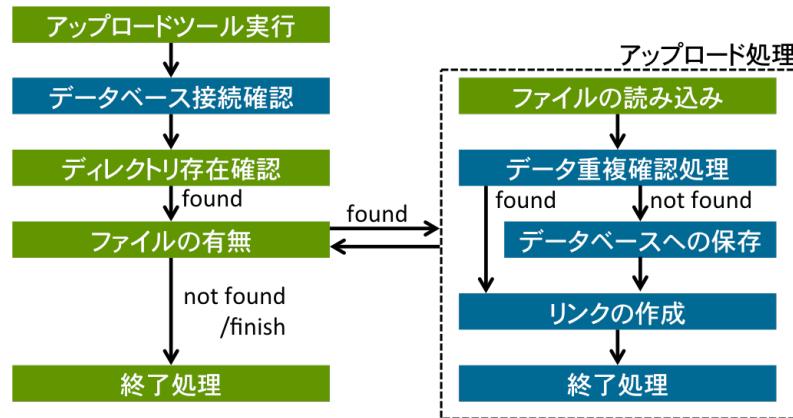


図 4.7 アップロードツールの概念図。青枠は MongoDB が関係する機能、緑枠は MongoDB の関係ない機能を示す。重複確認処理はほとんどの場合はドキュメント中のキー・バリューの比較で行うが、ファイルデータ（設定値データや試験結果データ）の場合はデータ内容に相当するハッシュ値をドキュメントと共に登録し、ハッシュ値の比較によって重複確認処理を行う。

4.3.1 アップロードツール

YARR SW を用いた読み出し試験で使用されたファイルや生成されるファイルは、試験後に 1 つのディレクトリにまとめて保存される。アップロードツールはこれらのファイルに対して基本的に図 4.7 に示す処理を行う。アップロードツールにおいて特筆すべき点は以下の 2 点である。

YARR SW との連携

YARR SW と連携させ、読み出し試験後のローカルデータベースへのアップロード処理を自動化させた。これによって使用者にとっての利便性をはるかに向上させた。

重複確認処理

データ保存前にドキュメントのキー・バリューでデータベース内検索を行い、同じ内容のデータが存在する場合は保存を回避する重複確認処理を加えた。これによって保存データサイズの膨張を大きく低減させた。ただしファイルデータは GridFS によってデータを分割保存されるため、データ内容に相当するハッシュ値を用いて重複確認処理を行えるよう設計した。

重複確認処理は登録の都度行われ、一般にキー・バリューによる検索時間は保存データ量増加に伴って上昇する。データ量増大に対しても高い処理性能を保つためには、検索バリューをメモリにマッピングできるように検索に関わるキー・バリューペアのインデックス登録を行う。例としてキー・バリューペアのインデックス登録の有無に対する 1 回の検索処理にかかる時間を確認し、登録なしで 21803 ± 15 ms、登録ありで 848 ± 0.5 ms の結果を得た。この結果は、インデックス登録により大幅に処理時間を短縮し、1 s 以内の処理におさめられることを示す。なお検証条件は以下の通りであり、PC の性能は表 4.5 に示すものである。

- ハッシュ値をバリューを持つコレクション（ドキュメント数：約 4.0×10^7 個）
- 32 bit の乱数を生成し、生成した乱数をハッシュ値とする検索処理を 2500 回行った
- 1 回の乱数生成から検索処理の応答までにかかる時間を測定し、平均値を算出した

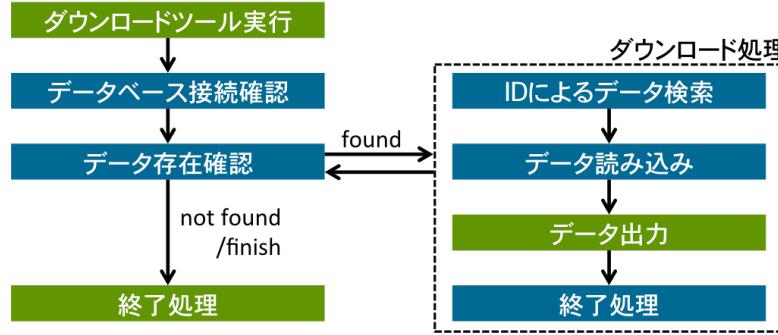


図 4.8 ダウンロードツールの概念図。青枠は MongoDB が関係する機能、緑枠は MongoDB の関係ない機能を示す。データ出力としてはファイル出力とコンソール出力の 2 種がある。

4.3.2 ダウンロードツール

ダウンロードツールは主にデータのファイル復元やデータに基づいたファイル生成とデータログの表示を図 4.8 に示す流れで行う。

ダウンロードツールにより出力されるデータログと生成ファイルの一部をそれぞれ図 4.9、図 ??に示す。

```
obsidianYarrkubota $./localdb/bin/localdbtool-retrieve log --chip 0x0A56
#DB INFO# -----
#DB INFO# [Connection Test] DB Server: mongodb://127.0.0.1:29000/testdb
#DB INFO# ---> Connection is GOOD.
test data ID: 5e05b68c4172fd54794badaf
User      : arisa_kubota at lawrence_berkeley_national_laboratory
Date      : 2019/09/10 05:26:49
Chip      : 0x0A56
Run Number: 2793
Test Type : std_noisescan
DCS Data  : NULL

test data ID: 5e05b68bf37439bbb7c9e59b
User      : arisa_kubota at lawrence_berkeley_national_laboratory
Date      : 2019/09/10 05:26:38
Chip      : 0x0A56
Run Number: 2792
Test Type : std_totscan
DCS Data  : NULL
```

図 4.9 ダウンロードツールの出力 (データログ)。保存されている最新の試験結果データをコンソール上に出力する。チップ名、試験者、試験地を引数に与えることによって特定の情報で検索することが可能である。

このツールを用いることで過去の試験データを復元することが可能であり、再試験や再解析を簡易化させた。

```
obsidianYarrkubota $./localdb/bin/localdbtool-retrieve pull --chip 0x0A56 --directory test-data
#DB INFO# -----
#DB INFO# [Connection Test] DB Server: mongodb://127.0.0.1:29000/testdb
#DB INFO# ---> Connection is GOOD.
#DB INFO# testRun data ID: 5e05b68c4172fd54794badaf
#DB INFO# - User      : arisa_kubota at lawrence_berkeley_national_laboratory
#DB INFO# - Date     : 2019/09/10 05:26:49
#DB INFO# - Chips    : 0x0A56
#DB INFO# - Run Number: 2793
#DB INFO# - Test Type : std_noisescan
#DB INFO# Retrieve ... test-data/ctrlcfg.json
#DB INFO# Retrieve ... test-data/dbcfg.json
#DB INFO# Retrieve ... test-data/sitecfg.json
#DB INFO# Retrieve ... test-data/usercfg.json
#DB INFO# Retrieve ... test-data/std_noisescan.json
#DB INFO# Retrieve ... test-data/0x0A56_Occupancy.dat
#DB INFO# Retrieve ... test-data/0x0A56_NoiseOccupancy.dat
#DB INFO# Retrieve ... test-data/0x0A56_NoiseMask.dat
#DB INFO# Retrieve ... test-data/0x0A56.json
#DB INFO# Retrieve ... test-data/0x0A56.json.before
#DB INFO# Retrieve ... test-data/0x0A56.json.after
#DB INFO# Retrieve ... test-data/connectivity.json
#DB INFO# Retrieve ... test-data/scanlog.json
#DB INFO# -----
```

図 4.10 ダウンロードツールの出力 (生成ファイル)。最新、または ID で指定した試験結果を 1 つのディレクトリにファイルとして出力する。チップ名、試験者、試験地を引数に与えることによって特定の最新試験結果を取得することが可能である。

4.3.3 Web インターフェース

MongoDB は C++ や Python、Javascript など数多くの開発言語に対応し、それぞれに対して専用のドライバーを提供している。一方でデータ構造が柔軟であり、多様なデータベースを構築できてしまうため、データベース内データを表示・処理するインターフェース機能は多く提供されておらず、必要に応じて適切なインターフェースを先に挙げた言語を利用して開発する必要がある。Web インターフェースは、ブラウザ上でのデータベース内データの表示や編集を可能とするため、多様な利用者を想定した汎用データベースシステムを提供する上で欠かせない機能である。

Web インターフェース機能の処理を図 4.11、ブラウザ上の表示を図 4.12 に示す。Web インターフェース機能はブラウザ-データベースサーバー間の処理信号/データの送受信と、データベース内データの入出力処理を行い、試験結果やその関連データをブラウザに適切な形式で表示する。なお、データベースに対する負荷を最小限に抑え、かつブラウザからの処理信号に対して迅速に対応できるようにするために、一度データベースから取得したデータはキャッシュファイルとしてデータベースサーバーの一時ディレクトリに格納し、それ以降の処理で使用される場合についてはデータベース処理を介さず直接キャッシュファイルを用いて処理する機構を設けた。さらにデータベース内データに対してローカル上での動的処理/ダウンロードを可能とするために、ブラウザ上での表示形式に各処理関数を実装した。なお本 Web インターフェース機能は主に Python、html に準拠し、動的な処理部分については適宜 JavaScript を利用している。

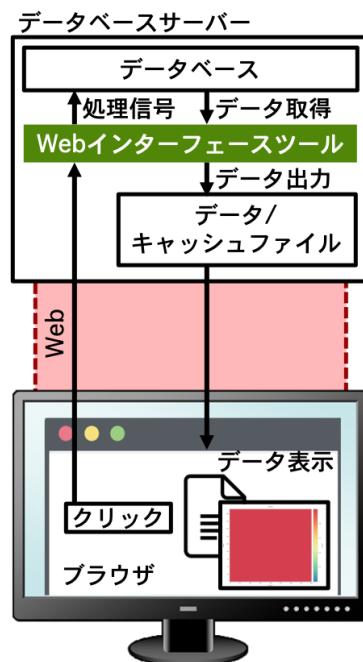


図 4.11 Web インターフェースツールの概念図。上段はデータベースサーバー、下段はローカル PC 上のブラウザ、中段(赤枠内)は Web インターフェースを示し、上段緑枠内が機能部分に相当する。ツールはブラウザ上のクリックなどの処理信号を受信し、データベース内データのデータを取得してブラウザ上に表示する信号を送信する。

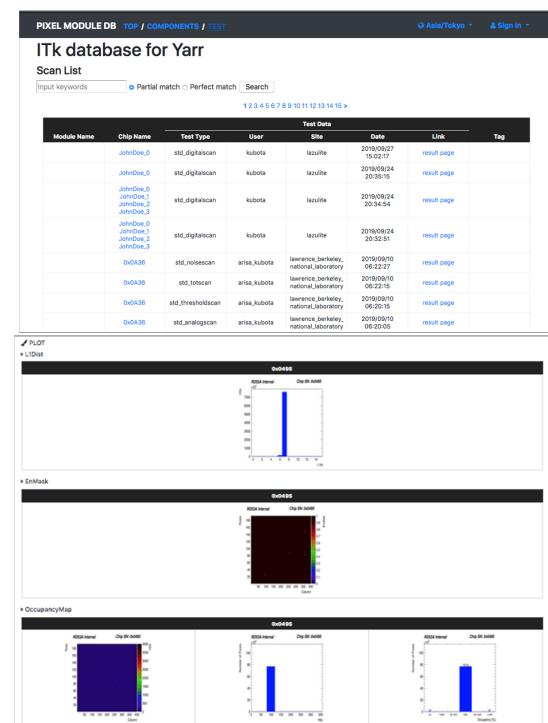


図 4.12 Web インターフェースによるブラウザ出力。(上) 試験データ一覧。(下) 試験結果のプロット。データベース内に設けたリンク構造を利用し、ブラウザ上でも関連データ同士はハイパーリンクで関連づけされている。

4.3.4 解析処理ツール

YARR を用いた読み出し試験では 3.2 節で示したデータファイルが生成され、ローカルデータベースには DAT や JSON のテキストファイルのみが保存される。読み出し試験結果を評価するために、データファイルに対して次のような解析処理が要求される。

- テキストファイルから画像ファイルへの復元

ローカルデータベースには PDF や PNG の画像ファイルは保存されないため、画像ファイルをテキストファイルから復元する機能が必要である。

- ピクセルの計数処理

デジタル回路試験やアナログ回路試験などでは、条件に該当するピクセル数やその割合が評価基準として用いられるため、2 次元ピクセルマップのデータファイルに記述される各ピクセルの測定値に対して条件を課し、該当ピクセルを計数する処理機能が必要である。

- 関数フィッティング

Threshold 測定や ToT 測定などでは、モジュール上の全ピクセルの測定値の中心値やばらつきが評価基準として用いられるため、2 次元ピクセルマップのデータファイルに記述される各ピクセルの測定値の中心値やばらつきを計算する機能が必要である。中心値とばらつきは、平均値と RMS で定義される場合と、ガウシアン フィッティングの中心値とシグマ σ で定義される場合がある。

- FE チップ設定ファイル(ピクセルレジスタ)の読み込み

グローバルレジスタやピクセルレジスタは、試験や FE チップごとに異なる値が設定されている可能性があり、特にピクセルレジスタは同一試験内でもピクセルごとに固有の値を持つため、試験結果データと組み合わせて評価を行う機能が必要である。ピクセルレジスタにはピクセルマスクを設定する “Enable” や Threshold の値を調整する “TDAC” などがある。

これらの処理機能は試験ごとに要求が異なるため、従来では試験項目ごとに特定の解析処理ツールが用意されていた。それに伴って、新たに試験項目を追加した場合は解析処理ツールも同様に追加し、一部の機能を修正した場合は他のツールでも同様の修正を行う必要が生じた。

一方で YARR の出力するデータの記述形式は統一されており、1 次元分布図(DAT)の場合は

```
Histo1d
<Title>
<X axis title>
<Y axis title>
<Z axis title>
<X axis bins> <X axis min> <X axis max>
<underflow> <overflow>
<data>
```

2 次元マップ(DAT)の場合は

```
Histo2d
<Title>
<X axis title>
<Y axis title>
<Z axis title>
<X axis bins> <X axis min> <X axis max>
<Y axis bins> <Y axis min> <Y axis max>
<underflow> <overflow>
```

```
<data>
```

FE チップ設定ファイル (JSON) のピクセルレジスタの場合は

```
{
  "PixelConfig": [
    {
      "Col": 0,
      "<Register Name>": [<data>]
    },
    ...
    {
      "Col": 399,
      "<Register Name>": [<data>]
    }
  ]
}
```

のように記述される。なおデータ (data) 部分は、1 次元分布図の場合 1 行に X 軸ビン数 (X axis bins) 分の値が半角スペース区切り、2 次元マップの場合 Y 軸ビン数 (Y axis bins) 分の行が 1 次元分布図同様の形式、ピクセルレジスタは JSON 形式で Row(Column) 分の値がカンマ区切りで記述されている。

本研究で開発した解析処理ツールは、出力データの記述形式が統一されていることを利用し、以下のように条件分岐を課すことによって、試験項目ごとに用意されていた解析処理機能を統合させた。

A. データ形式

データファイルの 1 行目 (Histo1d/Histo2d/それ以外) で判別できる。

Histo1d: 1 次元分布図 (付録 A.2.1) を出力

Histo2d: 2 次元マップ (付録 A.2.1) を出力

FE 設定: 2 次元マップ及び 1 次元投影図 (付録 A.2.7) を出力

B. ピクセルマップ

X 軸/Y 軸のタイトル (Column/Row or Not) でピクセルマップか判別できる。

Yes: 測定値 (Z 軸) を X 軸、ピクセル数を Y 軸に取った 1 次元投影図 (付録 A.2.2) を出力

No: 何もしない

C. OccupancyMap

データファイルの 2 行目 (Title) で OccupancyMap か判別できる。

Yes: $Occ (= n_o / n_i \times 100)$ を X 軸、ピクセル数を Y 軸に取った Occ 分布図 (付録 A.2.3) を出力

No: 何もしない

D. NoiseOccupancyMap

データファイルの 2 行目 (Title) で NoiseOccupancyMap か判別できる。

Yes: $Occ_n (= n_o / n_i)$ を X 軸、ピクセル数を Y 軸に取った Occ_n 分布図 (付録 A.2.4) を出力

No: 何もしない

E. ToT/Threshold/NoiseMap

データファイルの 2 行目 (Title) で ToT/Threshold/NoiseMap か判別できる。

Yes: 偏差 (RMS) を X 軸、ピクセル数を Y 軸に取った RMS 分布図 (付録 A.2.5) を出力

No: 何もしない

F. ToT/Threshold/NoiseMap

データファイルの 2 行目 (Title) で Threshold/NoiseMap か判別できる。

Yes: ガウシアン フィッティングの後、偏差 (σ) を X 軸、ピクセル数を Y 軸に取った σ 分布図 (付録 A.2.6) を出力

No: 何もしない

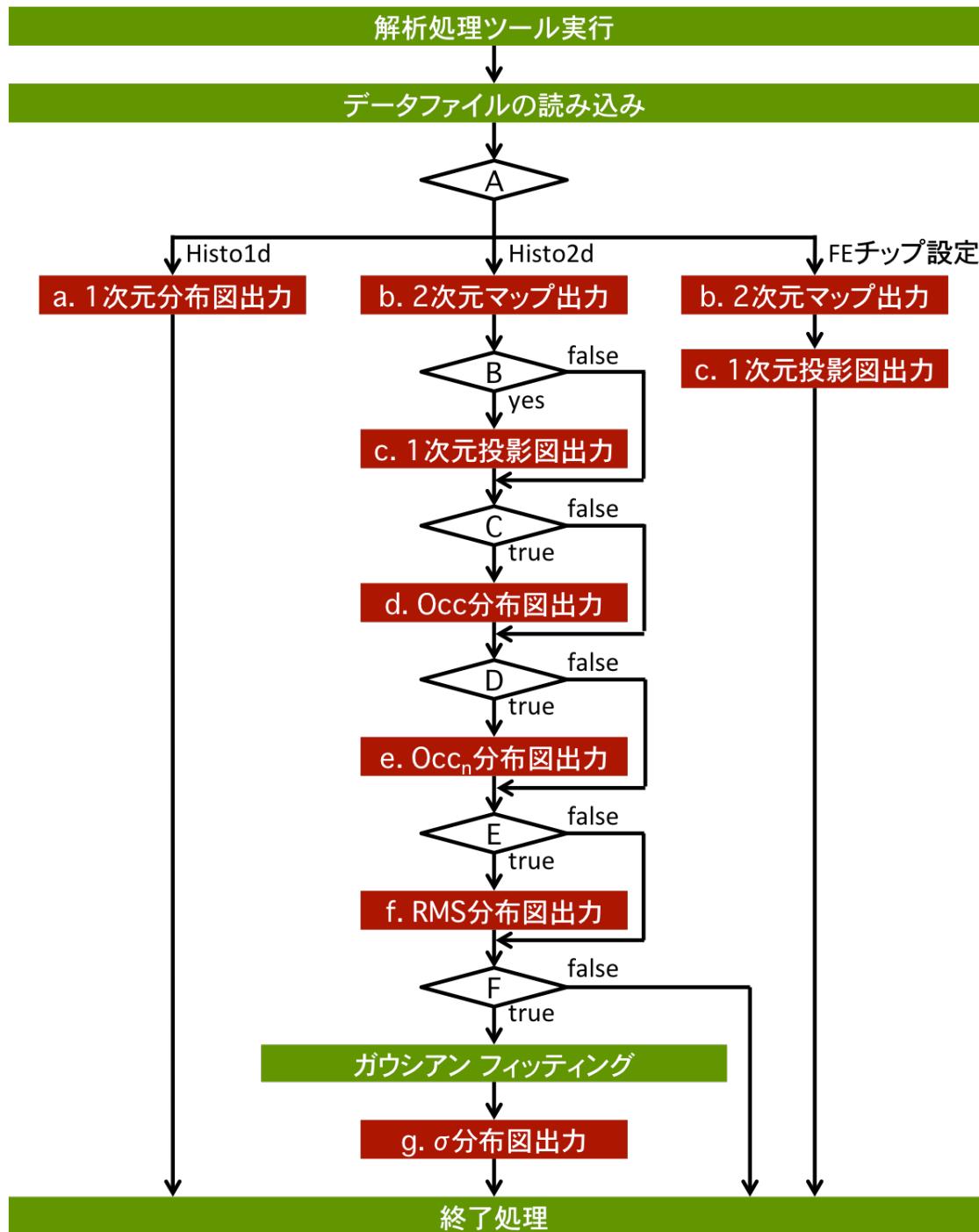


図 4.13 解析処理ツールの概念図。緑枠は処理機能、赤枠は出力データ(ファイル)、台形枠は条件分岐を示す。

図 4.13 に解析処理ツールによる条件分岐の流れを示す。出力データは画像ファイルまたは ROOT ファイルを選択することができる。画像ファイルは拡張子を指定することができ、カラースケールも変更可能である。ROOT ファイルは、出力データ(図 4.13 中の a-g)に加えて、読み出し試験の設定やログ情報が記述される。このとき、出力データは ROOT の THX クラス(1 次元分布図の場合は $X = 1$ 、2 次元マップの場合は $X = 2$)で記述される。試験設定や試験ログはそれぞれファイルの時点では JSON 形式で記述されているが、ROOT のフレームワークは JSON に対応していないため、JSON 形式から TEnv クラスに図 4.14 のように変換してから ROOT ファイルに書き込む。

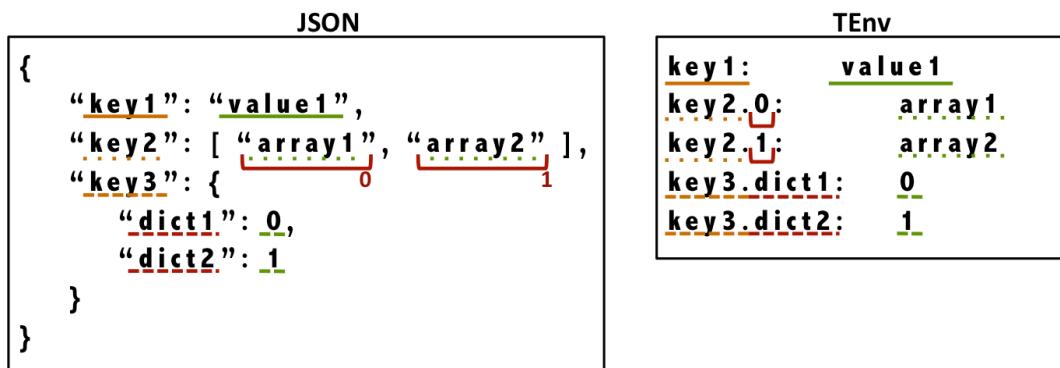


図 4.14 JSON–TEnv 間変換の模式図。JSON では key–value、key–array(配列型)、key–dict(辞書型)などの組み合わせが可能であるのに対し、TEnv では基本的に key–value の形式のみに対応しているため、それぞれ対応関係を定義して変換処理を行う。

① “key1”: “value1” (JSON) → key1: value1 (TEnv)

変化なし。

② “key2”: [“array1”, “array2”] (JSON) → key2.0: array1 と key2.1: array2 (TEnv)
array 内の順序を key(“key2”) の後ろにピリオド(.) をつけてから添えたものを新たな key(“key2.0” や “key2.1”) として定義し、value には array 内の value(“array1” や “array2”) を代入する。

③ “key3”: “dict1”: 0, “dict2”: 1 (JSON) → key3.dict1: 0, key3.dict2: 1 (TEnv)
dict 内の key(“dict1” や “dict2”) を key(“key3”) の後ろにピリオド(.) をつけてから添えたものを新たな key(“key3.dict1” や “key3.dict2”) として定義し、value には dict 内の value(0 や 1) を代入する。

解析処理ツールは以下に挙げる機能を備えており、従来のものに比べて利便性や汎用性を大きく向上させた。

- 目的に応じて X 軸/Y 軸の範囲やスケール変更
- 条件や条件分岐項目の追加による YARR の全ての試験項目及び今後追加される試験項目への即時対応
- 単一ツールによる全試験項目の解析処理
- 同解析処理ツールによって生成される ROOT ファイルを用いた再解析
- ROOT ファイルの THX クラスからヒストグラム形式の画像ファイルへの変換出力
- ROOT ファイルの TEnv クラスから JSON 形式のテキストファイルへの変換出力

表 4.3 九州大学で行われた試験的小規模生産時の運用試験結果^[33]。合計 7 個のクアッドモジュールに対して、合計 1182 回の読み出し試験を行った。

コレクション	ドキュメント数	データサイズ	データ保存サイズ
component	44	9.331 kB	36.86 kB
childParentRelation	32	4.480 kB	36.86 kB
testRun	4.802×10^3	12.84 MB	5.616 MB
componentTestRun	4.802×10^3	1.638 MB	380.9 kB
fs.files	69.46×10^3	8.161 MB	2.568 MB
fs.chunks	74.23×10^3	3.479 GB	1.021 GB
合計	153.4×10^3	3.502 GB	1.029 GB

4.4 性能評価

4.4 節では性能評価のうち、圧縮性能、耐久性能、処理性能における評価について述べる。

4.4.1 圧縮性能評価

2018 年 10 月に九州大学で FE-I4 を用いたクアッドモジュールの試験的小規模生産が行われ、同時に旧データ構造のデータベースを用いた運用試験を行った^[33]。その結果を表 4.3 に示す。

結果から特に fs.chunks コレクションのデータ保存サイズが全体の 99% を占めていることがわかった。fs.chunks コレクションは前述したように GridFS によって生成され、ファイルデータの実体をバイナリ形式で保存しているコレクションである。このとき保存されていたファイルデータは主に以下の通りである。

- FE チップ設定値ファイル (JSON)
- 試験結果ファイル (DAT)
- 試験結果ファイル (PNG)
- 試験結果ファイル (PDF)

試験結果ファイルとして生成されるファイルは読み出し試験項目によって異なるが、2 次元ピクセルマップは PNG 画像ファイルと各ピクセルの値が記述される DAT ファイル、1 次元分布図は PDF 画像ファイルと各ビンの値が記述される DAT ファイルが生成される点は共通であり、それぞれの画像ファイルは DAT ファイルを元に生成可能である。FE チップ設定値ファイルには全ピクセル共通の設定値であるグローバルレジスタの値に加えて各ピクセルごとに固有の値を持つピクセルレジスタが記述されている。また旧データ構造のデータベースでは重複確認処理を行っていないため、読み出し試験で生成されるすべてのファイルデータが保存された。

本研究では

- (1) 各ファイルデータに対する圧縮性能の比較
- (2) 重複確認処理を行った場合のデータサイズ低減率の確認

を行い、保存データ項目の検討を行った。

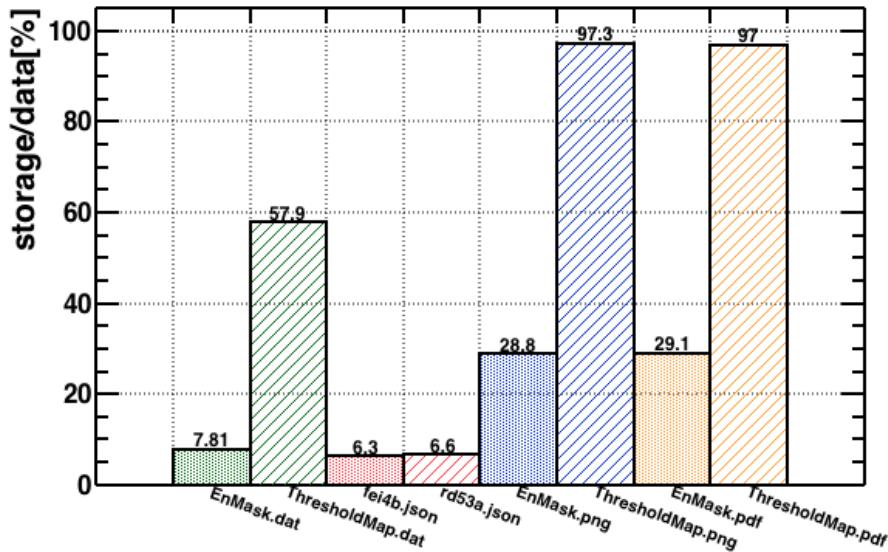


図 4.15 ファイルデータの圧縮率の比較。

評価手順

(1) 各ファイルデータに対する圧縮性能

以下のファイルデータを GridFS を用いてローカルデータベースに 100000 ドキュメント保存し、保存前のデータサイズに対する保存後のデータサイズを確認した。

- DAT ファイル … EnMask データファイル (53 kB)、ThresholdMap データファイル (207 kB)
- JSON ファイル … FEI4B 設定値ファイル (3.7 MB)、RD53A 設定値ファイル (670 kB)
- PNG ファイル … EnMask 画像ファイル (9 kB)、ThresholdMap 画像ファイル (61 kB)
- PDF ファイル … EnMask 画像ファイル (9 kB)、ThresholdMap 画像ファイル (61 kB)

ローカルデータベースでは圧縮アルゴリズムに Google の開発した snappy を採用している。保存後のデータサイズは保存したデータサイズに対して線形に増加する。

$$\text{保存後の全データサイズ} = \text{保存前の全データサイズ} \times R_{\text{comp}} \quad (4.1)$$

このときの比例定数 R_{comp} は圧縮率そのものであり、この値を用いてファイルデータの圧縮性能を評価した。

(2) 重複確認処理を行った場合のデータサイズ低減率

九州大学で取得したデータのうちファイルデータの重複を取り除き、その前後のデータベースの保存データサイズを比較した。

評価結果

(1) 各ファイルデータに対する圧縮性能

付録 C.1 に各ファイルデータにおける保存前後のデータサイズの関係をまとめた。図 4.15 に全ファイルデータの圧縮率の比較を示す。

DAT や JSON のようなテキストファイルはよく圧縮できているのに対し、PNG や PDF などの画像ファイルはあまり圧縮できていないのがわかる。なお、DAT ファイルや PNG、PDF ファイルの圧縮率

表 4.4 重複確認処理による保存データサイズの削減。

データの種類		Before	After	After/Before [%]
DAT	ドキュメント数	32.28×10^3	25.27×10^3	78
	データサイズ	5.150 MB	4.040 MB	78
	データ保存サイズ	2.250 MB	1.880 MB	84
JSON	ドキュメント数	4.650×10^3	1.660×10^3	36
	データサイズ	719.0 kB	256.0 kB	35
	データ保存サイズ	270.0 kB	156.0 kB	57
PNG	ドキュメント数	11.80×10^3	7.880×10^3	67
	データサイズ	1.890 MB	1.260 MB	67
	データ保存サイズ	786.0 kB	610.0 kB	78
PDF	ドキュメント数	20.80×10^3	20.60×10^3	99
	データサイズ	3.310 MB	3.290 MB	99
	データ保存サイズ	1.570 MB	1.540 MB	101
合計	ドキュメント数	69.50×10^3	55.40×10^3	80
	データサイズ	11.10 MB	8.840 MB	80
	データ保存サイズ	4.800 MB	4.040 MB	84

がデータによって大きく異なるのはデータ内容と圧縮アルゴリズムによるものである。ここでは圧縮アルゴリズムの中でも極めて単純なランレンジス法を例に挙げて説明する。ランレンジス法は、同じ値が連続している部分に注目して圧縮する手法で、以下のように圧縮が行われる。

```
a a a a a a a a b b b b b c c
      ↓
a 8 b 6 c 2
```

EnMask データの場合、各ピクセルの値は 0 または 1 のみであるため高压縮性能を発揮するのに対し、ThresholdMap データの場合、各ピクセルの値は一様でない場合が多く圧縮性能は劣化したと考えられる。また PNG や PDF などの画像ファイルの場合、色や文字、軸などのテキストファイルに含まれない情報もあるため、JSON や DAT のテキストファイルに比べて圧縮性能が劣るものと考えられる。

(2) 重複確認処理を行った場合のデータサイズ低減率

表 4.4 にファイルデータの種類ごとに重複データを取り除いた前後のデータサイズの比較を示す。

重複ファイルを取り除くことで、JSON ファイルではドキュメントの数としては 64%、保存データサイズとしては 43% の削減が確認され、全体としては 16% 削減できることがわかった。一方 DAT、PNG、PDF のデータファイルでは最高でも 22%(PNG) の削減であり、あまり重複ファイルを取り除く恩恵がないことがわかる。一方でファイルの重複はデータ量が多くなるほど増大し、削減率も高くなることが予想される。重複確認処理の是非は、データ量を増大させていったときの処理性能の劣化などを確認した上で決める必要がある。

表 4.5 処理性能および耐久性能評価に用いたサーバーの性能。

項目	仕様、性能
デスクトップ CPU	Intel(R) Xeon(R) CPU X5670 Core 数: 6、Thread 数: 12、Clock 周波数: 2.93 GHz
デスクトップ RAM	容量: 47 GB
デスクトップ Disk	種類: HDD(NFS)、容量: 19 TB
デスクトップ OS	centOS7 linux

表 4.6 処理性能および耐久性能評価の測定結果。

	アップロード処理	ダウンロード処理
平均時間	279 ms/doc	532 ms/doc
標準偏差	21 ms/doc (7.6% 平均時間)	42 ms/doc (8.0% 平均時間)
平均速度	13.3 MB/s	7.0 MB/s
最長時間	336 ms/doc (120% 平均時間)	670 ms/doc (132% 平均時間)
最短時間	251 ms/doc (90% 平均時間)	478 ms/doc (90% 平均時間)

4.4.2 処理性能評価と耐久性能評価

本研究で開発を行ったアップロード機能およびダウンロード機能の処理時間を確認した。

評価手順

FE チップ設定値ファイル (3.7 MB) に対して、アップロード処理 (図 4.7 中点線枠内) およびダウンロード処理 (図 4.8 中点線枠内) を 1000 回行い、平均処理時間を測定した。さらに保存データサイズを増加させて行ったときの処理時間の推移を確認した。なお、このとき用いたファイルは全て同一であり、アップロード処理ではハッシュ値による重複確認処理を含むが、処理時間の計測が目的であるため重複していてもデータベースへの書き込みを行うものとした。また、ダウンロード時のデータ出力としてファイルの生成までを要求した。なお使用したサーバーの性能を表 4.5 の通りであり、データベースと処理ツールは同一サーバー上に構築した。

評価結果

図 4.16 に測定結果を示す。約 10 TB(約 4.0×10^7 ドキュメント分) に達したところで測定を止めた。

アップロード処理の測定時、MongoDB との接続に失敗した (保存サイズ約 5100 GB の点) がそれ以外では大きなエラーなどは生じなかった。失敗した点以外の測定点から求めた平均時間、標準偏差、平均速度、最長時間、最短時間を表 4.6 に示す。

測定点によっては最大で平均に対して 30% 程度の差が確認されたが、10 TB までの保存データサイズ增加に対して処理速度の劣化は見られなかった。またアップロード・ダウンロードどちらについても 10 MB/s 程度の処理速度の性能を確認できた。PC 間のデータ転送を行う scp の処理速度の相場は数 MB/s から数十 MB/s 程度であることから、これらの処理速度は概ね平均データ通信速度程度であると言える。

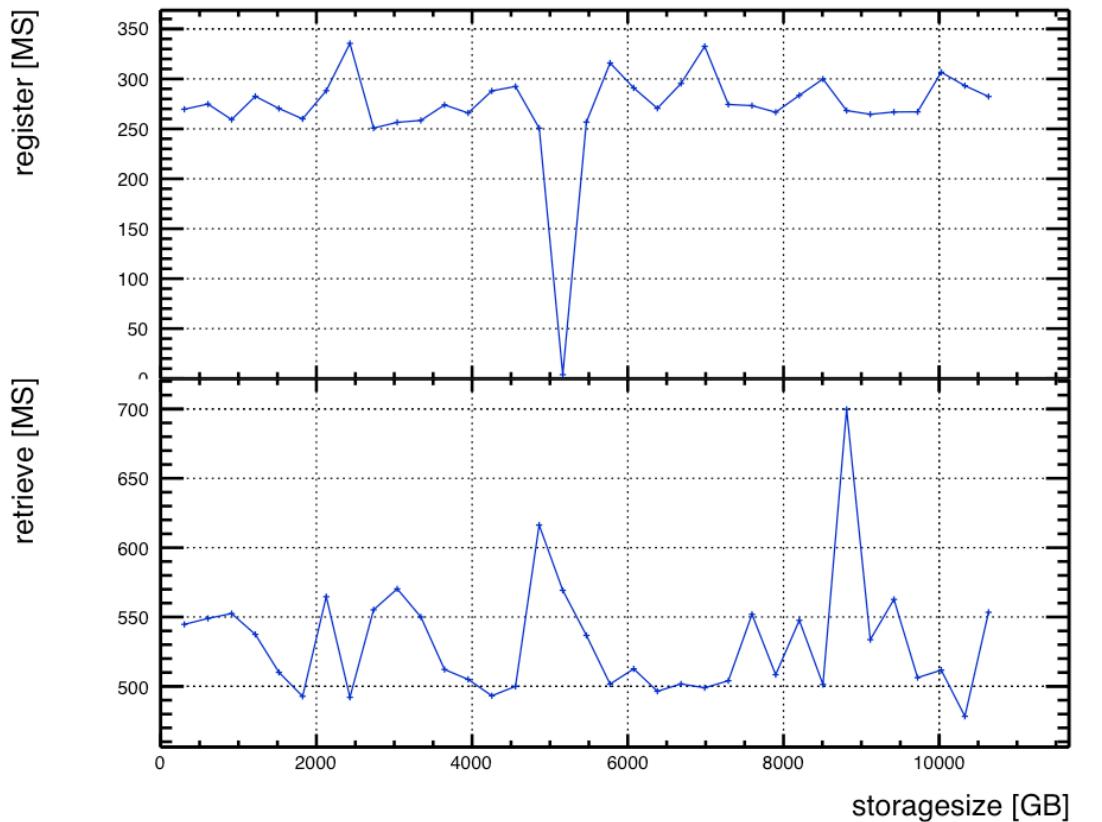


図 4.16 処理性能および耐久性能評価の測定結果。横軸が保存データサイズ、縦軸がそれぞれの処理にかかった時間 [ms] を表し、上段がアップロード、下段がダウンロードの処理時間を表す。

4.4.3 結論

圧縮性能、耐久性能、処理性能それぞれの性能評価の結果を以下にまとめる。

- snappy 圧縮アルゴリズムを用いた場合の圧縮率は、DAT は約 10-60%、JSON は約 6%、PNG や PDF は約 30-100% 程度、の結果を得た。
- 重複確認処理を行うと九州大学で行った試験的小規模生産時のデータに対するドキュメント削減率は、DAT は 78%、JSON は 36%、PNG は 67%、PDF は 99% の結果を得た。
- 3.7 MB の JSON ファイルのアップロード処理及びダウンロード処理の平均処理時間を測定し、それぞれ 13.3 MB/s、7.0 MB/s の結果を得た。
- 約 10 TB の保存データサイズに対するアップロード処理及びダウンロード処理の劣化が見られないことを確認した。

これらの結果をもとに、画像ファイルの保存を完全に除外し、ハッシュ値を用いた重複確認処理を行うことを決定した。

第5章

試作 ASIC の読み出し試験

本研究で開発したデータベースシステムは、ピクセル検出器の大量生産における試験結果の一括管理や系統的評価に利用されることを想定しているため、実際に多数回の読み出し試験を行い、その評価を行うことによって利用性能を確認することは非常に重要である。特に量産時の到達データサイズを見積もりは、データベースシステムが保存や圧縮の観点で十分要求性能を満たし利用価値があるかどうか判断するためにも必要不可欠である。本研究では量産時を想定したシステムの運用試験として、多数枚の試作ASICに対して読み出し試験を行い、データサイズの見積もりと試作ASICの系統評価を行った。本章では5.1節で運用試験のセットアップと試験内容について説明し、5.2節でデータサイズの見積もり結果について、5.3節で試作ASICの系統的評価結果について説明し、5.4節に運用試験の結論を述べる。

5.1 LBNLでの読み出し試験

Lawrence Berkeley National Laboratory(LBNL)は、ITk ピクセル検出器の量産を行う研究機関の一つである。読み出しシステムの開発やピクセルモジュールの組み立てにおいて、最先端の技術・知識を有しており、多くのRD53Aのモジュールを所有する。

本研究では、2019年7月から9月にかけてLBNLに滞在して研究を行った。その際にLBNLの所有するRD53A ASICを用いて、試験的小規模生産や大量生産を想定したデータベースシステムの運用試験を行った。運用試験の流れを以下に示す。

1. データベースシステムの導入

データベースシステムを開発した東京工業大学ではない環境でも、環境依存などなくシステムを導入し利用できるか確認した。この確認工程は、今後東京工業大学や日本国内だけでなく、世界的に利用されるためにも、非常に重要な意義を持つ。

2. 複数のRD53A ASICに対する読み出し試験とデータの保存

量産時を想定し、複数のRD53A ASICに対して一連の読み出し試験を行い、その結果をアップロードツールを用いてデータベースに保存した。読み出し試験後自動的にデータを保存する機能を利用したため、LBNLで行った読み出し試験は全てデータベースに保存した。複数の人にアップロード機能を試してもらい、アップロード機能が十分機能していることとその利便性を確認した。この確認は、開発者や熟練者だけでなく多くの人が利用する上で、必要不可欠な工程である。

3. データベース内データの確認

ダウンロードツールによる試験データの再現や、再現データを用いた再試験、Webインターフェー

スを用いた試験結果の確認などを行い、保存工程におけるデータの欠損や不具合がないことの確認と、諸ツールの利用性能を確認した。

4. データサイズの見積もり

実際に保存したデータの使用サイズを確認した。この結果から、小規模生産や大量生産時にデータベースシステムを導入した場合とそうでない場合におけるデータサイズを見積もりを行い、データベースシステムが量産時における要求性能を満たしているか評価した。

5. 試作ASIC(RD53A)の系統的評価

一連の読み出し試験の結果に対して解析ツールを用いた性能評価を行い、試験を行った RD53A の系統的な評価を行った。このような本番を想定して試験的な性能評価を行うことによって、解析ツールやその他の処理機能の運用性能と、新たに要求される機能について確認することができる。

1-3の工程はシステムと諸ツールの利用性の確認であり、大きな問題は見られず十分な性能を確認したため、本論文での記述は割愛する。本章では4及び5の点について報告する。

5.1.1 セットアップ

読み出し試験(図3.6)時のハードウェアのセットアップを表5.1、写真を図5.1に示す。LV用電源はRD53AのLDOモード^{*1}の場合は1.80-1.85Vに設定した。なお、LDOは故障しやすいことが報告されており、複数枚のRD53AではLDOモードでの測定を行うことができなかつたため、それらについては直接電圧を印加し、1.2-1.3Vの間で調整した。センサーが接続されているものについてはセンサーに印加するHV用電源を-60Vに設定した。



図5.1 LBNLでの読み出し試験のセットアップ(写真)。左: LV用電源(左、KEYSIGHT)とHV用電源(右上、KEITHLEY)。右: LV用電源(左)とRD53Aシングルチップカード(右)の接続の様子。なお、RD53Aは4枚のシングルチップカードが重なった状態になっており、1番上のシングルチップカードが接続されている。

^{*1} Shunt-LDOと呼ばれるレギュレータを用いた電圧制御モード

表5.1 読み出し試験セットアップ(LBNL)。ピクセルモジュールに電圧を供給する電源、FWがプログラムされたFPGA、SWがインストールされたデスクトップの他、FEチップからの信号を読み出すためのDisplayPort Cable、FMC–DisplayPort変換カードなどを用いて読み出し試験を行った。

項目	装置名、性能
LV用電源	KEYSIGHT E36313A
HV用電源	KEITHLEY 2410
FPGAボード	Trenz TEF-1001
デスクトップCPU	Intel(R) Core(TM) i5-6500 Core数: 4, Thread数: 4, Clock周波数: 3.2 GHz
デスクトップRAM	容量: 16 GB
デスクトップDisk	種類: HDD(NFS)、容量: 15 GB
デスクトップOS	centOS7 linux
FW	YARR FW ^[35] (GitLab、2019年2月24日のコミット: 234b4e18)
SW	YARR SW ^[36] (GitLab、2019年9月21日のコミット ^{*2} : 1b061aad)

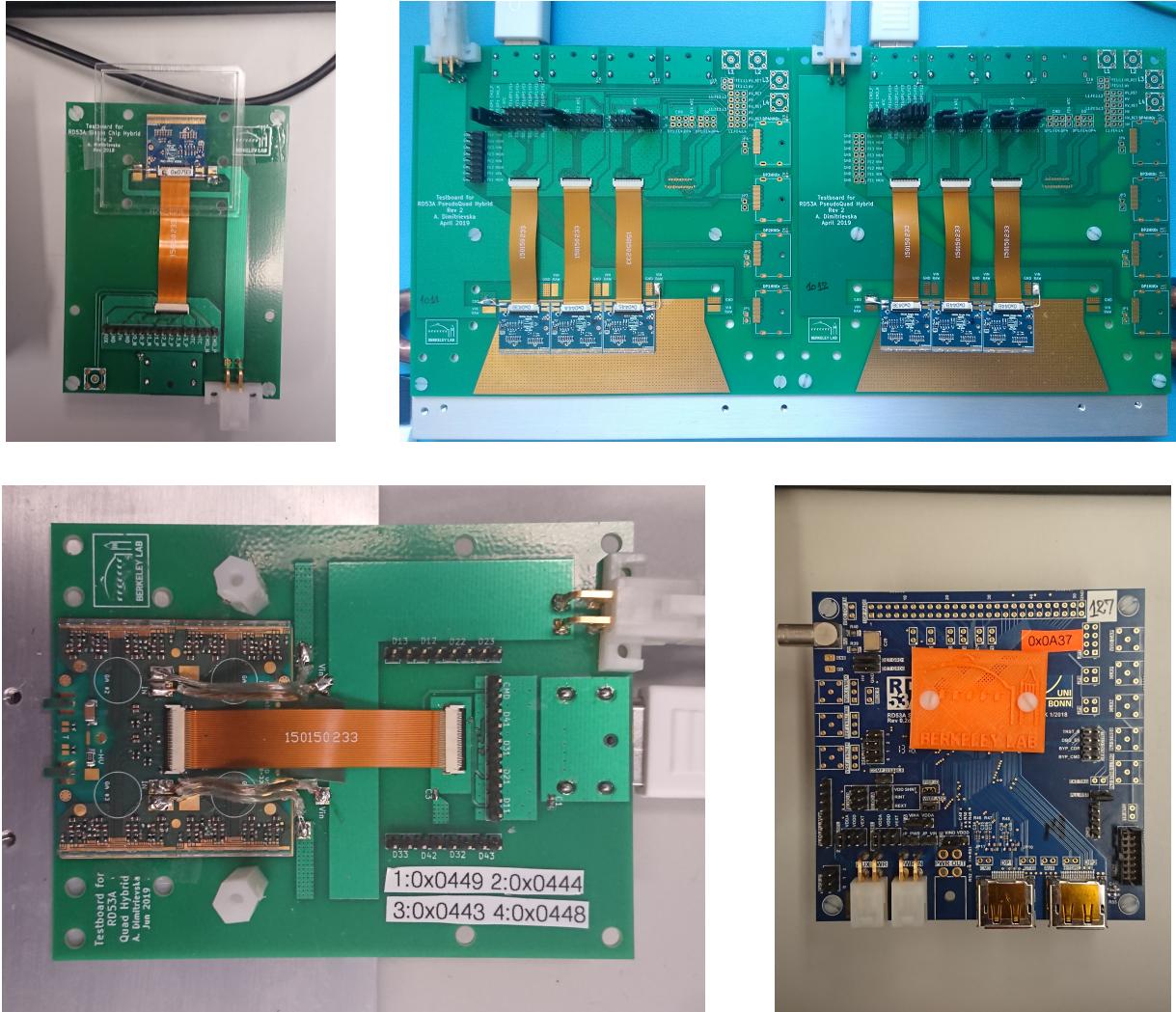


図 5.2 RD53A クアッド、トリプレット、シングル、シングルチップカード(写真)。左上: シングルモジュール、右上: トリプレットモジュール、左下: クアッドモジュール、右下: シングルチップカードを示す。

5.1.2 試験対象の試作 ASIC

LBNL の所有する RD53A ASIC のうち 39 枚の RD53A に対して読み出し試験を行った。39 枚の RD53A のうち、4 枚は 1 個のクアッドモジュール上に、6 枚は 2 個のトリプレットモジュール上に、2 枚は 2 個のシングルモジュール上に FE チップとして接続され、他の 27 枚はすべてシングルチップカードである。なお、シングルチップカードは、ASIC 単体、あるいはセンサーと接続された ASIC が読み出し用の固めのボードに接続された試験用の読み出しカードである。それぞれの写真を図 5.2 に示す。読み出し試験を行った RD53A のデータは、読み出しによるデータ取得の成功・失敗に関わらず、すべてデータベースに登録した。図 5.3 に開発した Web インターフェースを用いて登録した RD53A のリストを確認した際の画面を示す。

Chip Name	Module Name	Latest Result	checked	irrad	nodata	sensor	Rhack
KEK53-6		link					
0x0C96							
0x0C95		link					
0xA59		link					
0xA57		link					
0xA56		link					
0xA37		link					
0xA36		link					
0x0796		link					
0x0795		link					
0x0793		link					
0x078A		link					
0x0788		link					
0x0786		link					
0x0784		link					
0x0783		link					
0x0782		link					
0x077C							
0x0779		link					
0x0778		link					
0x0767							
0x075C							
0x044B	1012	link					
0x044A	1011	link					
0x0449	Q1	link					
0x0448	Q1						
0x0446	1012	link					
0x0445	1011	link					
0x0444	Q1	link					
0x0443	Q1	link					
0x0439	1011	link					
0x0438	1012	link					
0x0434		link					
0x0433		link					
0x0429		link					
0x0428		link					
0x0426		link					
0x0425		link					
0x0424		link					

図5.3 読み出し試験を行ったRD53A。左からRD53A ASICの製品番号(Chip Name)、RD53Aが接続されているモジュールの製品番号(Module Name)、最新の試験結果へのリンク(Latest Result)、試験結果を確認できたもの(checked、橙は確認済み)、照射の有無(irrad、橙は照射済み)、結果データが取得できなかったもの(nodata、橙はデータなし)、センサーの有無(sensor、橙はセンサー付き)、読み出しを安定させるための外付け抵抗の有無(Rhack、橙は外付け抵抗あり)を表す。

5.1.3 読み出し試験内容

3.2.3節に示す全読み出し試験の一部を抜粋した以下の項目に沿って読み出し試験を行った。なおこれは2019年7月から10月にかけて行われたトラベリングモジュール^{*3}時の試験項目に従つたものである。

1. デジタル回路試験
2. アナログ回路試験
3. Threshold グローバルレジスタ調整 (1000 e)
4. Threshold ピクセルレジスタ調整 (1000 e)
5. Threshold ピクセルレジスタ再調整 (1000 e)
6. Threshold ピクセルレジスタ精密調整 (1000 e)
7. ToT グローバルレジスタ調整 (8 ToT @ 10000 e)
8. Threshold ピクセルレジスタ再調整 (1000 e)
9. Threshold ピクセルレジスタ精密調整 (1000 e)
10. デジタル回路試験
11. アナログ回路試験
12. Threshold 測定
13. ToT 測定 (@ 10000 e)
14. ノイズ占有率測定

なお、読み出し試験はRD53Aの全Analog FEについて行ったが、性能評価の際は実機ASICとして使用されることが決定しているDifferential FEの結果のみを用いた。

^{*3} 1個のRD53Aシングルチップカードを複数の研究機関で順々に回しながら同じ項目の読み出し試験を行い、輸送方法や結果の共有方法などを確認する、本番を想定した試験の1つ。データベースシステムは一部の機関で試験的に利用された。

5.2 データサイズの見積もり

LBNLにて行った測定(以下、本測定と表記)の条件を、試験的小規模生産や量産時の読み出し試験環境の条件に拡張させることによって、本測定で得られたデータサイズから量産時に到達しうるデータサイズの見積もりが可能である。本研究ではデータベースシステムを導入した場合と導入しない場合、それにおいて到達しうるデータサイズを見積もり、比較を行うことによってデータベースシステムを導入する有意性を評価した。

5.2.1 評価手順

LBNLで行った複数枚のASICに対する読み出し試験の結果から、RD53Aを用いた試験的小規模生産時及び大量生産時のデータサイズの見積もりを行った。なお、ここで大量生産は初期生産を含むものとする。量産時と本測定では、読み出し試験を行うASIC(FEチップ)の数、読み出し試験数が異なるため、量産時に到達しうるデータサイズの見積もりは一般に次のように求められる。

$$\begin{aligned} \text{量産時のデータサイズ} &= \text{本測定のデータサイズ} \\ &\times \frac{\text{量産時の読み出し試験を行う ASIC 数}}{\text{本測定で読み出し試験を行った ASIC 数}} \\ &\times \frac{\text{量産時の読み出し試験数}}{\text{本測定の読み出し試験数}} \end{aligned}$$

ただし、生成されるデータが試験項目によって異なることや、重複確認処理の影響によって、データサイズは試験数に完全に比例しないと考えられるため、厳密な見積もりは難しい。本研究では1つの試験サイクル(全読み出し試験など)を基準とし、データサイズが試験サイクル数に対して線形に増加することを仮定して次の式で見積もりを行った。

$$\begin{aligned} \text{量産時のデータサイズ} &= \text{本測定のデータサイズ} \\ &\times \frac{\text{量産時の1つの試験サイクルあたりのデータサイズ}}{\text{本測定の1つの試験サイクルあたりのデータサイズ}} \\ &\times \frac{\text{量産時の読み出し試験を行う ASIC 数}}{\text{本測定で読み出し試験を行った ASIC 数}} \\ &\times \frac{\text{量産時の読み出し試験サイクル数}}{\text{本測定の読み出し試験サイクル数}} \end{aligned} \quad (5.1)$$

データベースシステムを導入した場合のデータサイズ S_{DB} 、導入しない場合のデータサイズ S をそれぞれ見積もり、その比をとてデータベースシステムの導入によるデータサイズ削減率を求めた。

$$\text{データサイズ削減率 } R = \frac{S - S_{DB}}{S} \times 100 \quad [\%] \quad (5.2)$$

データサイズ削減率が大きいほど、データベースシステムの導入価値が高いと評価できる。式(5.1)のそれぞれの項について以下で確認していく。

1つの試験サイクルあたりのデータサイズ

試験サイクルは、本測定、全読み出し試験、部分読み出し試験、それにおける一連の読み出し試験を指す。実際に一連の読み出し試験を行ってデータを取得し、データベースシステムを導入した場合でデータベースに保存されるデータ(保存データ)サイズ、導入しない場合で読み出し試験によって生成

されるファイルデータ(生成データ)サイズを確認した。表5.2にそれぞれの工程におけるデータサイズの結果を示す。なお、この結果はすべてRD53Aを仮定し、レジスタ調整は3つのAnalog FEすべてで行った。

表5.2 1つの試験サイクルあたりのデータサイズ。生成データサイズはデータベースシステムを導入しない場合において読み出し試験によって生成されるファイルデータのサイズ、保存データサイズはシステムを導入してデータベースに保存されるデータのサイズを表す。

	本測定	部分読み出し試験	全読み出し試験
生成データサイズ	97 MB	70 MB	105 MB
保存データサイズ	32 MB	24 MB	30 MB

読み出し試験を行うASIC数

本測定、試験的小規模生産時、大量生産時、それぞれで読み出し試験を行うASIC(FEチップ)数は表5.3の通りである。なお、本測定で読み出し試験を行ったASICは合計39枚だが、うち5枚は接続不良によりデータを取得できなかったため、見積もりでは読み出しに成功した34枚の値を用いることとする。また、小規模生産時と本測定で読み出し試験を行うASICはRD53Aであるのに対し、大量生産時のASICはRD53Aの2倍のピクセル数を持つため、生成される結果データサイズも約2倍になることを想定し、ASICの数(33184枚)に2をかけている。

表5.3 読み出し試験を行うASIC数。小規模生産時および本測定でASICはRD53Aを指すが、大量生産時のASICはRD53Aの2枚のピクセル数を持つASICであり、生成されるデータサイズも約2倍になることが想定されるためASICの数に2をかけている。

	本測定	小規模生産時	大量生産時
読み出しASIC数	34	1007	2×33184

読み出し試験サイクル数

本測定時、試験的小規模生産時、大量生産時、それぞれのモジュール組み立て工程において行われる読み出し試験のサイクル数を表5.4に示す。大量生産時の読み出し試験サイクル数はまだ決定されていないため、小規模生産時と同じ値を用いた。例えば小規模生産時には1つのモジュール組み立て工程で4回の全読み出し試験、3回の部分読み出し試験を行う。本測定では1つのRD53A ASICに対して5.1.3節で示した読み出し試験を1サイクル行った。

表5.4 読み出し試験サイクル数。各値は1つのモジュール組み立て工程において行われる読み出し試験のサイクル数である。本測定では1つのASICに対して5.1.3節で示した読み出し試験を1サイクル行っており、これを本測定における1モジュールの組み立てと仮定した。

	本測定	小規模生産時	大量生産時
全読み出し試験	0	4	4
部分読み出し試験	0	3	3
本測定の読み出し試験サイクル	1	0	0

表5.5 本測定による試験データ結果。コレクションは4.2節で述べたデータベース内データのグループ、ドキュメント数は各コレクションに保存されたデータの数、保存データサイズは各コレクションの合計サイズを表しており、データベース全体では約140000のドキュメントデータを保存し、1.7 GBに達している。合計生成ファイルはデータベースを使用なかった場合におけるファイルデータを表しており、約78000のファイルが生成され、合計データサイズは6.5 GBに達している。

コレクション	ドキュメント数	保存データサイズ
component	42	20.5 kB
chip	48	20.5 kB
childParentRelation	10	20.5 kB
testRun	1.30×10^3	425 kB
componentTestRun	2.45×10^3	1.27 MB
fs.files	3.33×10^4	5.00 MB
fs.chunks	8.88×10^4	1.68 GB
user	11	20.5 kB
institution	12	20.5 kB
config	1.71×10^4	696 kB
environment	4	20.5 kB
合計	1.43×10^5	1.68 GB
合計生成ファイル	7.84×10^4	(生成データサイズ) 6.47 GB

表5.6 データサイズ見積もり結果。

	本測定(1読み出し試験サイクル)	小規模生産時	大量生産時
システムを導入しない場合 \mathcal{S}	6.47 GB	1.24 TB	82.0 TB
システムを導入した場合 \mathcal{S}_{DB}	1.68 GB	0.299 TB	19.7 TB
データサイズ削減率 $\mathcal{R} [\%]$	74.0	76.0	76.0

5.2.2 評価結果

本測定では、合計39枚のRD53A ASICに対して合計2517回の試験を行った。そのうち1295回の試験が読み出しに成功し、合計約6.5 GBのファイルが生成された。生成ファイルはアップロードツールを使用し、ASICの情報と共にすべてローカルデータベースに保存した。表5.5に試験後のデータベースの使用状況を示す。保存後のデータサイズは合計約1.7 GBであった。

この結果を式(5.1)に代入し、データベースシステムを導入した場合、導入しなかった場合のそれぞれについて計算し、到達しうるデータサイズを見積もった。見積もりの結果を表5.6にまとめる。すべての場合においてデータサイズ削減率は75%程度である結果を得た。

5.3 試作ASICの系統的評価

本測定で取得した読み出し試験の結果に対して解析ツールを用いて性能評価を行い、試作ASICであるRD53Aの性能について系統的な評価を行った。この評価における主な目的は以下の三点である。

- 読み出し試験やその後の処理における経験の蓄積
- 解析ツールやその他の処理機能の運用性能の評価
- 現時点で不足している機能の確認

なお、RD53Aは試開発のASICであり、ITk実機では改良が加えられたASICが使用される予定であるため、本研究で得られるRD53Aの評価結果はITkの性能に直接反映されるものでない。

5.3.1 評価手順

○ 評価対象ASIC・評価対象ピクセル

図5.3に示す39枚のRD53A ASICを評価対象とした。評価には実機への使用が予定されているDifferential FE(合計ピクセル数: 26112)の結果のみを用いた。

○ 評価試験項目

5.1.3節で示した読み出し試験のうち、最後に測定を行う以下の5つの試験項目を評価の対象とした。

- デジタル回路試験
- アナログ回路試験
- Threshold 測定
- ToT 測定 (@ 10000 e)
- ノイズ占有率測定

○ 評価基準

試験の評価は3.2.3節で述べた各試験におけるASIC単位の評価基準、ピクセル単位の評価基準に従った。表5.7に評価基準^{*4}をまとめる。

^{*4} 2020年春に予定されているRD53Aを用いた試験的小規模生産試験においての暫定的な評価基準であり、実際の量産で適用される評価基準は変更される場合もある。

表 5.7 読み出し試験評価基準。ASIC 単位の評価では性能が良い方から順に Perfect、Good、Bad の評価があり、ピクセル単位の評価では不具合のあるピクセルを抽出するような基準で評価が設けられている。

読み出し試験項目	ASIC 単位			ピクセル単位	
	Perfect 評価基準	Good 評価基準	Bad 評価基準	評価名	評価基準
デジタル回路試験 (N_{pix} : $Occ_d = 100$ のピクセル数)	$N_{pix} > 99.9\%$			Digital Dead	$Occ_d < 1\%$
				Digital Bad	$Occ_d < 98\%$
				Analog Dead	$Occ_a < 1\%$
				Analog Bad	$Occ_a < 98\%$
アナログ回路試験 (N_{pix} : $Occ_a = 100$ のピクセル数)	$800 < Q_{th,mean} < 950$	$Q_{th,mean} < 800$ or	$Q_{th,mean} < 800$ or	Tuning Failed	S カーブ フイティング失敗
		$1050 < Q_{th,mean} < 1200$	$1200 < Q_{th,mean}$	Tuning Bad	$ Q_{th} - Q_{th,mean} > 5 \times Q_{th,\sigma}$
	$Q_{th,\sigma} < 30$	$30 < Q_{th,\sigma} < 40$	$40 < Q_{th,\sigma}$	High ENC	$ \sigma_n - \sigma_{n,mean} > 3 \times \sigma_{n,\sigma}$
	$30 < \sigma_{n,mean} < 60$	$20 < \sigma_{n,mean} < 30$ or $60 < \sigma_{n,mean} < 100$	$\sigma_{n,mean} < 20$ or $100 < \sigma_{n,mean}$		
ToT 測定試験				Tuning Bad	ToT _{mean} = 0 or ToT _{mean} = 15
ノイズ占有率測定試験				Noisy	$Occ_n > 10^{-6}$

表 5.8 LBNL の RD53A の系統評価結果 (ASIC)。各試験における未試験 (Untested)、Perfect、Good、Bad 評価の ASIC の数 (上) と全体に占める割合 [%] (下) を示す。

評価項目		Untested	Perfect	Good	Bad
デジタル回路試験	数 割合	5 13%	28 72%	0 0%	6 15%
アナログ回路試験	数 割合	5 13%	12 31%	0 0%	22 56%
Threshold 測定 ($Q_{th,mean}$)	数 割合	6 15%	29 74%	3 8%	1 3%
Threshold 測定 ($Q_{th,\sigma}$)	数 割合	6 15%	4 10%	24 62%	5 13%
Threshold 測定 ($\sigma_{n,mean}$)	数 割合	6 15%	27 69%	4 10%	2 5%

5.3.2 評価結果

○ ASIC 単位の評価

表 5.7 の ASIC 単位の評価基準に基づいてデジタル回路試験、アナログ回路試験、Threshold 測定の結果について評価を行った。図 5.4(上) に評価結果を示す。解析処理機能を用いて各試験・各 ASIC で試験評価を行い、その結果を色別 (Perfect: 緑、Good: 黄、Bad: 赤、Untested: 青) で表示している。全ての試験項目で Perfect または Good の評価であった ASIC は全部で 11 個あり、うち 4 個が全ての試験項目で Perfect の結果を得た。また、多数の ASIC が Analog Scan で Bad、Threshold Sigma の評価項目で Good/Bad に評価されていることがわかる。これらは RD53A の寄生容量の影響による不具合 [37] に起因するものであると考えられ、詳細な考察は付録 D.2 にまとめた。また、各評価について該当する ASIC の数と全体に占める割合を表 5.8 に示す。先述した Analog Scan および Threshold Sigma を除く項目で約 70% の ASIC が Perfect の評価基準を満たしている結果を得た。

○ ピクセル単位の評価

表 5.7 のピクセル単位の基準に基づいてデジタル回路試験、アナログ回路試験、Threshold 測定、ToT 測定、ノイズ占有率測定の結果について評価を行った。図 5.4(下) に評価結果を示す。解析処理機能を用いて各試験・各 ASIC の各ピクセルに対して試験評価を行い、該当ピクセル数の割合を評価項目ごとに色別で表示している。なおこのときの割合とは

$$R = \frac{\text{該当ピクセル数}}{\text{試験対象ピクセル数}}$$

で計算された値であり、試験対象ピクセル数は Differential FE のピクセル数の 26112 である。また、評価項目ごとの該当ピクセル数の割合を図 5.5 に示す。High ENC の項目では ASIC 上の 10% 程度、それ以外ではほとんどの ASIC において 1–10% 以下のピクセル該当率である結果を得た。詳細な考察は付録 D.3 にまとめた。

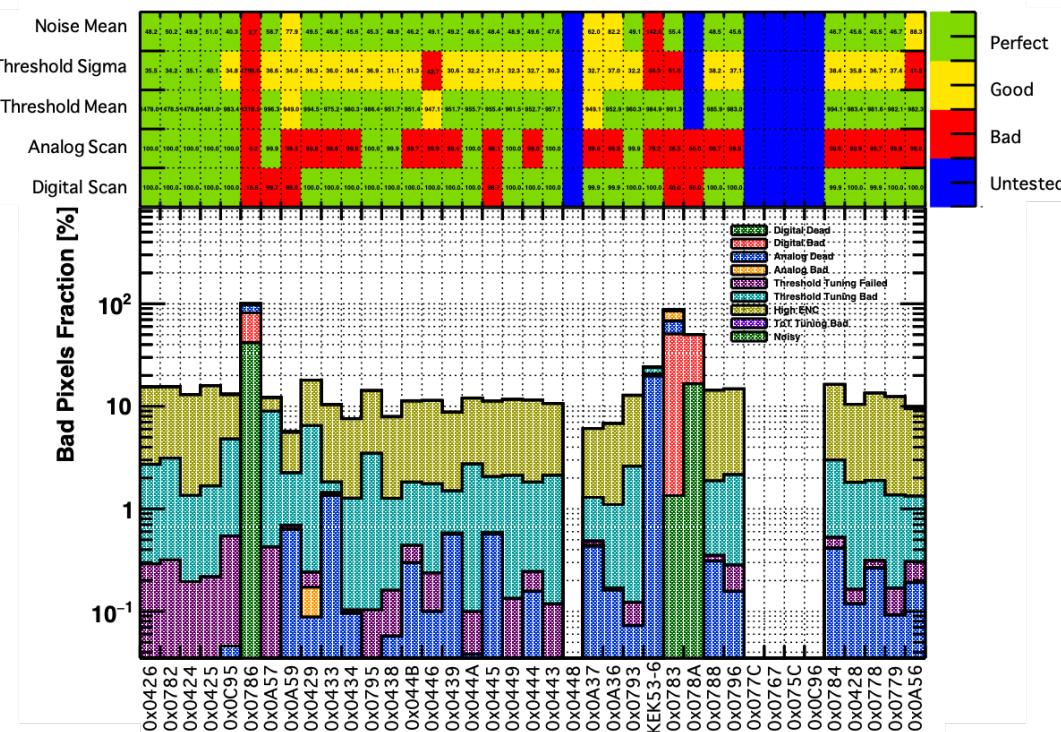


図 5.4 試験評価結果。

(上) ASIC 単位の評価結果。横軸が試験 ASIC、縦軸が各評価項目、緑が Perfect 評価、黄色が Good 評価、赤が Bad 評価、青が未試験を示し、セル中の数字は評価項目ごとに基準となるパラメータの値を表す。

(下) ピクセル単位の評価結果。横軸が試験 ASIC、各色が凡例に示す各評価項目、縦軸が該当ピクセル数の割合 [%] を示す。

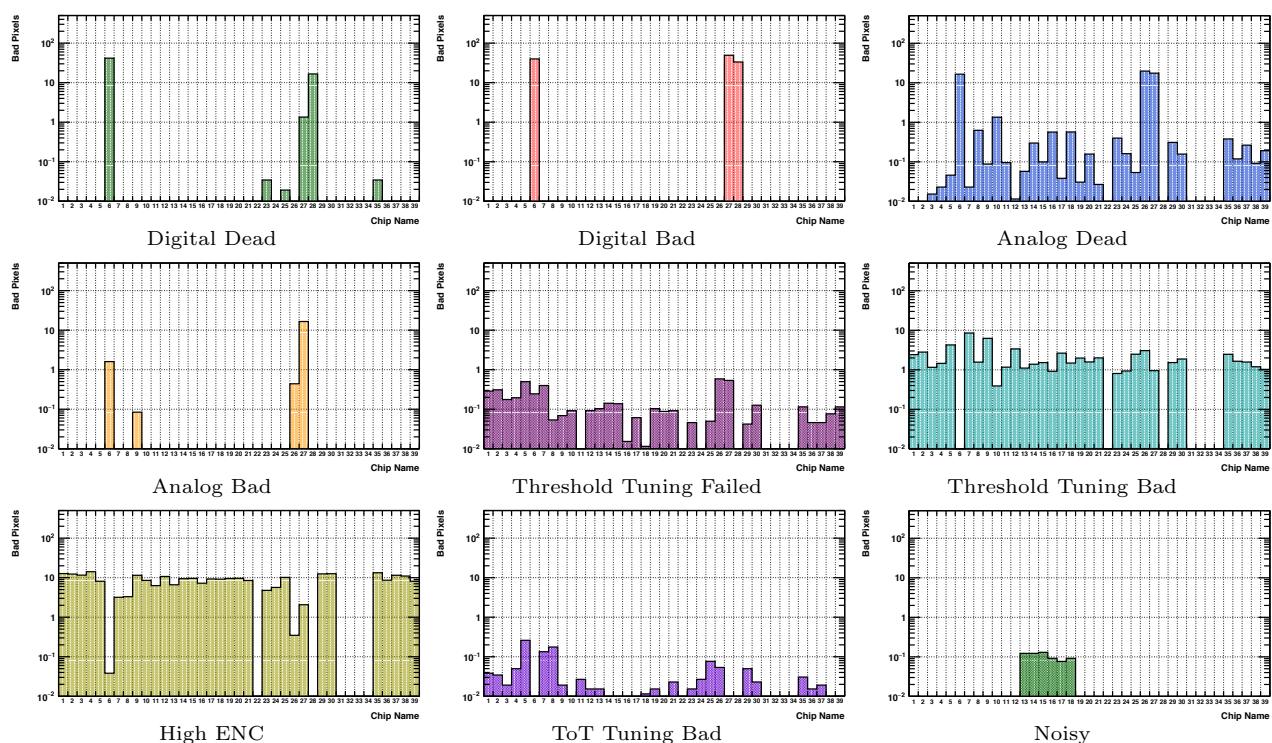


図 5.5 評価項目ごとのピクセル単位の試験評価結果。横軸、縦軸、色は図 5.4 に準ずる。

5.4 結論

5.4.1 運用試験について

多数枚の RD53A ASIC に対する読み出し試験を通じたデータベースシステムの運用試験、および ASIC の系統的評価の結果を以下にまとめる。

- LBNL へのデータベースシステムの導入に成功し、諸ツールが利用できることを確認した。
- 39 枚の RD53A の読み出し試験においてデータベースシステムを用いたデータ管理を行い、開発したアップロードやダウンロード、Web インターフェースの機能が十分機能していることを確認した。
- 39 枚の RD53A の読み出し試験でシステムを導入した場合、1.68 GB のデータサイズに達することを確認した。
- 本測定から量産時の到達データサイズを見積もり、18.6 TB に達する結果を得た。これはシステムを導入しない場合に対して 76 % のデータサイズの削減に成功しており、20 TB 未満のデータは 1 つの研究機関内で十分管理可能なデータサイズであると考えられる。
- 試作 ASIC の読み出し試験に対して解析ツールを利用し、評価基準に従って系統的な性能評価を行えることを確認した。

なお、不具合が多く確認された Threshold Sigma(ASIC 単位の評価) や High ENC(ピクセル単位の評価) は、ASIC の回路に起因する寄生容量が一部のピクセルで生じたために、ノイズ分布にばらつきが生じたことが原因であることがすでに判明しているため、ITk 実機に使用される ASIC ではこの原因の排除が必要不可欠である。

5.4.2 ローカルデータベースの開発と性能評価のまとめ

本研究の一連の開発と性能評価を通じて、ローカルデータベースシステムが量産時に使用されるデータ管理システムとして十分な性能を満たしていることが確認された。また、データサイズや処理機能の柔軟性と利用性能の観点から、円滑な性能評価試験を行う上で有用であると認められたため、2020 年春に予定される RD53A を用いた試験的な小規模生産時に、日本内の他機関や、日本以外の共同研究機関への導入および利用が決定した。

第 6 章

まとめ

6.1 結論

ATLAS 実験は、CERN にある大型ハドロン衝突型加速器であり LHC にて行われている陽子陽子衝突実験であり、標準模型粒子の精密測定や標準模型を超える新粒子探索などの幅広い物理テーマを目的としている。新物理発見の感度向上のために、2024 年から LHC は HL-LHC へのアップグレードが計画され、ビーム交差あたりの陽子衝突数が増加し、取得統計量の向上が期待される。一方陽子陽子衝突のイベントレート及び粒子密度が増加するため、信号の読み出しを行う検出器には読み出しの高速化と高細密化が要求される。ATLAS 検出器の衝突点に最も近い位置に設置されている内部飛跡検出器は、要求性能を満たすためにすべてシリコンの検出器に置き換えられることが決定している。ATLAS 検出器のアップグレード時は新型ピクセル検出器の大量生産が予定されており、量産時には数多くの組み立て工程と、各工程において検出器の性能評価試験が要求される。それらの試験結果は量産過程から検出器の設置に至るまで、参照および利用される可能性があるため、適切な管理システムが必要不可欠である。

本研究では、オープンソースのドキュメント指向型 NoSQL データベースである “MongoDB” を用いた試験管理システムの開発と、システム利用を支援する諸ツールとして、アップロード、ダウンロード、Web インターフェース、データ解析の機能を持つツールの開発を行った。システム開発の上で、汎用性・柔軟性の向上を目的としたデータ構造の改造を行い、様々な環境や読み出し試験に対して、与えられたデータを過不足なく保存できる仕組みを実装した。さらに先行研究^[33] ではファイルデータの保存による使用データサイズの膨張が確認されたため、データサイズの圧縮性能の評価を行い、PDF や PNG 画像ファイルに対する圧縮率約 30-100%、DAT ファイルに対する圧縮率約 10-60%、JSON ファイルに対する圧縮率約 6% の結果を得た。この結果と、DAT ファイルが PDF や PNG ファイルの元データであることを考慮し、PDF や PNG の画像ファイルを保存対象から除外した。また、同先行研究ではファイルデータを含めた重複データの保存による使用データサイズの膨張も確認されたため、本研究ではハッシュを用いた重複確認処理を加え、全体で 57.6% のファイルサイズの低減に成功した。

また、データベースのアップロードとダウンロードにかかる時間を測定し、3.7 MB の JSON ファイルに対する処理についてそれぞれ処理速度が 13.3 MB/s、7.0 MB/s の結果を得た。このときアップロード処理には重複確認処理工程、ダウンロード処理にはファイルへの書き出し処理も含まれており、10 MB 程度のファイルに対しては 1 s から程度の処理であることからも、使用者にストレスを与えない程度の処理速度であると言える。さらにデータベースの保存データサイズを約 10 TB まで増加させたときにも、これらの処理速度にほとんど劣化が見られないことを確認した。

データベースの構造及びツールの改良を施した上で、2019 年 7 月から 9 月にかけて LBNL で RD53A

の実機に対して、量産時を想定した小規模読み出し試験とともに試験管理システムの運用試験を行った。合計 39 個の ASIC に対して合計 2517 回の読み出し試験を行い、34 個の ASIC の 1295 回の読み出しに成功した結果、約 6.0 GB の生成ファイルを約 1.6 GB に圧縮した上でデータベースに保存することに成功した。この結果から 2020 年春に予定されている RD53A を用いた小規模生産時、また実機に用いるピクセル検出器の量産時の使用データサイズを見積もり、それぞれ約 300 GB、20 TB の結果を得た。データベースを用いない場合ではそれぞれ約 1200 GB、80 TB に達するため、データベースを用いることによって 1/4 のサイズに縮小して管理を行えることがわかった。

さらに取得した RD53A のデータに対して、小規模生産時に使用される評価基準に基づき、ASIC 単位、ピクセル単位で各測定結果について評価を行った。すべての RD53A についての各評価結果を 1 枚のプロット上に表示させることで、系統的に確認することに成功した。

以上の運用試験を通じて、本研究で開発したローカルデータベースのシステムがストレージ及び解析用ツールとして非常に有用であることが確認できた。また要求される以下のシステムの機能のうち、(a)–(d) が利用可能な状態であることを確認した。

- (a) ローカルデータベースへのデータアップロード機能
- (b) ローカルデータベースのデータダウンロード機能
- (c) ローカルデータベース内データの確認機能 (Web インターフェース)
- (d) ローカルデータベース内データの解析機能
- (e) ローカルデータベース同士の同期機能
- (f) ローカルデータベースと中央データベース間のインターフェース機能

これらの機能は日本内の他機関や日本以外の共同研究機関に導入され、2020 年春に予定されている RD53A を用いた試験的な小規模生産時に利用されることが決定している。

6.2 今後の課題

本研究には含まれないが、前述したシステムの (e)、(f) についても現在開発を進めている。RD53A を用いた試験的な小規模生産時に全ての機能に対して運用試験を行うために、これらの開発と実装は必要不可欠であり、全ての機能を利用可能な状態にすることは直近の課題である。さらに 2021 年から開始するモジュールの初期量産及び大量生産時の円滑な量産と品質管理試験のために、小規模生産時の利用経験を土台に機能を調整し、改善することが必要となる。

付録 A

読み出し試験結果データ

A.1 YARR SW 出力ファイル

A.1.1 デジタル回路試験/アナログ回路試験

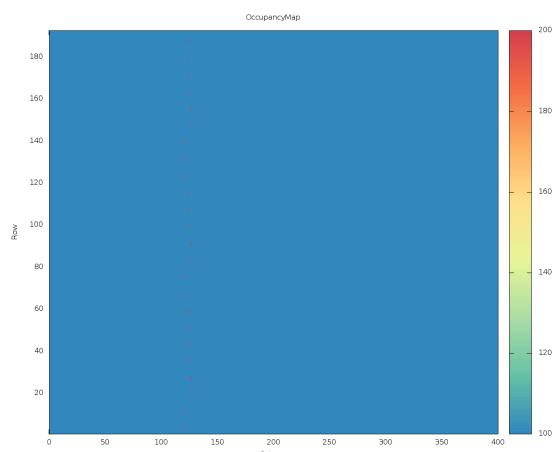


図 A.1 OccupancyMap

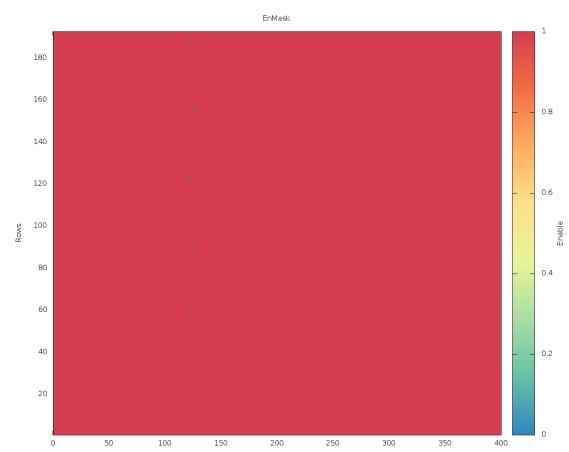


図 A.2 EnMask

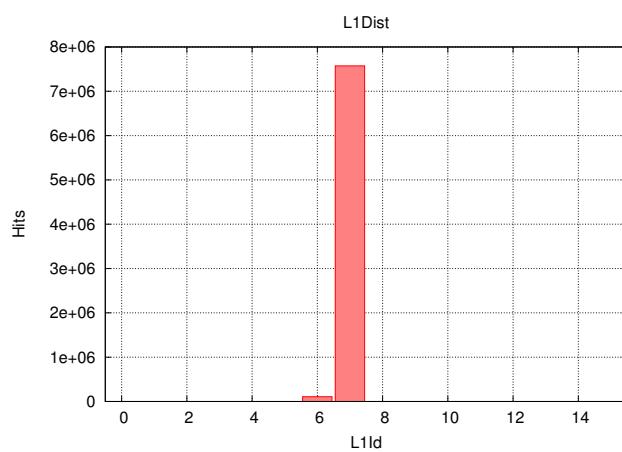


図 A.3 L1Dist

A.1.2 Threshold 測定

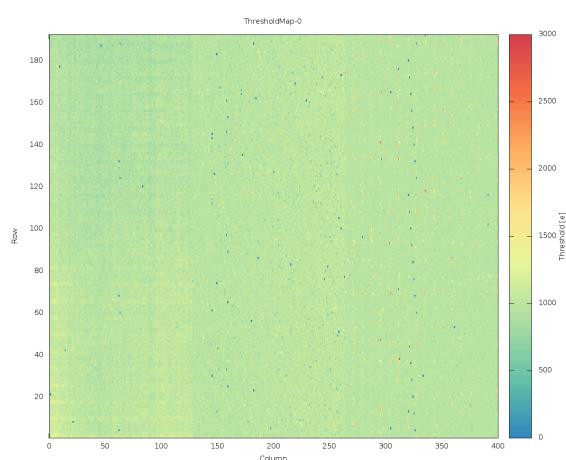


図 A.4 ThresholdMap

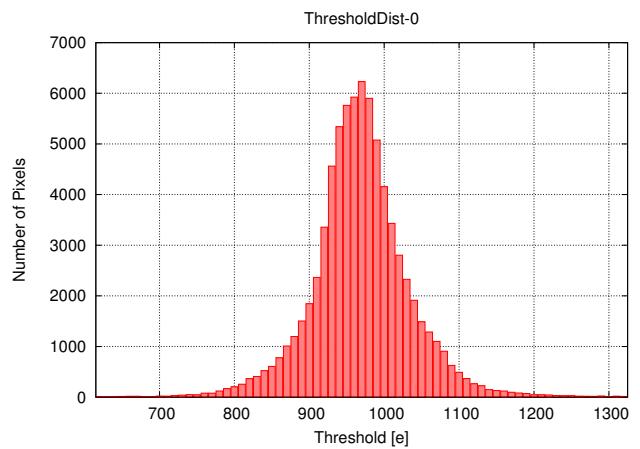


図 A.5 ThresholdDist

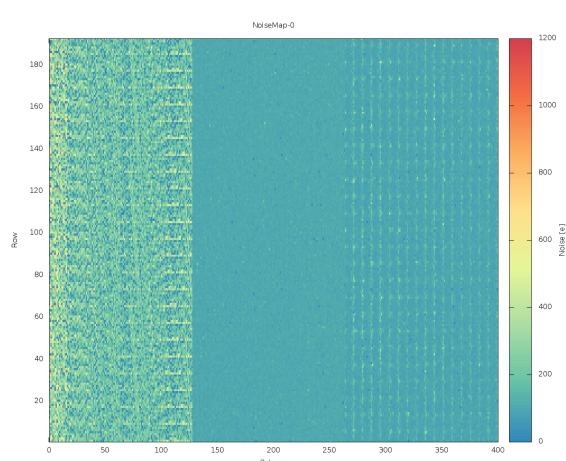


図 A.6 NoiseMap

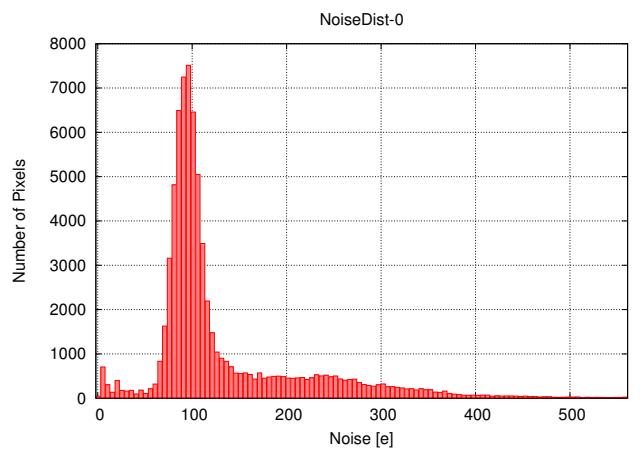


図 A.7 NoiseDist

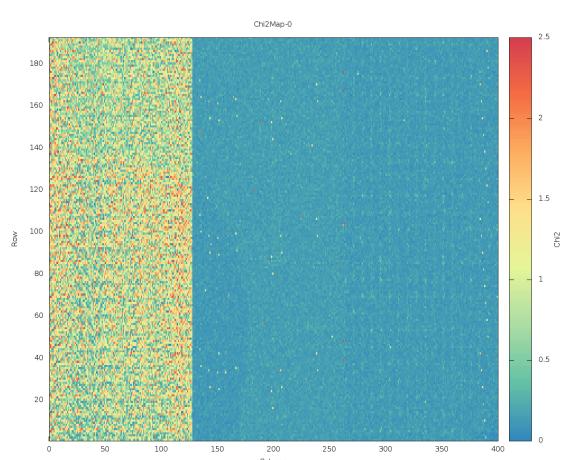


図 A.8 Chi2Map

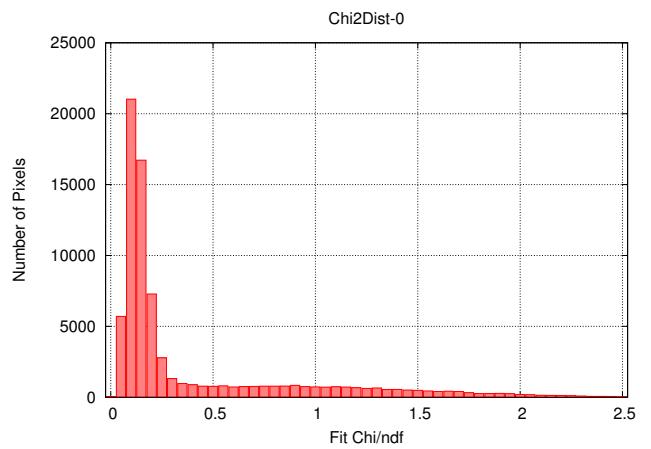


図 A.9 Chi2Map

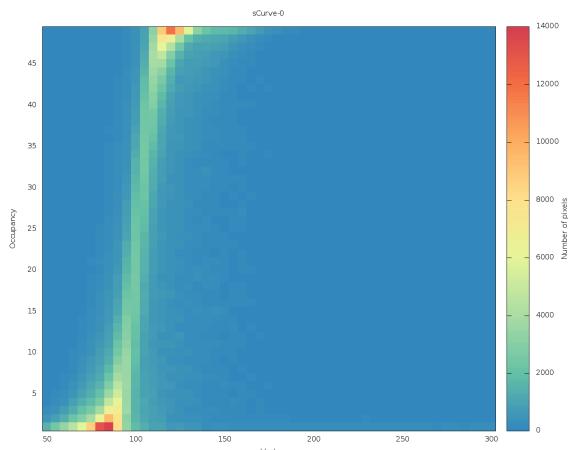


図 A.10 sCurveMap

A.1.3 ToT 測定

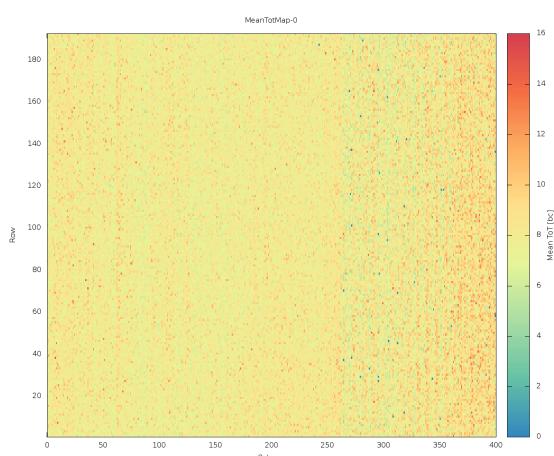


図 A.11 MeanToTMap

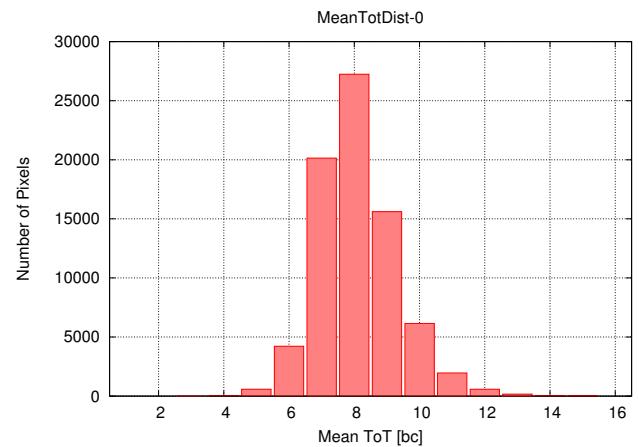


図 A.12 MeanToTDist

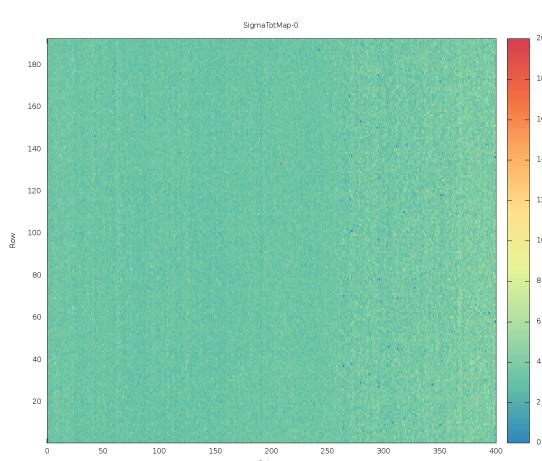


図 A.13 SigmaToTMap

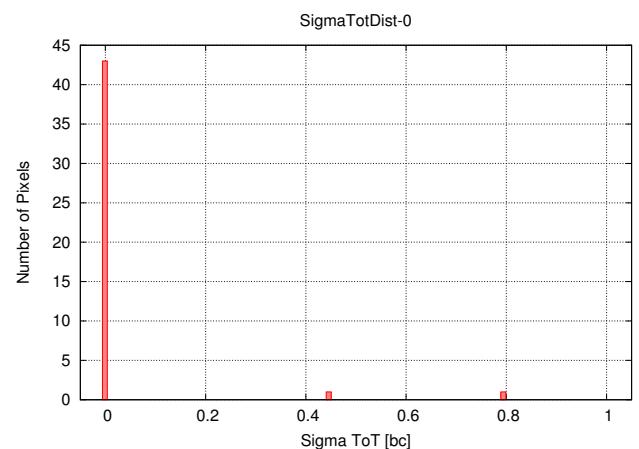


図 A.14 SigmaToTDist

A.1.4 ノイズ占有率測定

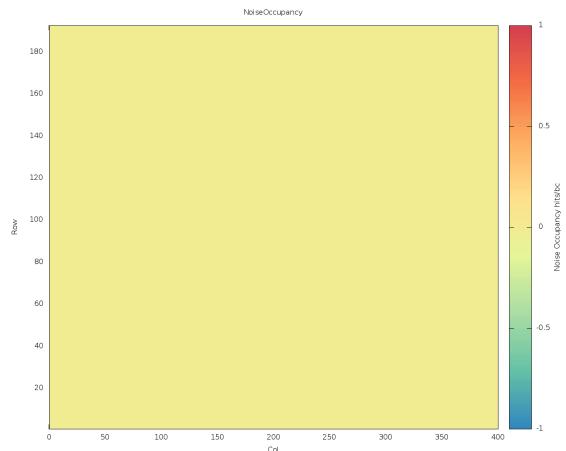


図 A.15 NoiseOccupancyMap

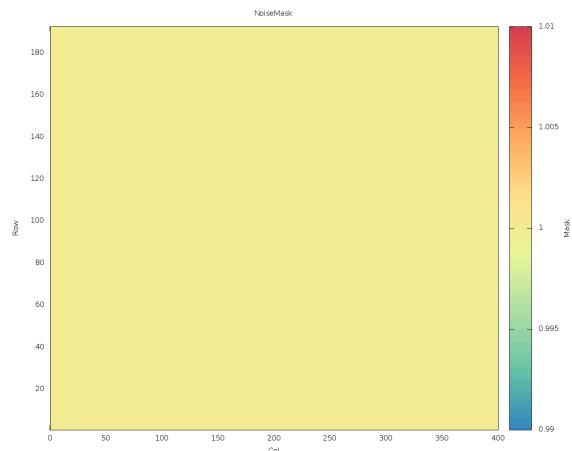


図 A.16 NoiseMask

A.2 解析処理ツール出力ファイル

A.2.1 全試験項目で共通の出力ファイル

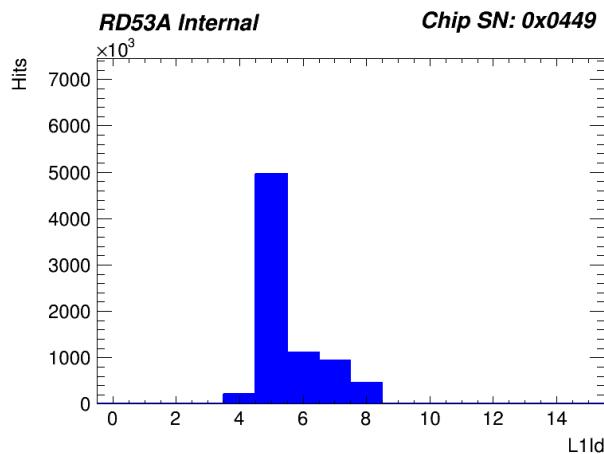


図 A.17 a. 1 次元分布図 (例. L1Dist)

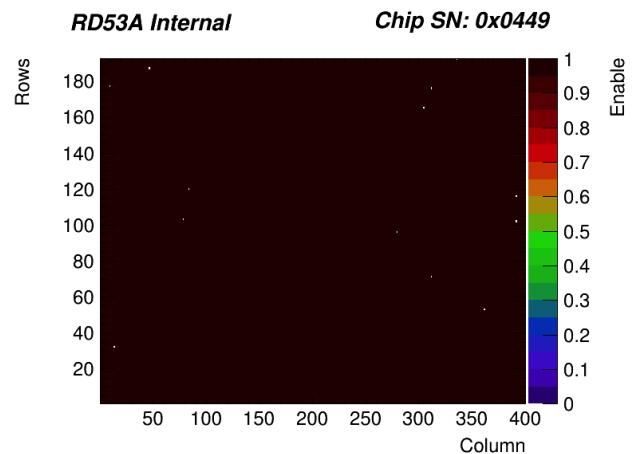


図 A.18 b. 2 次元マップ (例. EnMask)

A.2.2 1次元投影図

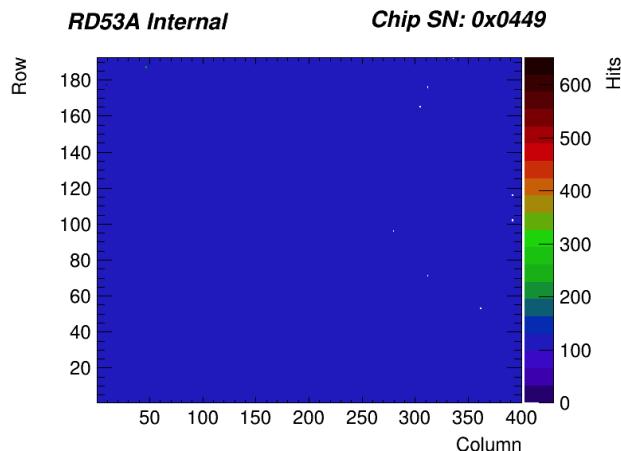


図 A.19 b. ピクセルマップ (例. OccupancyMap)

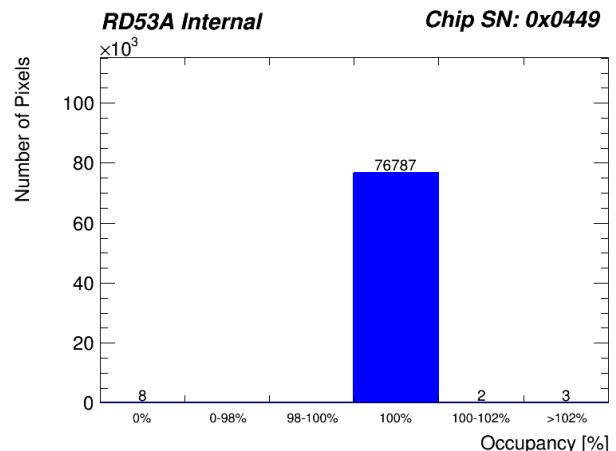


図 A.20 c. 1 次元投影図 (例. OccupancyMap)

A.2.3 OccupancyMap

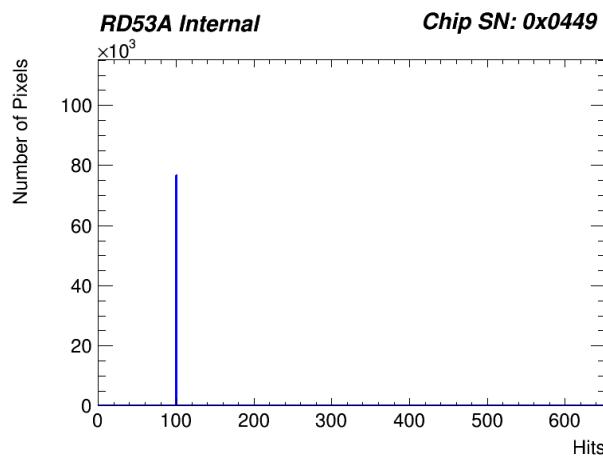
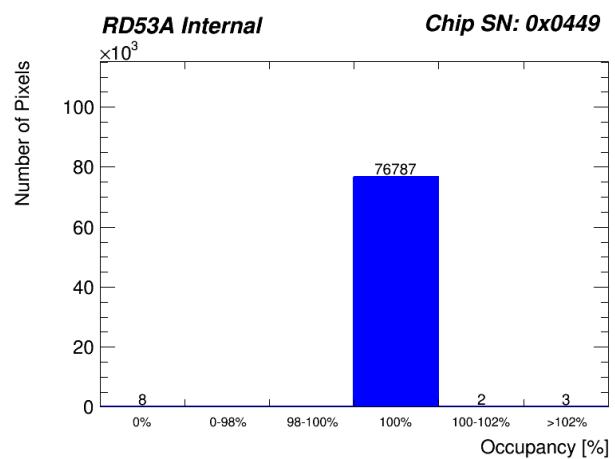


図 A.21 c. 1 次元投影図 (OccupancyMap)

図 A.22 d. Occ 分布図

A.2.4 NoiseOccupancyMap

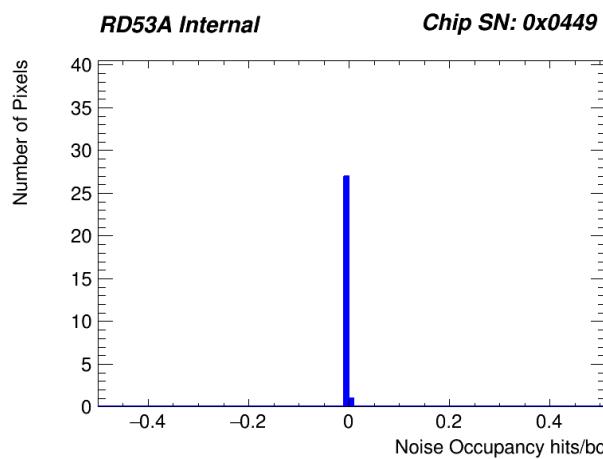
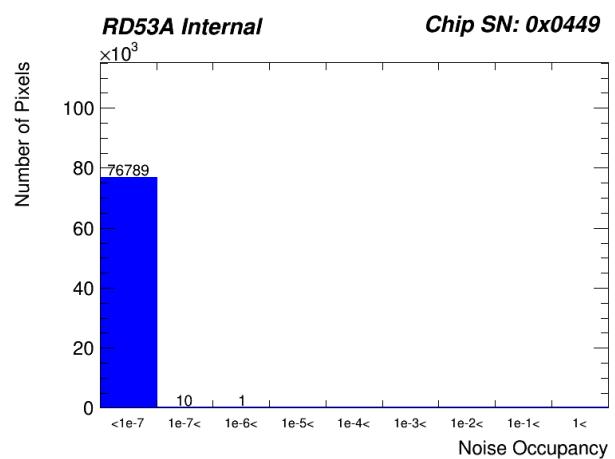


図 A.23 c. 1 次元投影図 (NoiseOccupancyMap)

図 A.24 e. Occ_n 分布図

A.2.5 ToT/Threshold/NoiseMap

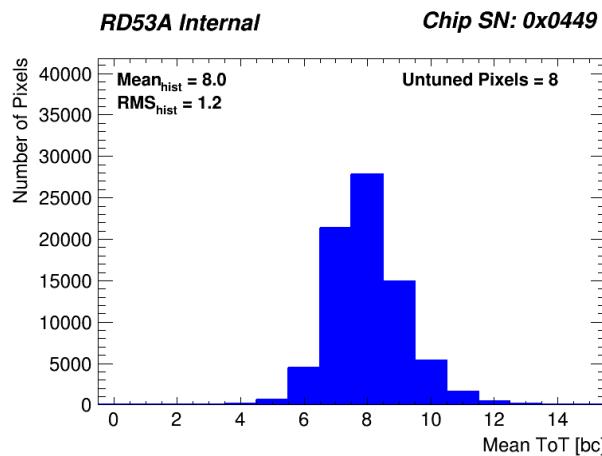


図 A.25 c. 1 次元投影図 (例. MeanTotMap)

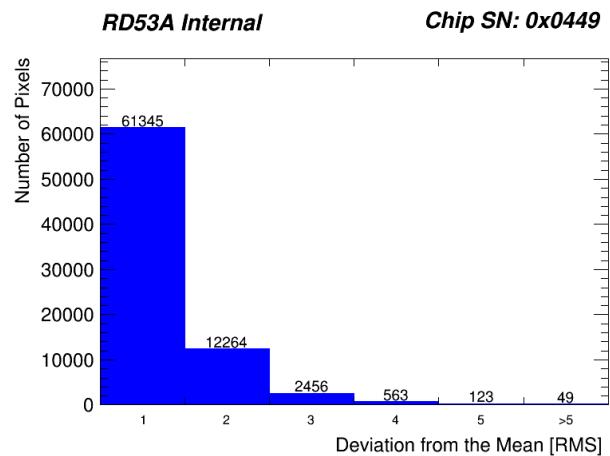


図 A.26 f. RMS 分布図 (例. MeanTotMap)

A.2.6 Threshold/NoiseMap

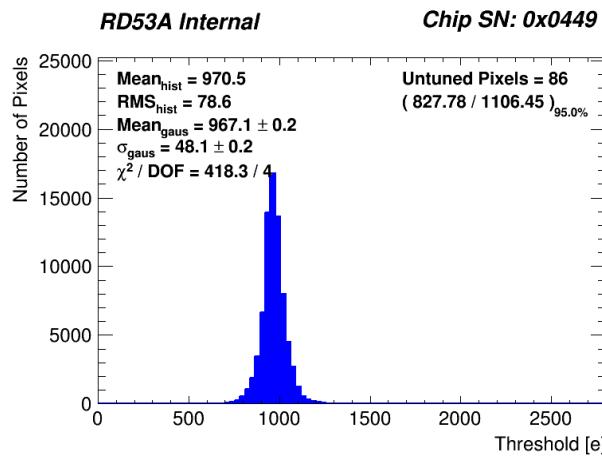
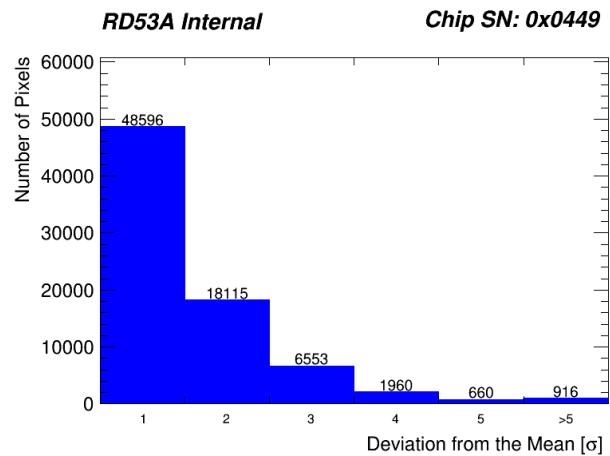


図 A.27 c. 1 次元投影図 (例. ThresholdMap)

図 A.28 g. σ 分布図 (例. ThresholdMap)

A.2.7 ピクセルレジスタ

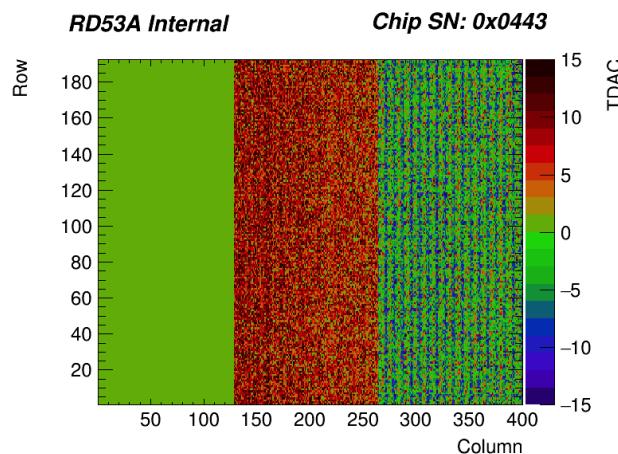


図 A.29 b. ピクセルマップ (例. TDAC)

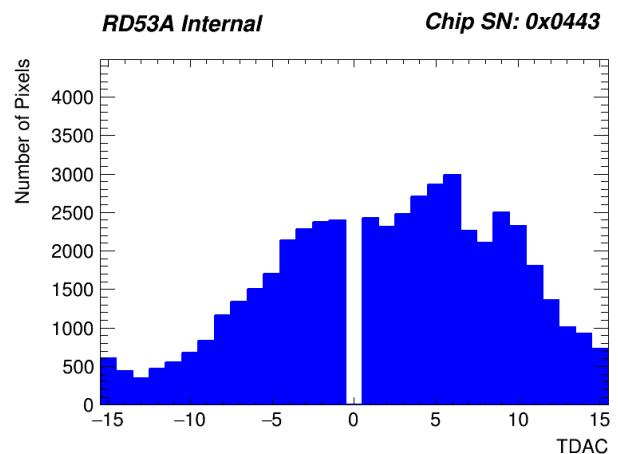


図 A.30 c. 1次元投影図 (例. TDAC)

付録 B

データ構造

B.1 先行研究

- component

ASIC、ピクセルモジュールの情報を格納するコレクション。ドキュメントにはオブジェクト ID のほか、製品番号 (“serialNumber”)、ASIC の種類 (“componentType”)、製造地と製造者 (“institution”、“userIdentity”) などが記述された。

```
{
  "_id": ObjectId("5c134e988591292d277935f5"),
  "serialNumber": "kek-114_chipId4",
  "componentType": "FE-I4B",
  "institution": "Tokyo Institute of Technology",
  "userIdentity": "Arisa Kubota"
}
```

- childParentRelation

ASIC とモジュールを関連づけるデータを格納するコレクション。ドキュメントにはオブジェクト ID のほか、component コレクション中の親モジュールのドキュメントのオブジェクト ID(“parent”)、子 ASIC のオブジェクト ID(“child”) などが記述された。

```
{
  "_id": ObjectId("5c134e988591292d277935f5"),
  "parent": "5c134b5385912906a81ebf96",
  "child": "5c134e988591292d277935f5"
}
```

- testRun

読み出し試験データを格納するコレクション。ドキュメントにはオブジェクト ID のほか、試験番号や試験情報 (“runNumber”、“testType”)、試験地と試験者 (“institution”、“userIdentity”)、試験結果の情報 (“attachments”) などが記述された。“attachments” の中の “code” は fs.files コレクションの中の対象試験結果データのオブジェクト ID である。

```
{
  "_id": ObjectId("5c13532f8591295c0062b803"),
  "testType": "analogscan",
  "runNumber": 792,
  "institution": "Tokyo Institute of Technology",
  "userIdentity": "Arisa Kubota",
  "attachments": [{"
```

```

        "code": "5c13532f8591295c0062b805",
        "filename": "pixelsensor-01_chipId2.json"
    }, {
        ...
    }]
}

```

- componentTestRun

読み出し試験と試験対象 ASIC を関連づけるデータを格納するコレクション。ドキュメントにはオブジェクト ID のほか、component コレクションの中の対象 ASIC のオブジェクト ID("component")、testRun コレクション中の試験データのオブジェクト ID("testRun")、試験番号や試験情報 ("runNumber"、"testType")、DCS 情報 ("environments") などが記述された。

```

{
    "_id": ObjectId("5c1352ea85912959572dbd77"),
    "component": "5c134e988591292d277935f5",
    "testRun": "5c13532f8591295c0062b803",
    "runNumber": 792,
    "testType": "analogscan",
    "stage": "encapsulation",
    "environments": [
        {
            "key": "hv",
            "value": "-80",
            "description": "High Voltage"
        },
        ...
    ]
}

```

- fs.files

試験結果データを格納するコレクション。実体はバイナリの形で fs.chunks コレクションに保存され、fs.files のドキュメントにはオブジェクト ID のほか、データファイル名 ("filename") やサイズ ("length"、"chunkSize") が記述された。

```

{
    "_id": ObjectId("5c13532f8591295c0062b805"),
    "filename": "pixelsensor-01_chipId2.json",
    "length": NumberLong(10180),
    "chunkSize": 261120
}

```

- fs.chunks

試験結果データを格納するコレクション。データ情報は fs.files コレクションに保存され、fs.chunks のドキュメントにはオブジェクト ID のほか、fs.files コレクション中の対象データ情報のオブジェクト ID("files_id") とデータの実体 (バイナリ形式) で記述された。

```

{
    "_id": ObjectId("5c13532f8591295c0062b80b"),
    "files_id": ObjectId("5c13532f8591295c0062b805"),
    "data": BinData(0, "iVBORw0KGgoAAAANSUhEUgAABQAAA...")
}

```

B.2 本研究

すべてのドキュメントには共通データが含まれているため、これらについては省略する。

- 共通データ

```
{
  "_id" : ObjectId("5d434398aa1d05a330d6b851"),
  "sys" : {
    "cts" : ISODate("2019-08-01T19:55:04.087Z"),
    "mts" : ISODate("2019-08-01T19:55:04.087Z"),
    "rev" : 0
  },
  "dbVersion" : 1
}
```

- _id: ドキュメントのオブジェクト ID
- sys: ドキュメントのシステム情報 (“cts”: 作成日、“mts”: 編集日、“rev”: 変更回数)
- dbVersion: データベースのバージョン

- chip コレクション

ASIC の情報を格納するコレクション。component コレクションと異なりデータ登録の手順を必要とせず、読み出し試験を行うと仮データとして自動的にドキュメントが生成される。

```
{
  "name" : "FEI4B-001_chip1",
  "chipId" : 1,
  "chipType" : "FE-I4B",
  "componentType" : "front-end_chip"
}
```

- name: ASIC の名前
- chipId: ASIC の配置 ID
- chipType: ASIC の種類
- componentType: 製品の種類 (“Front-End Chip”)

- component コレクション

ASIC、ピクセルモジュールの情報を格納するコレクション。

```
{
  "serialNumber" : "RD53A-001_chip1",
  "componentType" : "front-end_chip",
  "chipType" : "RD53A",
  "name" : "RD53A-001_chip1",
  "chipId" : 0,
  "address" : "5d434270aeeeeff7d96892d",
  "user_id" : "5d434270aeeeeff7d96892e",
  "children" : -1,
  "proDB" : false,
}
```

- serialNumber: 製品番号
- componentType: 製品の種類 (“Front-End Chip” または “module”)
- chipType: ASIC の種類

- name: 製品の名前(製品番号)
- chipId: ASIC の配置 ID
- address: 製造地のドキュメント ID(institution コレクション)
- user_id: 製造者のドキュメント ID(user コレクション)
- children: (親データの場合) 子データの数
- proDB: 中央データベースの保存の有無

- childParentRelation コレクション

ASIC(子データ)とモジュール(親データ)を関連づけるデータを格納するコレクション。

```
{
  "parent" : "5cb6db408b6de04719047502",
  "child" : "5cb6db418b6de04719047503",
  "chipId" : 0,
  "status" : "active",
}
```

- parent: 親データのドキュメント ID(component コレクション)
- child: 子データのドキュメント ID(component コレクション)
- chipId: 子データの配置 ID
- status: リンクの有効/無効

- testRun コレクション

読み出し試験データを格納するコレクション。

```
{
  "runNumber" : 163,
  "testType" : "std_digitalscan",
  "timestamp" : "2019-07-30_14:19:08",
  "startTime" : ISODate("2019-07-30T21:19:08Z"),
  "finishTime" : ISODate("2019-07-30T21:19:12Z"),
  "address" : "5d434270aeeeeffb7d96892d",
  "user_id" : "5d434270aeeeeffb7d96892e",
  "targetCharge" : -1,
  "targetTot" : -1,
  "stage" : "...",
  "chipType" : "RD53A",
  "environment" : "...",
  "plots" : [
    "OccupancyMap",
    "EnMask",
    "L1Dist"
  ],
  "ctrlCfg" : "5d4343d3a223442acd80b20c",
  "scanCfg" : "5d4343d3a223442acd80b212",
  "dbCfg" : "5d4343d3a223442acd80b20f"
}
```

- runNumber: 試験番号
- testType: 読み出し試験の種類
- timestamp: 試験日
- startTime: 試験開始時間
- finishTime: 試験終了時間
- address: 試験地のドキュメント ID(institution コレクション)

- user_id: 試験者のドキュメント ID(user コレクション)
- targetCharge/targetTot: 設定値調整時与えた目標値
- stage: 製造工程
- chipType: ASIC の種類
- environment: DCS データのドキュメント ID(environment コレクション)
- plots: 試験結果データリスト
- ctrlCfg: HW 設定値ファイルのドキュメント ID(config コレクション)
- scanCfg: 試験設定値ファイルのドキュメント ID(config コレクション)
- dbCfg: データベース設定値ファイルのドキュメント ID(config コレクション)

- componentTestRun

読み出し試験と試験対象 ASIC を関連づけるデータを格納するコレクション。

```
{
  "component" : "...",
  "testRun" : "5d434270aeeeefb7d968930",
  "chip" : "5d434270aeeeefb7d96892f",
  "rx" : 0,
  "tx" : 0,
  "geomId" : 0,
  "attachments" : [
    {
      "code" : "5d4342d3aa3e9a2c43ec77a0",
      "dateTime" : ISODate("2019-08-01T19:51:47.095Z"),
      "title" : "EnMask",
      "description" : "describe",
      "contentType" : "dat",
      "filename" : "EnMask.dat"
    },
    {
      "code" : "5d4342d3aa3e9a2c43ec77a2",
      "dateTime" : ISODate("2019-08-01T19:51:47.099Z"),
      "title" : "OccupancyMap",
      "description" : "describe",
      "contentType" : "dat",
      "filename" : "OccupancyMap.dat"
    },
    {
      "code" : "5d4342d3aa3e9a2c43ec77a5",
      "dateTime" : ISODate("2019-08-01T19:51:47.102Z"),
      "title" : "L1Dist",
      "description" : "describe",
      "contentType" : "dat",
      "filename" : "L1Dist.dat"
    }
  ],
  "beforeCfg" : "5d4342d2aa3e9a2c43ec779e",
  "afterCfg" : "5d4342d3aa3e9a2c43ec779f",
}
```

- component: ASIC のドキュメント ID(component コレクション)
- testRun: 試験情報のドキュメント ID(testRun コレクション)
- chip: ASIC のドキュメント ID(chip コレクション)
- name: ASIC の名前

- tx/rx: tx/rx チャンネル
- geomId: ASIC の配置 ID
- attachments: 各 ASIC の読み出し試験結果 (“code”: データのドキュメント ID(fs.files コレクション)
- before/afterCfg: ASIC 設定値ファイルのドキュメント ID(config コレクション)
- config コレクション

設定値ファイルの情報を格納するコレクション。

```
{
  "filename" : "afterCfg.json",
  "chipType" : "RD53A",
  "title" : "chipCfg",
  "format" : "fs.files",
  "data_id" : "5cb6dedb8b6de0667e48d5aa",
}
```

- filename: 設定値ファイルの名前
- chipType: ASIC の種類
- title: 設定値ファイルの種類
- format: 設定値ファイルの保存場所
- data_id: 設定値データのドキュメント ID(fs.files コレクション)

- user コレクション

試験者・製造者情報を格納するコレクション

```
{
  "userName" : "arisa_kubota",
  "institution" : "tokyo_institute_of_technology",
  "description" : "default",
  "USER" : "akubata",
  "HOSTNAME" : "lazulite",
  "userType" : "readWrite",
}
```

- userName: 名前
- institution: 所属機関名
- description: 補足説明
- USER: PC の環境変数 “USER”(ユーザー アカウント名)
- HOSTNAME: PC の環境変数 “HOSTNAME”(ホスト名)
- userType: ユーザー権限

- institution コレクション

試験地・製造地情報を格納するコレクション

```
{
  "address" : "XX:XX:XX:XX:XX:XX",
  "institution" : "Tokyo_Institute_of_Technology",
  "hostname" : "lazulite",
}
```

- address: PC の MAC アドレス
- institution: 機関名

- hostname: PC の環境変数 “HOSTNAME”(ホスト名)
- environment コレクション

```
{
  "vddd_voltage" : [
    {
      "data" : [
        {
          "date" : ISODate("2019-06-24T11:49:13Z"),
          "value" : 10
        },
        {
          "date" : ISODate("2019-06-24T11:49:23Z"),
          "value" : 11
        },
        {
          "date" : ISODate("2019-06-24T11:49:33Z"),
          "value" : 12
        },
        {
          "date" : ISODate("2019-06-24T11:49:43Z"),
          "value" : 13
        }
      ],
      "description" : "VDDD Voltage [V]",
      "setting" : "10",
    }
  ]
}
```

- (key): DCS データのキーワード (例.“vddd_voltage”)
- data: タイムスタンプとデータ値でセットのデータ点リスト
- description: データの説明
- setting: 設定値
- fs.files コレクション

```
{
  "length" : NumberLong(287),
  "chunkSize" : 261120,
  "uploadDate" : ISODate("2019-04-17T07:53:56.142Z"),
  "filename" : "controller.json",
  "hash" : "34d1f52eab9b1f754d9594b698992a782b865499"
}
```

- length: ドキュメントサイズ (バイト)
- chunkSize: データサイズ (バイト)
- uploadDate: 登録日
- filename: データファイル名
- hash: ハッシュ値 (詳細は後述)
- fs.chunks コレクション

```
{  
    "files_id" : ObjectId("5cb6db928b6de04a4a3217a5") ,  
    "data" : BinData(0,"iVBORw0KGgoAAAANSUhAADAFB...")  
}
```

- files.id: ファイルのドキュメント ID(fs.files コレクション)
- data: バイナリデータ

付録 C

性能評価試験データ

C.1 圧縮性能評価

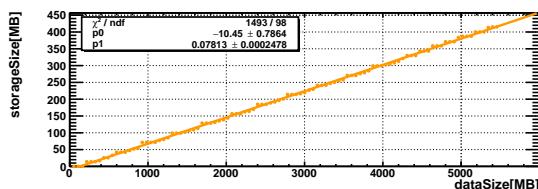


図 C.1 DAT(53 KB) ファイルの圧縮率

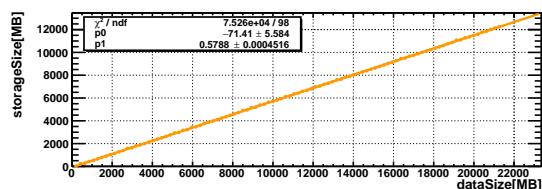


図 C.2 DAT(207 KB) ファイルの圧縮率

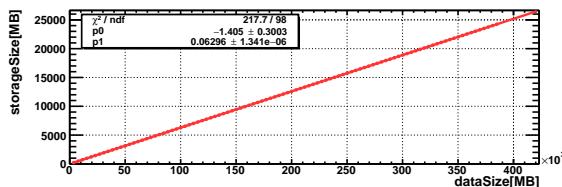


図 C.3 JSON(3.7 MB) ファイルの圧縮率

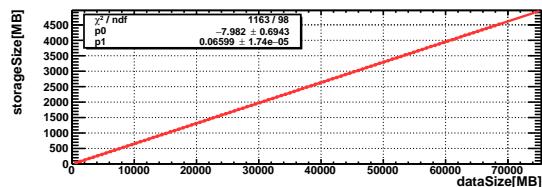


図 C.4 JSON(670 KB) ファイルの圧縮率

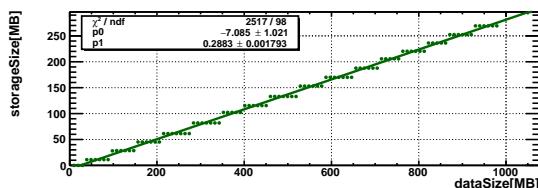


図 C.5 PNG(9 KB) ファイルの圧縮率

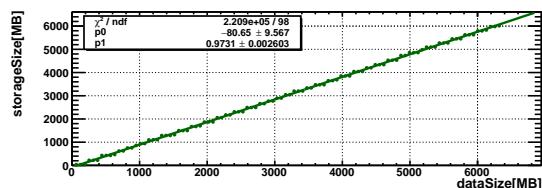


図 C.6 PNG(61 KB) ファイルの圧縮率

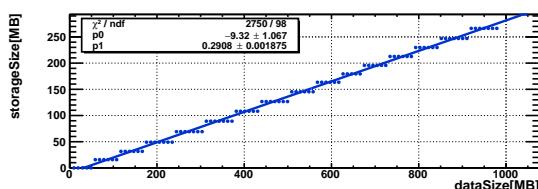


図 C.7 PDF(9 KB) ファイルの圧縮率

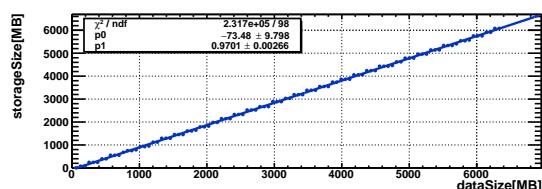


図 C.8 PDF(61 KB) ファイルの圧縮率

付録 D

評価試験考察

D.1 RD53A 寄生容量による不具合

2.3 節で述べたように RD53A は 8×8 のコア単位で構成されており、Differential FE では複数の測定で ASIC によらずコア単位あたりのピクセルの配置に相関を持つ結果(図 D.1)が確認された^[37]。

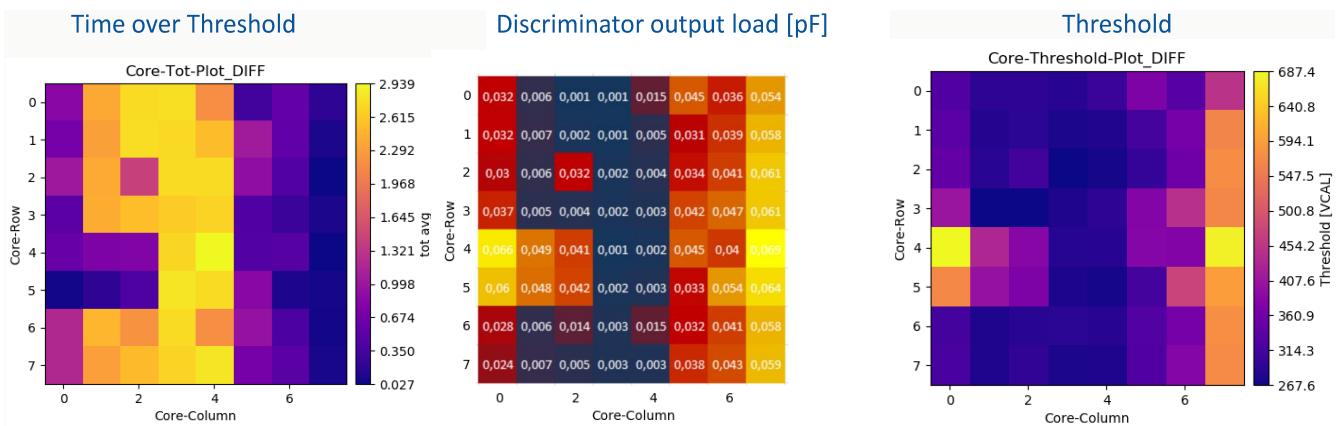


図 D.1 Differential FE の試験結果における Core 単位のプロファイル^[37]。

これは Differential FE の Analog FE と Digital FE 間の接続距離に応じて発生する寄生容量に起因しており、コンパレータの抵抗と干渉して出力信号の形の劣化/遅延などの影響を生じている(図 D.2)。

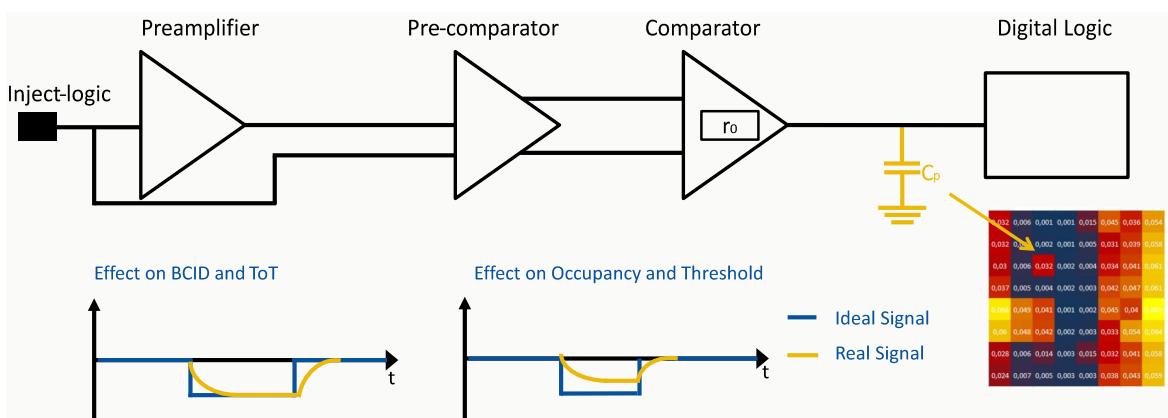


図 D.2 Differential FE 回路中の寄生容量とその影響^[37]。

その結果、本来想定される信号の大きさを下回る、あるいは信号取得のタイミングとずれ、信号取得効率の低下や Threshold 測定値の系統的な差を生む。これによって ASIC 全体の試験評価結果の悪化、および不具合を持つピクセル数の増加が考えられる。

RD53A は ITk に導入される新型 ASIC に向けて試開発された ASIC であり、この結果を受けて新型 ASIC では寄生容量による不具合は修正されることが予定されている。RD53A においても寄生容量による影響が小さいピクセルは一部存在し、“Good Pixel” と呼ばれる (図 D.3)。



図 D.3 Differential FE Core 中の Good Pixel の配置^[27]。全体が 1 つの Core、緑が Good Pixel の位置を示す。

5.3 節では Good Pixel を考慮せず Differential FE 上の全ピクセルを対象に試験評価を行なった。したがって寄生容量による悪影響を受けたピクセルに対する評価結果も含まれていることを念頭に置いた上で、5.3 節の評価結果の考察を述べる。また新型 ASIC では修正されることを想定し、最終的に Good Pixel のみを対象に再評価した結果を示す。

D.2 ASIC 単位の評価結果考察

D.2.1 Digital Scan

Digital Scan で Bad 評価だった 6 枚のうち、 N_{pix} が 50% を切る ASIC の Digital Scan 結果を図 D.8 に示す。どの結果も Core よりも大きい単位のパターンが確認できる。これは読み出し線の接続不良によって起こるものである。RD53A は 1.28Gbps/lane の読み出し線を最大 4 本まで同時に用いて信号伝送を行なうことが可能である。3 枚の ASIC は全て 4 本の読み出し線を用いて読み出し試験を行なったが、読み出し線の一部が不良であったために Digital Scan の結果が一部を損なわれ、パターン模様の結果が得られたと考えられる。

0x0783 ASIC について使用する読み出し線を指定し、Digital Scan の再試験を行った際の結果を図 D.5 に示す。4 本の読み出し線のうち 1 本目を指定した場合は良好な結果を得られ、他 3 本の読み出し線を指定した場合はパターン状の結果または読み出し不可の結果を得た。以上のことから、0x0783 において 1 本目の読み出し線以外は接続不良であり、4 本同時に用いた場合は他 3 本の影響によってパターン模様の

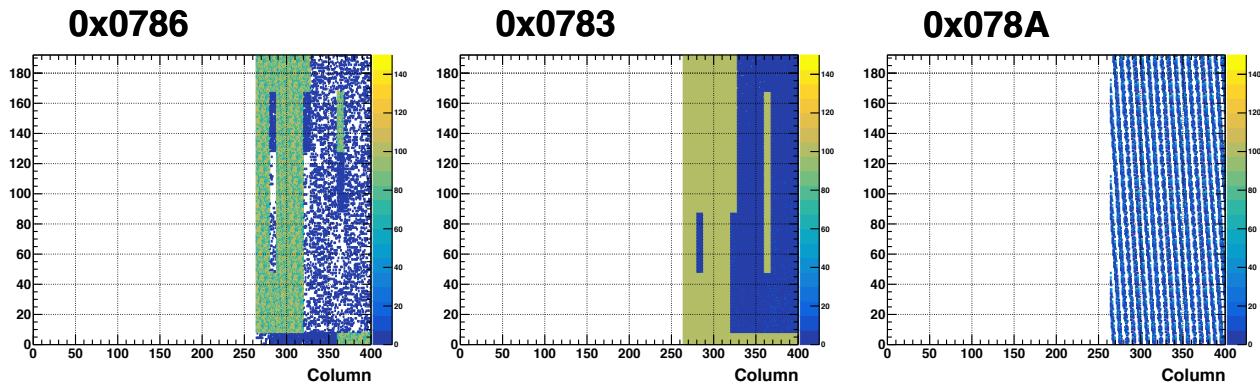


図 D.4 Digital Scan で Bad 評価の ASIC の Digital Scan 試験結果。左から 0x0786、0x0783、0x078A の試験結果を示す。横軸は Column、縦軸は Row、z 軸は $Oocc_d$ を表す。

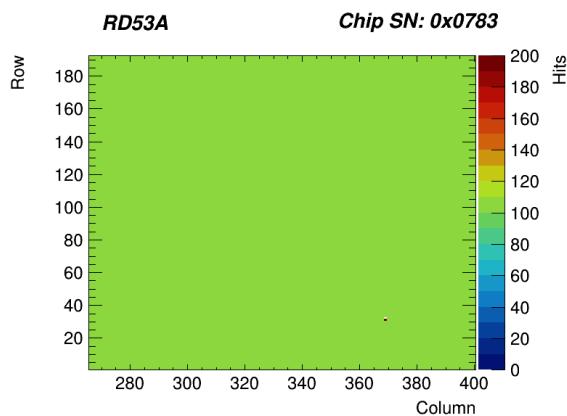


図 D.5 0x0783 ASIC の Digital Scan 再試験結果。横軸は Column、縦軸は Row、z 軸は $Oocc_d$ を表す。1 本の読み出し線を用いて試験を行なった。

結果になったと考えられる。

D.2.2 Analog Scan

Analog Scan 以降は Analog FE の試験用電荷を用いるため Analog FE–Digital FE 間の寄生容量の影響を受けうる。Analog Scan の場合、信号取得のタイミングがずれることにより、試験用電荷の入射回数に対して取得できる信号数は下回ることが想定される。図 D.6 に全ての ASIC における Analog Scan 結果の Core 単位のプロファイルを示す。Good Pixel でないピクセルは Good Pixel に比べて平均的に occ_a の値が低い結果となっていることがわかる。したがって Analog Scan の試験評価において、寄生容量を考慮し Good Pixel のみを対象に再評価を行うことで評価結果が回復することが推察される。

D.2.3 Threshold Scan

Threshold や Noise の測定についても Analog Scan 同様に寄生容量の影響を受けると想定される。図 D.7 に全 ASIC の Threshold Scan 結果 (Threshold 分布/Noise 分布) を Good Pixel とそうでないピクセルとで分類して足し上げた分布を示す。Good Pixel に限定することによって Threshold 分布/Noise 分布共に幅が狭くなるため、伴って試験評価結果も回復することが推察される。

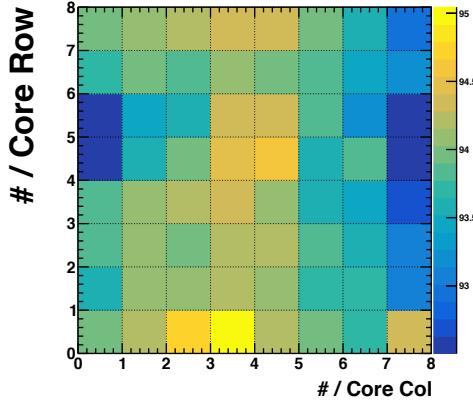


図 D.6 全 ASIC の Analog Scan 結果の Core 単位プロファイル。横軸は Core Column あたりの Column 番号、縦軸は Core Row あたりの Row 番号、z 軸は Occ_a を表す。図 D.3 の示すピクセルとそうでないピクセルとで Occ_a に差があることがわかる。

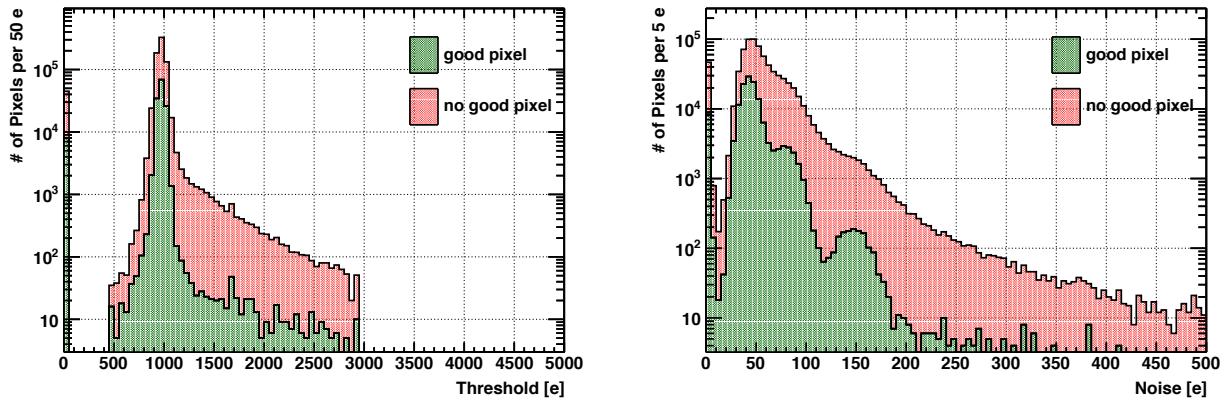


図 D.7 全 ASIC の Threshold Scan の試験結果。(左)Threshold 分布、(右)Noise 分布で、どちらも緑が Good Pixel、赤がそれ以外のピクセルの分布を示す。Good Pixel だけに限定することによって分布の幅が狭くなることがわかる。

D.3 ピクセル単位の評価結果考察

ここでは特に該当ピクセル数の多かった Analog Dead、Threshold Tuning Bad、High ENCについて考察する。

D.3.1 Analog Dead

Analog Dead が 10% を上回る ASIC の Analog Scan 結果を図 ??に示す。0x0786、0x0783 は Digital Scan の結果も不良であることから読み出し線の接続不良に起因する結果であると推察される。また KEK53-6 は ASIC の上半分かつ両端のピクセルが不良であることがわかる。これは KEK53-6 のセンサーの特異構造^[38]に起因して両端ではノイズ量が大きくなってしまっており、読み出しができなくなってしまったと考えられる。

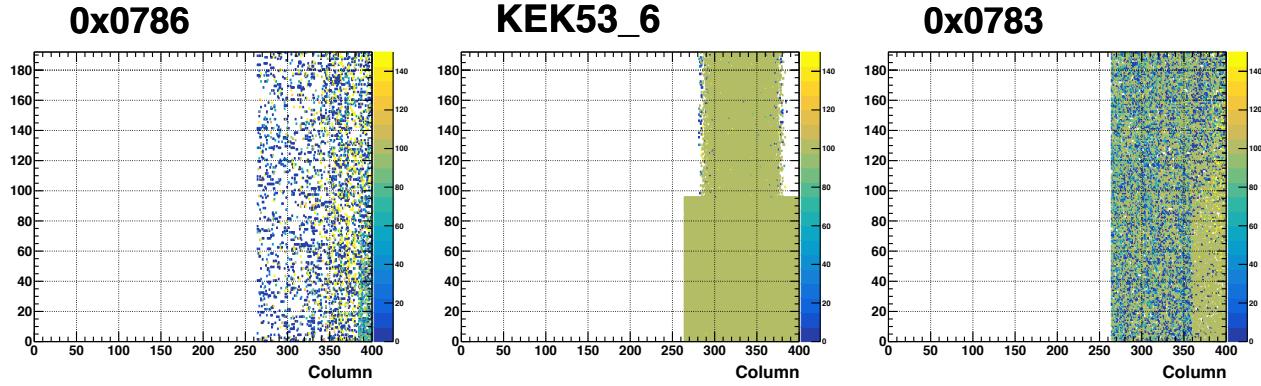


図 D.8 Analog Dead が 10% を上回る ASIC の Analog Scan 試験結果。左から 0x0786、KEK53-6、0x0783 の試験結果を示す。横軸は Column、縦軸は Row、z 軸は Occ_a を表す。

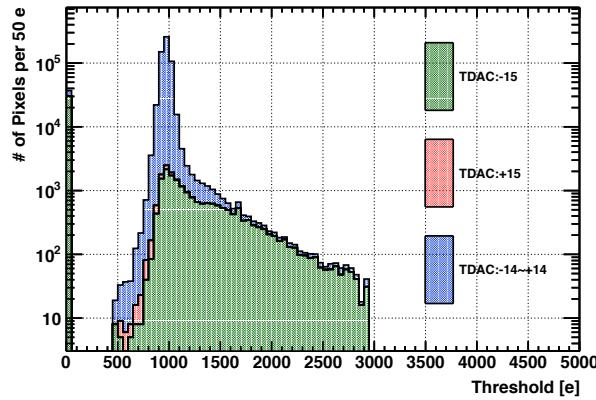


図 D.9 TDAC の値で分類した全 ASIC の Threshold 分布。横軸は Threshold [e]、縦軸が 50 e(1 ビン)あたりのピクセル数、色は各ピクセルの TDAC 値の範囲を示す。

D.3.2 Threshold Tuning Bad

ピクセルごとの Threshold 調整は TDAC と呼ばれるピクセルレジスタの値を微調整することによって行われる。TDAC は 5bit(符号 1bit) のレジスタであり、-15 から +15 の値の範囲で変更可能である。慣習的には ASIC 単位で大まかな Threshold 調整をグローバルレジスタで行ったあと、ピクセル単位で TDAC による微調整を行うが、このとき TDAC の可動域内で調整できなかった場合、最大値 (+15) または最小値 (-15) の値に設定される。全 ASIC の Threshold 分布を TDAC ごとに分類して図 D.9 に示す。TDAC が +15、-15 のピクセルほど Threshold の値が中心値 (約 1000 e) から外れた値を取っていることがわかる。この結果に対して、グローバルレジスタを適切に設定することによって外れ値をとるピクセル数を減らせる可能性があるが、本研究では未検証である。

D.3.3 High ENC

本研究では Noise 分布の中心値と幅 σ を得るためにガウシアン フィッティングを採用した。図 D.10 は 1 つの ASIC の Noise 分布に対するガウシアンフィッティング結果である。結果から一目瞭然であるが、Noise 分布は完全にガウシアンに従うわけではなく、ポアソン分布のように値が大きい方に尾を引く

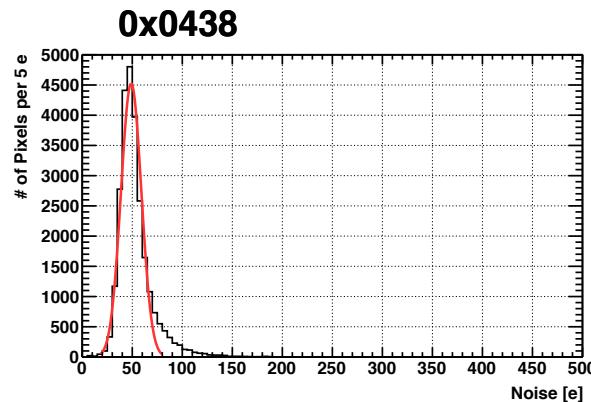


図 D.10 1 枚の ASIC の Noise 分布に対するガウシアン フィッティング。横軸は Noise [e]、縦軸が 5 e(1 ビン)あたりのピクセル数、赤線はフィッティング関数を示す。この Noise 分布とフィッティングにおける High ENC は全体の 0.35% であった。

形になる。この分布に対して単純にガウシアンでフィットすることによって、この尾を考慮できず、結果として High ENC のピクセル数の割合が大きくなつたと考えられる。

High ENC をはじめとするあらゆる評価項目は、来たる試験的小規模生産時の要検証項目である。

D.4 Good Pixel のみを用いた再評価結果

最後に本研究と同じ条件で評価対象を Good Pixel にした場合の再評価結果を図 D.11 に示す。また、評価項目ごとの該当ピクセル数の割合を図 D.12 に示す。考察したように図 5.4 に比べて Analog Scan および Threshold Sigma の評価結果が回復し、伴つて Analog Dead、Threshold Tuning Bad、High ENC の割合も減少している。なお、依然として Threshold Tuning Bad、High ENC が全体に占める割合は高いため、先述したように小規模生産時に評価基準および評価方法や試験方法を再検討する必要がある。

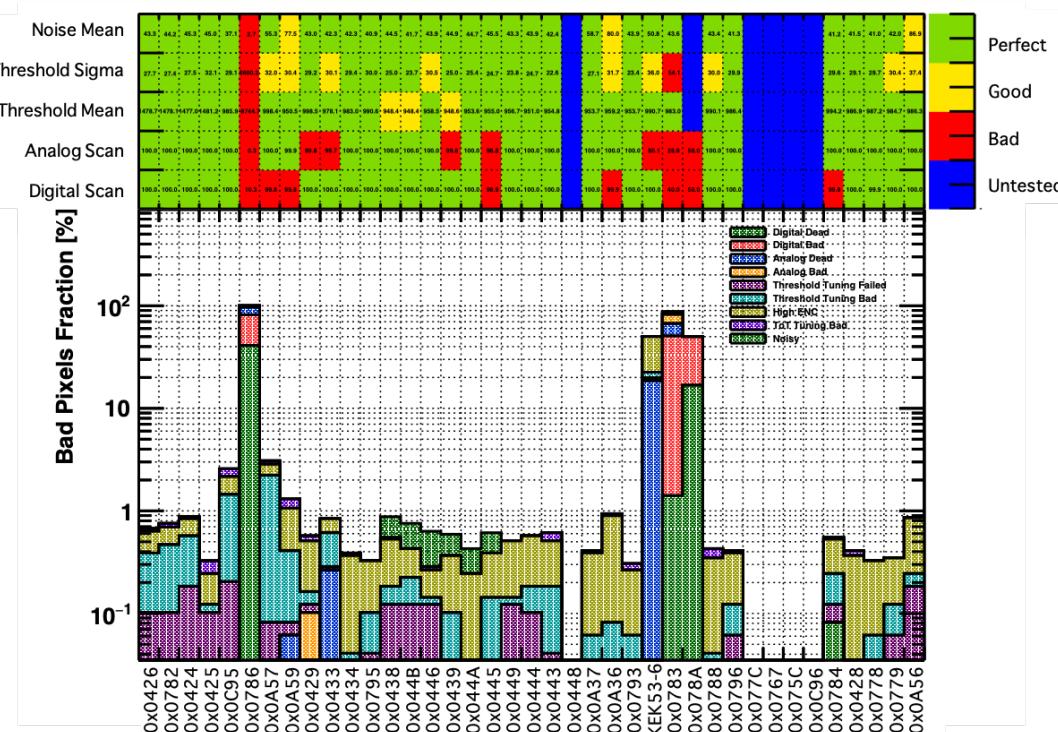


図 D.11 評価再評価結果。

(上)ASIC 単位の評価結果。横軸が試験 ASIC、縦軸が各評価項目、緑が Perfect 評価、黄色が Good 評価、赤が Bad 評価、青が未試験を示し、セル中の数字は評価項目ごとに基準となるパラメータの値を表す。
 (下) ピクセル単位の評価結果。横軸が試験 ASIC、各色が凡例に示す各評価項目、縦軸が該当ピクセル数の割合 [%] を示す。

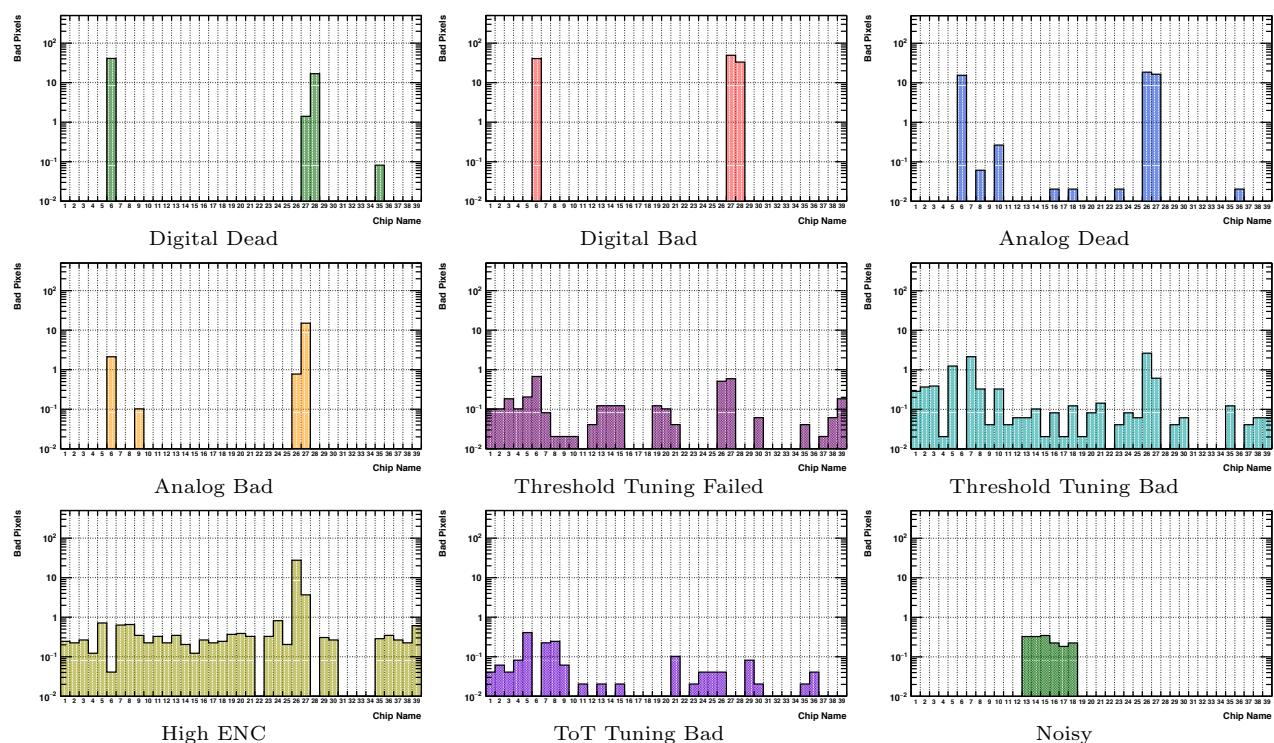


図 D.12 評価項目ごとのピクセル単位の試験再評価結果。横軸、縦軸、色は図 D.11 に準ずる。

参考文献

- [1] “現代素粒子物理 実験的観点からみる標準理論”,
末包 文彦・久世 正弘・白井 淳平・湯田春雄, 森北出版株式会社, 2016年12月 第1版第1刷発行.
- [2] “Broken symmetries, massless particles and gauge fields”,
<https://www.sciencedirect.com/science/article/pii/0031916364911369>,
P. W. Higgs, Phys. Lett. Vol. 12, pp. 132-133, Sep 1964.
- [3] “Observation of a new particle in the search for the Standard Model Higgs boson with the ATLAS detector at the LHC”,
<https://www.sciencedirect.com/science/article/pii/S037026931200857X>,
ATLAS Collaboration, Phys. Lett. B, Vol. 716, pp. 1–29. 29 p, Aug 2012.
- [4] “Observation of a new boson at a mass of 125 GeV with the CMS experiment at the LHC”,
<https://www.sciencedirect.com/science/article/pii/S0370269312008581>,
CMS Collaboration, Phys. Lett. B, Vol. 716, pp. 30–61. 32 p, Jul 2012.
- [5] “A Supersymmetry Primer”,
<https://arxiv.org/pdf/hep-ph/9709356.pdf>,
Stephen P. Martin, arXiv:hep-ph/9709356v7, Jan 2016.
- [6] “LHC the guide”,
https://home.cern/sites/home.web.cern.ch/files/2018-07/CERN-Brochure-2017-002-Eng_0.pdf
Education, Communications and Outreach Group, CERN Document Server, Feb 2017.
- [7] “The CERN accelerator complex”,
<http://cds.cern.ch/record/1260465>,
CERN Document Server, Modified Jan 2016.
- [8] “LHC Machine”,
<https://iopscience.iop.org/article/10.1088/1748-0221/3/08/S08001/pdf>,
L. Evans and P. Bryant, Journal of Instrumentation, Vol. 3, Aug 2008.
- [9] “Computer generated image of the whole ATLAS detector”,
<https://cds.cern.ch/record/1095924>,
CERN Document Server, Modified Feb 2015.
- [10] “The upgraded Pixel detector and the commissioning of the Inner Detector tracking of the ATLAS experiment for Run-2 at the Large Hadron Collider”,
<http://cds.cern.ch/record/2209070/files/arXiv:1608.07850.pdf>,
ATLAS Collaboration, arXiv:1608.07850v1 [physics.ins-det], Aug 2016.

- [11] “The upgraded Pixel Detector of the ATLAS Experiment for Run 2 at the Large Hadron Collider”,
<https://doi.org/10.1016/j.nima.2016.05.018>,
ATLAS Collaboration, NIM A Volume 831, Sep 2016.
- [12] “The Barrel Modules of the ATLAS SemiConductor Tracker”,
<https://cds.cern.ch/record/974073/files/indet-pub-2006-005.pdf>,
A. Abdesselam, et al., NIM A Volume 568, pp. 642-671. 30 p, Dec 2006.
- [13] “High-Luminosity Large Hadron Collider (HL-LHC) : Preliminary Design Report”,
<https://cds.cern.ch/record/2116337>,
CERN Document Server, Modified Jan 2019.
- [14] “SUSY October 2019 Summary Plot Update”,
<http://cdsweb.cern.ch/record/2697155/files/ATL-PHYS-PUB-2019-044.pdf>,
ATLAS Collaboration, CERN Document Server, Oct 2019.
- [15] “Search for long-lived charginos based on a disappearing-track signature in pp collisions at $\sqrt{s} = 13$ TeV with the ATLAS detector”,
<https://arxiv.org/pdf/1712.02118.pdf>,
ATLAS Collaboration, arXiv:1712.02118v2 [hep-ex], Jun 2018.
- [16] “Search for direct pair production of higgsinos by reinterpretation of the disappearing track analysis with 36.1 fb^{-1} of $\sqrt{s} = 13$ TeV data collected with the ATLAS experiment”,
<http://cdsweb.cern.ch/record/2297480/files/ATL-PHYS-PUB-2017-019.pdf>,
ATLAS Collaboration, CERN Document Server, Dec 2017.
- [17] “Squark and gluino production cross sections in pp collisions at $\sqrt{s} = 13, 14, 33$ and 100 TeV”,
<https://arxiv.org/pdf/1407.5066.pdf>,
C. Borschenskym et al., arXiv:1407.5066 [hep-ph], Nov 2014.
- [18] “Technical Design Report for the ATLAS Inner Tracker Pixel Detector”,
<https://cds.cern.ch/record/2285585>,
ATLAS Collaboration, CERN Document Server, Oct 2018.
- [19] “Semiconductor Devices –Physics and Technology”,
S.M. Sze 著, 南日 康夫・川辺 光央・長谷川 文夫 訳, 産業図書, 2015 年 3 月 第 2 版第 11 刷発行.
- [20] “REVIEW OF PARTICLE PHYSICS*”,
<http://pdg.lbl.gov/2015/download/rpp2014-Chin.Phys.C.38.090001.pdf>,
Particle Data Group, K.A. Olive, et al., Chinese Physics C38, 090001 (2014), DOI: 10.1088/1674-1137/38/9/090001, Modified Jan 2018.
- [21] “Energy loss measurement for charged particles in very thin silicon layers”,
https://www.researchgate.net/publication/230949562_Energy_loss_measurement_for_charged_particles_in_very_thin_silicon_layers,
S. Meroli, D. Passeri, and L. Servoli, DOI: 10.1088/1748-0221/6/06/P06013, Jun 2011.
- [22] “Combined Bulk and Surface Radiation Damage Effects at Very High Fluences in Silicon Detectors: Measurements and TCAD Simulations”,
<https://ieeexplore.ieee.org/document/7542192>,
F. Moscatelli, et al., IEEE Volume 63, Oct 2016.

- [23] “The FE-I4B Integrated Circuit Guide”,
https://indico.cern.ch/event/261840/contributions/1594374/attachments/462649/641213/FE-I4B_V2.3.pdf,
FE-I4 Collaboration, CERN Document Server, Dec 2012.
- [24] “The RD53A Integrated Circuit”,
<https://cds.cern.ch/record/2287593>,
CERN Document Server, Modified Sep 2019.
- [25] “Development of a radiation tolerant fine pitch planar pixel detector by HPK/KEK”,
<https://www.sciencedirect.com/science/article/pii/S0168900218311240>,
K. Nakamura, et al., NIM A Volume 924, Apr 2019.
- [26] “Linear Analog Front-end Guidelines and Recommendations”,
https://twiki.cern.ch/twiki/pub/RD53/RD53ATesting/LIN_AFE_guidelines.pdf,
L. Gainoi, Jul 2018.
- [27] “Guide to the RD53A - Differential Front End”,
https://twiki.cern.ch/twiki/pub/RD53/RD53ATesting/Diff_userguide.pdf,
M. Standke, et al., Nov 2018.
- [28] “Module and System Test Development for thePhase-II ATLAS ITk Pixel Upgrade”,
<http://cds.cern.ch/record/2693319/files/ATL-ITK-PROC-2019-012.pdf>,
Lingxin Meng, et al., CERN Document Server, Oct 2019.
- [29] “THE STIFF LONGERON FOR ITK MODULES (SLIM)”,
<https://www.unige.ch/dpnc/en/groups/giuseppe-iacobucci/research/slim-mechanics/>,
GIUSEPPE IACOBUCCI WEB PAGES, [Online] Accessed Jan 2020.
- [30] “ITk Production Database Documentation”,
<https://uuos9.plus4u.net/uu-bookkitg01-main/78462435-41f76117152c4c6e947f498339998055/book>,
UNICORN, [Online] Accessed Jan 2020.
- [31] “YARR - A PCIe based Readout Concept for Current and Future ATLAS Pixel Modules”.
<https://iopscience.iop.org/article/10.1088/1742-6596/898/3/032053>,
T. Heim, DOI: 10.1088/1742-6596/898/3/032053, Oct 2017.
- [32] “Performance of the Insertable B-Layer for theATLAS Pixel Detector during QualityAssurance and a Novel Pixel Detector ReadoutConcept based on PCIe”,
<http://cds.cern.ch/record/2206274/files/CERN-THESIS-2016-085.pdf>,
T. Heim, University of Wuppertal, Dissertation, Jul 2015.
- [33] “Development of DAQ test system and database for the HL-LHC ATLAS production Pixel detector”,
<https://cernbox.cern.ch/index.php/s/ZyYwYnMxeCSoeZl>,
Eunchong Kim, Tokyo Institute of Technology, Master’s thesis, Feb 2019.
- [34] “The MongoDB 4.2 Manual”,
<https://docs.mongodb.com/manual/>,
Mongo DB Documentation, [Online] Accessed Dec 2019.

- [35] “YARR FW Project”,
<https://gitlab.cern.ch/YARR/YARR-FW>,
GitLab Repository, [Online] Accessed Jan 2020.
- [36] “YARR SW Project”,
<https://gitlab.cern.ch/YARR/YARR>,
GitLab Repository, [Online] Accessed Jan 2020.
- [37] “UPDATE ON DIFFERENTIAL FRONT END MEASUREMENTS”,
https://indico.cern.ch/event/718706/contributions/2953808/attachments/1626299/2591589/2018_03_27-RD53_testing.pdf,
M. Standke, et al., Mar 2018, [Online] Accessed Apr 2020.
- [38] “HL-LHC アトラス実験に向けた新構造ピクセル検出機の性能評価とシミュレーションによる理解”,
<https://cernbox.cern.ch/index.php/s/VqKHp5lTTFdYtcf>, Yuto Nakamura, Tokyo Institute of Technology, Master’s thesis, Feb 2019.

謝辞

本研究を進めるにあたり、多くの方々にご助力いただけましたことを心より感謝申し上げます。

指導教員である陣内修先生には、研究方針について的確にご指導をいただき、深く感謝いたします。私の意向を組んでくださり、多くの挑戦や学びの機会を与えていただきました。本論文を書き進めていく上でも丁寧に添削していただきました。本当にありがとうございました。

陣内研究室の生出秀行さんは、研究手法だけでなく多岐にわたる分野でご指導ください、LBNL 渡航の際にはご迷惑おかけしたこともありましたが、全面的にご助力ください、大変実りある出張にすることができました。大阪大学の廣瀬穂さんは、初の CERN 渡航の際には労を惜しまず議論や相談に応じてください、システム開発過程では大阪大学の設備を貸してください、充実した研究を行えました。LBNL の Timon Heim さん、Maurice Garcia-sciveres さん、Aleksandra Dimitrievska さんは、LBNL での研究環境を整えてくださいました。LBNL DAQ workshop では開発したシステムを演示するセッションを設けてください、本研究を多くの人に示すことができました。LBNL 滞在時は技術的な指導やご助言、Berkeley の魅力を教えていただきました。ありがとうございました。

陣内研究室の金恩寵さんには、システム開発のすべての工程で多くのご助言、ご助力をいただきました。システムが多くの人々に認めてもらい実用につながったのは偏に、先行研究の時点でシステムの基盤や方針が固まっていたこと、開発成果を示す場面を見逃さずご提言いただけたことのおかげであります。陣内研究室の奥山広貴くんには、システムへの多くの機能追加を始めとした共同研究に尽力してくださいました。特に本研究で到達できなかった中央データベースとの通信機能について、目まぐるしく開発を進める姿には大変刺激を受けました。陣内研究室の調翔平さんには、システム開発や解析において的確なご助言とご指摘、また研究に限らず物理に関する多くの知識を教えていただきました。陣内研究室の松崎たかよし(げる)くん、池亀遙南さんは、同じ AJ-ITk ピクセルグループとして多くの議論を交わし、時に泣き、時に笑い、二人の逞ましく成長する姿に感銘を受けました。ありがとうございました。

定期的な研究成果の報告の際には、AJ シリコングループのたくさんの方々にご助言いただきました。KEK の外川学さん、中村浩二さんは KEK にて、九州大学の東城順治さん、小林大さんは九州大学にて、システムの運用試験を行った際にご対応いただき、大変有意義な試験を行うことができました。また、AJ-ITk ピクセルグループ同期である筑波大学の原田大豪くん、大阪大学の山家谷昌平くん、九州大学の彌吉拓哉くん、お茶の水女子大学の鷲津優羅さんには、多くの相談に乗っていただき、惜しみなくご助力いただきました。ありがとうございました。

2019 年夏にて二ヶ月間の LBNL 滞在という大変貴重な機会を与えてくださった東京大学素粒子物理国際研究センターの浅井祥仁さん、LBNL 渡航に関する手続きにおいて迅速にご対応くださいました塩田雅子さんにも、この場を借りて厚く御礼申し上げます。東京工業大学の前川直美さん、佐藤亮太さん、原周子さん、岡野知代さん、酒匂量代さん、森直子さんには、出張の手続きを始めとする様々な事務手続きの場面で大変お世話になりました。ありがとうございました。

東京工業大学の久世先生には、学部の頃からご指導いただき、本論文においても的確なご指摘やご助言をいただきました。久世研究室の山口洋平さんには、ATLAS の取得したデータを用いた物理解析をご指導いただき、大変有意義かつ楽しい時間を過ごせました。陣内研究室同期の潮田理沙さん、久世研究室同期の賀雲剣くん、福原雄飛くんとは、研究の議論を交わしてはお互いを高めあい、くだらない会話を交わしては笑いあいました。現陣内研究室の木下怜士くん、吉川拓実くん、卒業された留目和輝さん、Thanawat Asawatavonvanich さん、中村優斗さん、短い間ではあったけれど共に陣内研究室として過ごした Christoph Vogl くん、Taufiq Muhammad Murtadho くん、Mathilde Pinon さん、さらに学部の頃にお世話になった先輩方や定期的に研究室に遊びに来てくださる先輩方、みなさまのおかげで大変充実した研究室生活を過ごすことができました。本当にありがとうございました。

最後になりますが、24 年間私のことを信用し、見守ってくれた家族に深く感謝いたします。

図目次

1.1	超対称性を導入した大統一理論におけるゲージ場の強さ	5
1.2	CERN 加速器の全体像	6
1.3	ATLAS 検出器の全体像	8
1.4	ATLAS 検出器の (x, y, z) 座標系	9
1.5	ATLAS 検出器の (R, ϕ, z) 座標系	9
1.6	内部飛跡検出器の全体像	10
1.7	内部飛跡検出器の断面図	10
1.8	ピクセル検出器の全体像	11
1.9	ストリップ検出器のモジュール (バレル部)	12
1.10	LHC の運転とアップグレード計画	14
1.11	ATLAS 実験での超対称性粒子探索結果	15
1.12	超対称性粒子の生成断面積	16
1.13	ITk のレイアウト	19
1.14	電弱ゲージーノ探索の信号事象	21
1.15	Disappearing Track の再構成効率 (シミュレーション)	22
1.16	HL-LHC ATLAS 実験で期待される電弱ゲージーノ探索感度	22
1.17	Displaced Vertex の検出確率 (シミュレーション)	23
1.18	ピクセル検出器生産のスケジュール (暫定)	24
2.1	pn 接合の模式図	26
2.2	薄いシリコン中における 12 GeV 陽子のエネルギー損失	28
2.3	n-in-p 型シリコン検出器における完全空乏化電圧の推移	29
2.4	ピクセルモジュールの模式図	31
2.5	AD 変換の流れ	34
2.6	RD53A の回路概要図	35
2.7	Analog island の概念図	36
2.8	RD53A の写真	36
2.9	RD53A Linear FE の回路図	37
2.10	Linear FE における AD 変換	37
2.11	RD53A Differential FE の回路図	38
2.12	Differential FE における AD 変換	38
2.13	RD53A Digital FE の回路図	39

3.1	クアッドモジュールの模式図と写真	41
3.2	モジュールの組み立て工程	42
3.3	アウターバレル用ステープ	43
3.4	中央データベースと量産国の地理的配置	44
3.5	ピクセルモジュールの読み出しシステム構造の比較	45
3.6	読み出し試験時のセットアップの模式図	46
3.7	FPGA ボード (XpressK7 と Trenz TEF-1001)	47
3.8	FMC–DisplayPort 変換カード	47
3.9	YARR SW によるデータ処理の概念図 ^[31]	48
3.10	YARR SW のループ処理	49
3.11	Parameter Loop の概念図	50
3.12	Core Column Loop の概念図	51
3.13	Mask Loop の概念図	52
3.14	Trigger Loop の概念図	53
3.15	デジタル回路試験/アナログ回路試験評価の概念図	58
3.16	S カーブ フィッティング	59
3.17	FE チップの Threshold 分布とノイズ分布	60
3.18	ノイズ量とノイズ占有率の関係	62
4.1	従来の読み出し試験工程	65
4.2	データベースを用いた場合の読み出し試験工程	65
4.3	MongoDB 構造の概念図	69
4.4	ローカルデータベースのデータ構造 (先行研究)	69
4.5	ローカルデータベースのデータ構造 (本研究)	71
4.6	ローカルデータベースシステムの全体像	72
4.7	アップロードツールの概念図	73
4.8	ダウンロードツールの概念図	74
4.9	ダウンロードツールの出力 (データログ)	74
4.10	ダウンロードツールの出力 (生成ファイル)	74
4.11	Web インターフェースツールの概念図	75
4.12	Web インターフェースによるブラウザ出力	75
4.13	解析処理ツールの概念図	78
4.14	JSON–TEnv 間変換の模式図	79
4.15	ファイルデータの圧縮率の比較	81
4.16	処理性能および耐久性能評価の測定結果	84
5.1	BNL での読み出し試験のセットアップ (写真)	86
5.2	RD53A クアッド、トリプレット、シングル、シングルチップカード (写真)	88
5.3	読み出し試験を行った RD53A	89
5.4	試験評価結果	97
5.5	評価項目ごとのピクセル単位の試験評価結果	97

A.1	OccupancyMap	101
A.2	EnMask	101
A.3	L1Dist	101
A.4	ThresholdMap	102
A.5	ThresholdDist	102
A.6	NoiseMap	102
A.7	NoiseDist	102
A.8	chi2Map	102
A.9	chi2Map	102
A.10	sCurveMap	103
A.11	MeanToTMap	103
A.12	MeanToTDist	103
A.13	SigmaToTMap	103
A.14	SigmaToTDist	103
A.15	NoiseOccupancyMap	104
A.16	NoiseMask	104
A.17	a. 1 次元分布図	105
A.18	b. 2 次元マップ	105
A.19	b. ピクセルマップ (データ)	105
A.20	c. 1 次元投影図 (データ)	105
A.21	c. 1 次元投影図 (OccupancyMap)	106
A.22	d. Occ 分布図	106
A.23	c. 1 次元投影図 (NoiseOccupancyMap)	106
A.24	e. Occ_n 分布図	106
A.25	c. 1 次元投影図 (MeanTotMap)	107
A.26	f. RMS 分布図 (MeanTotMap)	107
A.27	c. 1 次元投影図 (ThresholdMap)	107
A.28	g. σ 分布図 (ThresholdMap)	107
A.29	b. ピクセルマップ (FE チップ設定)	108
A.30	c. 1 次元投影図 (FE チップ設定)	108
C.1	DAT(53 KB) ファイルの圧縮率	117
C.2	DAT(207 KB) ファイルの圧縮率	117
C.3	JSON(3.7 MB) ファイルの圧縮率	117
C.4	JSON(670 KB) ファイルの圧縮率	117
C.5	PNG(9 KB) ファイルの圧縮率	117
C.6	PNG(61 KB) ファイルの圧縮率	117
C.7	PDF(9 KB) ファイルの圧縮率	117
C.8	PDF(61 KB) ファイルの圧縮率	117
D.1	Differential FE の試験結果における Core 単位のプロファイル	118

D.2	Differential FE 回路中の寄生容量とその影響	118
D.3	Differential FE Core 中の Good Pixel の配置	119
D.4	Digital Scan で Bad 評価の ASIC の Digital Scan 試験結果	120
D.5	0x0783 ASIC の Digital Scan 再試験結果	120
D.6	全 ASIC の Analog Scan 結果の Core 単位プロファイル	121
D.7	全 ASIC の Threshold Scan の試験結果	121
D.8	Analog Dead が 10% を上回る ASIC の Analog Scan 試験結果	122
D.9	TDAC の値で分類した全 ASIC の Threshold 分布	122
D.10	1 枚の ASIC の Noise 分布に対するガウシアン フィッティング	123
D.11	試験再評価結果	124
D.12	評価項目ごとのピクセル単位の試験再評価結果	124

表目次

1.1	標準模型粒子(フェルミオン)	2
1.2	標準模型粒子(ボソン)	2
1.3	超対称性粒子	4
1.4	現行 LHC の設計値と HL-LHC の目標値の比較	17
1.5	ピクセル検出器レイアウト	20
2.1	シリコンセンサーの仕様	32
2.2	ASIC(FE-I4、RD53A) の仕様と HL-LHC における要求性能	34
3.1	ITk ピクセル検出器のモジュール構成	40
3.2	デジタル回路試験結果データ	57
3.3	Threshold 測定試験結果データ	61
3.4	ToT 測定試験結果データ	61
3.5	ノイズ占有率測定試験結果データ	62
3.6	試験的小規模生産時のデータサイズ見積もり	63
4.1	中央データベースとローカルデータベースの比較	66
4.2	RDB と NoSQL の比較	67
4.3	九州大学で行われた試験的小規模生産時の運用試験結果	80
4.4	重複確認処理による保存データサイズの削減	82
4.5	処理性能および耐久性能評価に用いたサーバーの性能	83
4.6	処理性能および耐久性能評価の測定結果	83
5.1	読み出し試験セットアップ	87
5.2	1 つの試験サイクルあたりのデータサイズ	92
5.3	読み出し試験を行う ASIC 数	92
5.4	読み出し試験サイクル数	92
5.5	本測定による試験データ結果	93
5.6	データサイズ見積もり結果	93
5.7	読み出し試験評価基準	95
5.8	BNL の RD53A の系統評価結果 (ASIC)	96