

## Aufgabe 1

- (a) Ja, bei der Synthese würden Latch(es) inferiert werden, da im ELSE Teil nicht spezifiziert ist, was für einen Wert Y erhält und deshalb gespeichert werden muss.
- (b) Die Bridge tritt in Bus A als Slave auf, um Befehle von den Mastern entgegenzunehmen und sie an die Slaves in Bus B weiterzuleiten. In Bus B tritt sie als Master auf, um entsprechende Befehle an die Slaves zu schicken.  
Zusätzlich könnte sie in Bus A als Arbitrator auftreten, sollte es zwischen den Mastern zu Konflikten kommen, die Arbitrierung könnte aber auch anders gelöst werden (z.B. durch feste Prioritäten).
- (c) Slave 1 hat die Adresse 0010011  
Slave 3 hat die Adresse 0000101

Takt	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
SDL	S	0	0	0	0	1	0	1	0	0	0	0	0	0	0	1	0	0	P
M1	S	0	0	1	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z
M2	S	0	0	0	0	1	0	1	0	0	0	0	0	0	0	1	0	1	P
S1	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z
S3	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	0	Z

Takt 1: Start bit

Takt 2-8: Adress bits (in Takt 4 dominiert M2)

Takt 9: Read Signal

Takt 10-17: Daten bits (00000010)

Takt 18: Ack Bit (wird von S3 auf 0 gezogen)

Takt 19: Stop Bit

Aus dem Diagramm der Vorlesung wird nicht ganz ersichtlich, wie das mit dem Ack Bit funktioniert, da eigentlich auch mehrere Datenbytes gesendet werden könnten. Wir nehmen einfach an, dass nur eines gesendet wird und man im darauffolgenden Takt das Ack Bit setzen kann und der Slave es entsprechend auf 0 zieht.

Wir nehmen an, dass ein Z angelegt wird, sobald eine Instanz nichts mehr sendet. In Takt 4 setzt sich M2 gegen M1 durch, da er eine 0 schreibt. Danach hört M1 auf zu senden.