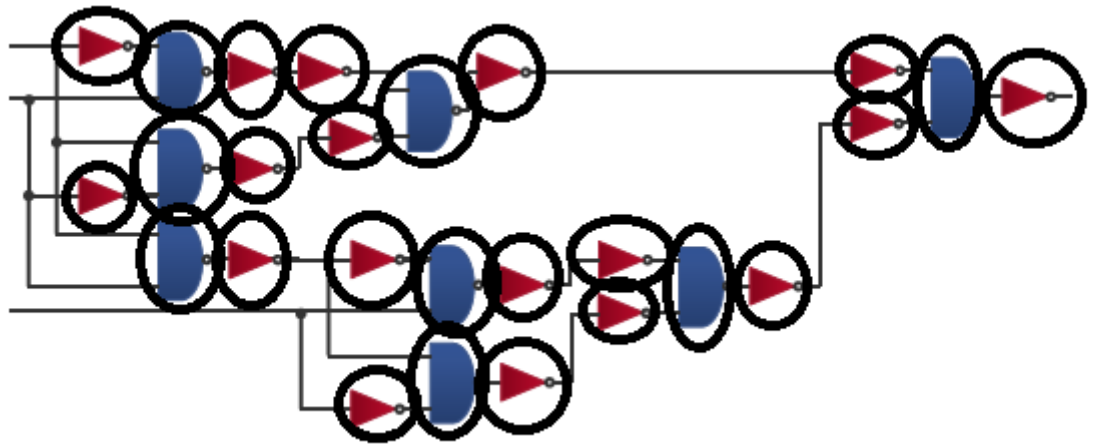


## Aufgabe 1: Fragen zur Vorlesung

(a)



Es kann kein größeres Cover geben, da wir jeden einzelnen Baustein als eigenständige Gruppe betrachten. Jede aus diesen einzelnen Teilen zusammengesetzte Komponente hat eine kleiner Fläche als die Summe der genutzten Einzelteile (verglichen mit den Flächenkosten in der Tabelle).

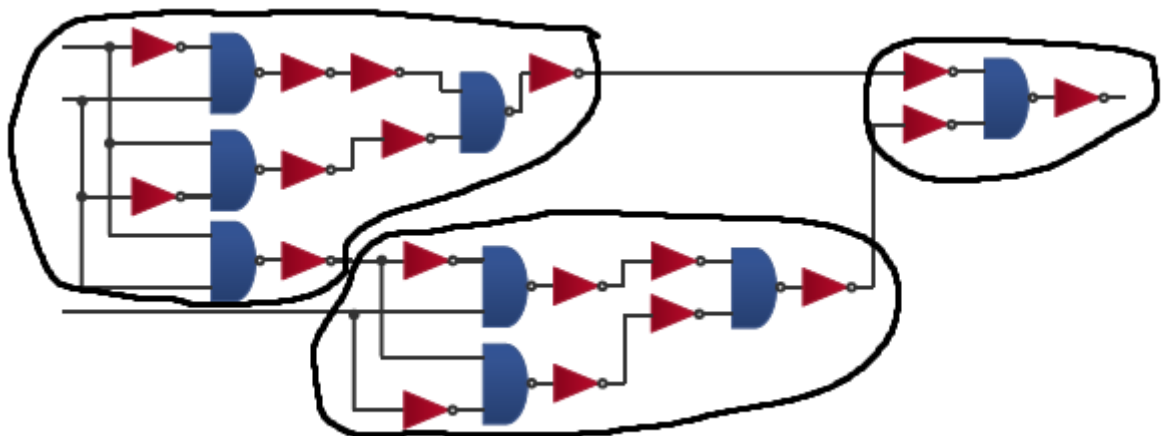
Als Gesamtfläche erhält man:

18 Inverter a 1 FE

8 NAND2 a 2 FE

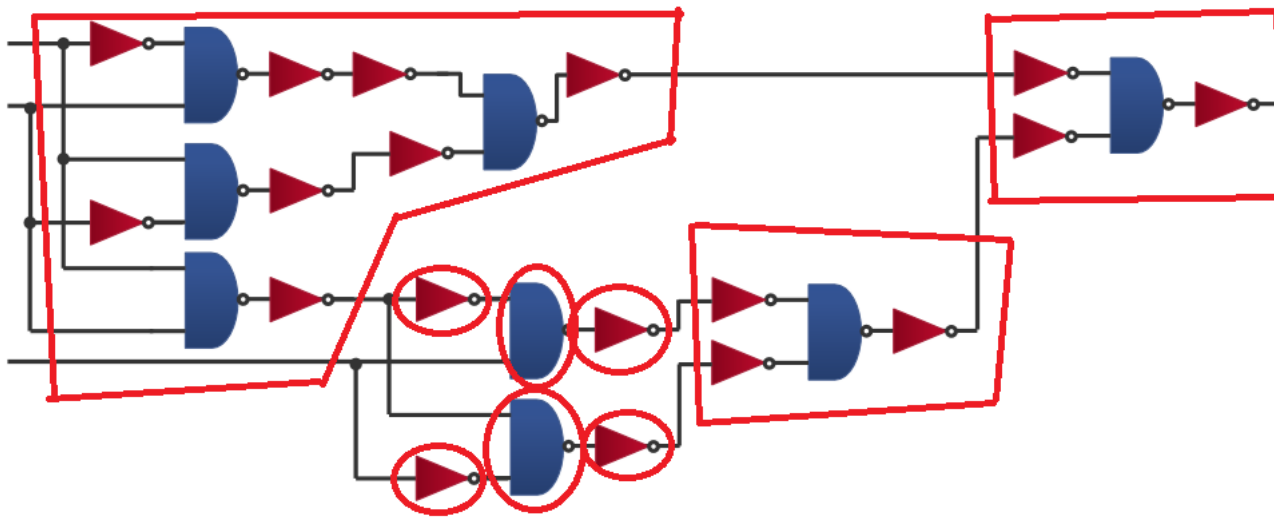
also  $18 + 2 \cdot 8 = 32\text{FE}$

(b)



Teilt man den Subject Tree in je zwei Halbaddierer und ein NOR2 auf, so erhält man eine maximale Fläche von 12 FE.

Dem unteren Halbaddierer fehlt dabei die Berechnung des Carry Bits, wenn man den HA dort einfach einsetzt und das Carry Bit ungenutzt lässt, erhält man eine entsprechend kleine Fläche.



Hier ist eine mit dem Beispiel auf den Folien konforme Lösung ohne "Tricks", bei der nur Elemente zusammengefasst werden, die 1 zu 1 denen der Zellbibliothek entsprechen. Die Fläche beträgt hier allerdings 19 FE.

## Aufgabe 2: RT-Synthese und Simulation einer 32-bit ALU

- (a)
- (b)
- (c)
- (d) Laut Area Report wird eine Fläche von 3248.924005 benötigt. Im Datasheet werden die einzelnen Komponenten mit Flächen in  $\mu m^2$  angegeben, daher nehmen wir an, dass auch die Gesamtfläche diese Einheit hat.
- (e) Bei der Synthese wurde eine Taktperiode von 25ns angenommen. Die maximale Verzögerung in der Schaltung beträgt 4.21ns und laut Timing Report ergibt sich ein Slack von 20.75ns
- (f) Der Result Ausgang ist mehrfach auf einem undefinierten Pegel, da das Signal wohl von mehreren Treibern beschrieben wird. Das liegt daran, dass unsere Taktperiode zu kurz gewählt wurde, weshalb eine Berechnung noch nicht fertig war, bevor eine andere bereits begonnen wurde.
- (g) Taktperiode muss mindestens so lang sein wie die größte Verzögerung, die sich in der Timing Analyse ergeben hat.