

Entwurf und Synthese von Eingebetteten Systemen

Sommersemester 2017

Übungsblatt 2

Mathematisch-Naturwissenschaftliche Fakultät
Fachbereich Informatik
Lehrstuhl Eingebettete Systeme
Prof. Dr. O. Bringmann

EBERHARD KARLS
UNIVERSITÄT
TÜBINGEN



Montag, den 15. Mai 2017, 12:00

Die Abgabe der Lösungen erfolgt über das ILIAS-System als gepacktes Archiv (ZIP/TAR.GZ).
Dieses ZIP enthält die schriftlichen Antworten auf Fragen, die Quellcodes in Dateiform (nicht als Listing im PDF),
und die Simulationsergebnisse als VCD-Dateien.

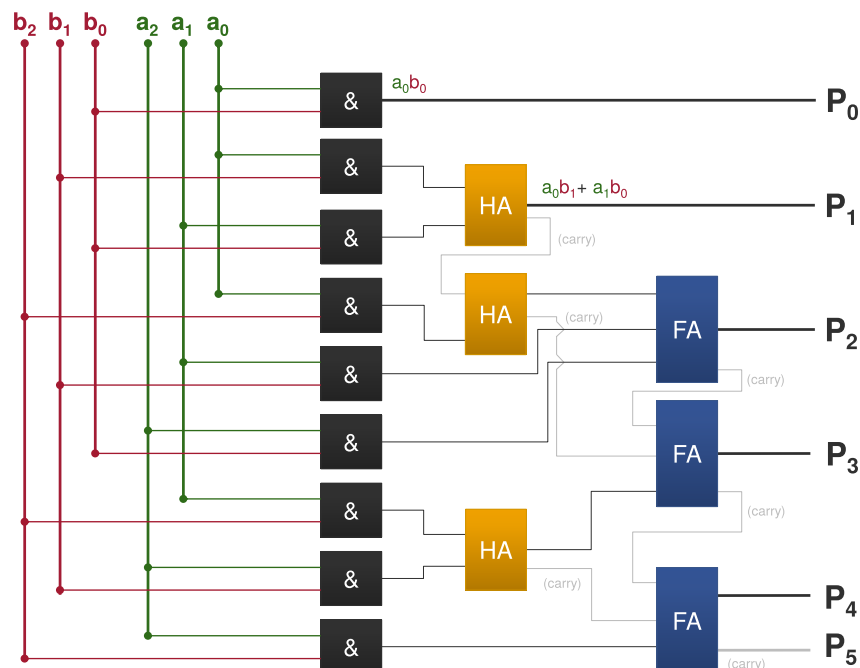
Abgabefrist: Montag, den 22. Mai 2017, 12:00 Uhr

Aufgabe 1: Fragen zur Vorlesung

[10 Punkte]

Beantworten sie die nachfolgenden Fragen kurz!

- (a) Was ist der Unterschied zwischen einer Entity und einer Architecture und wie hängen diese zusammen?
- (b) Nehmen sie an es gäbe für eine Entity ENT zwei Architectures ARC1 und ARC2. Mit Hilfe welchen Konstrukts können sie festlegen, welche Architecture wann verwendet wird? Können auch beide Architectures im selben Design verwendet werden?
- (c) Gegeben sei die folgende 3x3-Multiplizierer-Schaltung basierend auf UND-Gattern, Halb- und Volladdierern.



Die Verzögerung der einzelnen Komponenten beträgt 1ns (UND-Gatter), 2ns (Halbaddierer), 3ns (Volladdierer).

Wenn $a_0 - a_3$ sowie $b_0 - b_3$ und $P_0 - P_5$ jeweils Register sind – wie hoch kann der maximale Takt (unter Vernachlässigung von Setup Times und Wire Delays) sein?

Begründen Sie kurz!

- (d) Wie unterscheiden sich Ports und Signale?
- (e) Welches Problem kann auftreten, wenn mehrere Prozesse eine Zuweisung auf das gleiche Signal (vom Typ Bit) beinhalten? Erläutern sie kurz zwei Lösungswege, um dieses Problem zu beheben?
- (f) Was ist eine Testbench (oder auch: Testtreiber)?

Nachfolgend ist die Strukturbeschreibung eines n-Bit-Ripple-Carry-Addierers dargestellt:

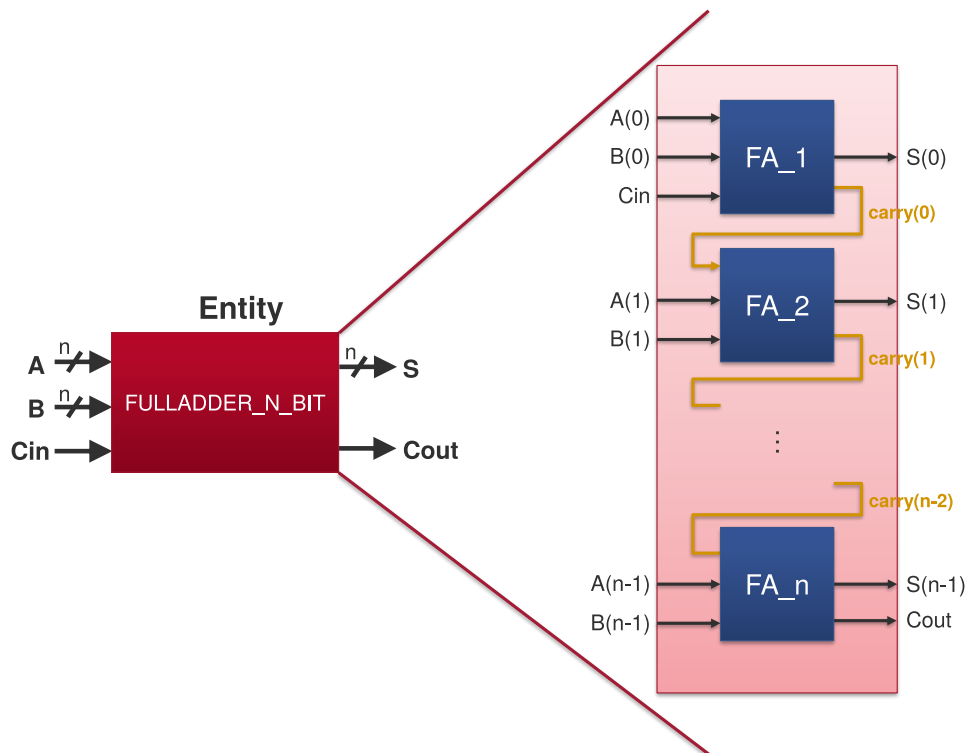


Figure 1: Schematische Darstellung eines n-Bit-Ripple-Carry-Addierers

- (a) Erstellen sie in VHDL die Verhaltensbeschreibung des parametrisierbaren n-Bit-Ripple-Carry-Volladdierers mit Hilfe von 1-Bit-Volladdierern. Die 1-bit-Volladdierer haben jeweils eine Verzögerung von 1ns pro Ausgang.

Erwartete Abgaben: VHDL-Datei

- (b) Schreiben sie einen Testtreiber für ihren Addierer und simulieren sie ihn mit einer Wortbreite von 16 Bit für die Eingabe/Ausgabe-Daten. Testen sie in der Simulation mindestens 6 verschiedene Additionen aus dem Zahlenbereich. Geben sie ihre Simulationsergebnisse als VCD-Datei ab.

Erwartete Abgaben: VHDL-Datei des Testtreibers, VCD-Datei

- (c) Nach welcher maximalen Anzahl von Verzögerungen (in ns) ist ihr Ergebnis (sowohl Carry als auch Summe) in jedem Fall gültig? Wie hoch wäre dann der maximal mögliche Takt ihrer Addiererschaltung, wenn sowohl Eingänge als auch Ausgänge Register wären (unter Vernachlässigung von Setup Times und Wire Delays). Beantworten und begründen sie diese Frage durch Analyse der Schaltung.

Erwartete Abgaben: Antwort in PDF