

Entwurf und Synthese von Eingebetteten Systemen

Sommersemester 2017

Übungsblatt 6

Mathematisch-Naturwissenschaftliche Fakultät
Fachbereich Informatik
Lehrstuhl Eingebettete Systeme
Prof. Dr. O. Bringmann

EBERHARD KARLS
UNIVERSITÄT
TÜBINGEN



Montag, den 19. Juni 2017, 12:00

Die Abgabe der Lösungen erfolgt über das ILIAS-System als gepacktes Archiv (ZIP/TAR.GZ).
Dieses ZIP enthält die schriftlichen Antworten auf Fragen, die Quellcodes in Dateiform (nicht als Listing im PDF),
und die Simulationsergebnisse als VCD-Dateien.

Abgabefrist: Montag, den 26. Juni 2017, 12:00 Uhr

Aufgabe 1: Fragen zur Vorlesung

[8 Punkte]

Bitte beantworten sie die nachfolgenden Fragen kurz!

- (a) Was ist die Aufgabe des Arbiters im AHB-Bus?
- (b) In einem AHB-Bussystem befinden sich mehrere Master und mehrere Slaves, die auf verschiedene Adressen abgebildet werden. Welche Komponente selektiert bei einer Anfrage auf eine bestimmte Adresse den korrekten Slave? Erläutern sie kurz die Funktionsweise.
- (c) Was versteht man unter Design Constraints? Nennen sie zwei verschiedene Beispiele für Design Constraints!
- (d) Was ist Slack/Schlupfzeit bzw. wie wird sie berechnet? Wofür kann die Schlupfzeit verwendet werden?
- (e) Warum kann Resource Sharing nicht auf Operationen mit gleichem Operator angewendet werden, die in einem gemeinsamen Kontrollpfad erreichbar sind?

Aufgabe 2: RTL-Synthese: Optimierungen in der Elaborationsphase

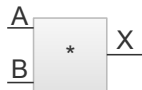
[12 Punkte]

Gegeben sei der nachfolgende VHDL-Prozess. A, B, C, D, E, F sind hierbei INTEGER-Signale. TEMP_1 ist eine INTEGER-Variable. Bei COND_1 und COND_2 handelt es sich um BIT-Signale.

```
1 PROCESS(A,B,C,D,E,F,COND_1,COND_2) BEGIN
2   IF COND_1 = '1' THEN
3     Z1 <= A * 8;
4     Z2 <= E * F;
5   ELSE
6     Z1 <= A + A;
7     IF (COND_2 = '1') THEN
8       TEMP_1 := A + A;
9     ELSE
10      TEMP_1 := B + C;
11    END IF;
12    Z2 <= (D * A) + TEMP_1;
13  END IF;
14 END PROCESS;
```

- (a) Stellen sie die Schaltung unoptimiert grafisch als Netzliste dar (analog Folie 30, 05-RT-Synthese). Ihnen stehen die folgenden Komponenten zur Verfügung:

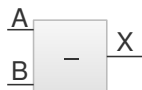
- Multiplizierer (für Multiplikation von 2 Ganzzahlen: $A*B$)



- Addierer (für Addition von 2 Ganzzahlen: $A+B$)



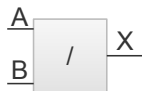
- Subtrahierer (für Subtraktion von 2 Ganzzahlen: $A-B$)



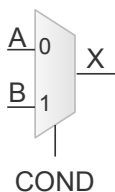
- Inverter (für Negierung einer Ganzzahl: $-A$)



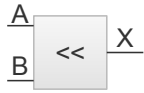
- Dividierer (für Division von 2 Ganzzahlen: A/B)



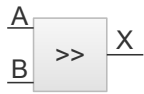
- 2:1-Multiplexer (für IF-ELSE bzw. CASE/WHEN)



- Left-Shift-Unit (für Links-Schiebeoperation: $A \ll B$)



- Right-Shift-Unit (für Rechts-Schiebeoperation: $A \gg B$)



Erwartete Abgaben: grafische Netzliste im PDF

- (b) Bestimmen Sie die Fläche dieser unoptimierten Schaltung unter Zuhilfenahme der in der nachfolgenden Tabelle notierten Flächeneinheiten je Ressource.

Ressource	Flächeneinheiten	Abgebildet Operationen
Multiplizierer	30	$x * y$
Addierer	8	$x + y$
Subtrahierer	8	$x - y$
Inverter	2	$-x$
Dividierer	40	x / y
Multiplexer	2	-
Left-Shift-Unit	4	$x \ll y$
Right-Shift-Unit	4	$x \gg y$

Erwartete Abgaben: Antwort im PDF

- (c) Optimieren Sie die Schaltung bezüglich der Anzahl Flächeneinheiten (Minimierung der Gesamtfläche) händisch unter Verwendung von Resource Sharing und Operator-Ersetzungen (z.B. Multiplikation/Division durch geeignete Schiebeoperation usw.). Schreiben Sie hierzu den VHDL-Code um (analog: Folie 241, 03-VHDL). Erläutern Sie kurz die Optimierungen bzw. Zwischenschritte.

Hinweis: Ziel ist eine Reduktion der Gesamtfläche auf maximal 60 Flächeneinheiten bei unveränderter Schaltungsfunktion. Sie dürfen natürlich beliebig viele Zwischenvariablen einführen.

Erwartete Abgaben: VHDL-Code in separater Datei oder im PDF (nicht kompilierfähig), Erläuterungen im PDF

- (d) Stellen Sie die optimierte Schaltung grafisch als Netzliste dar (analog zu Aufgabe a)).

Erwartete Abgaben: grafische Netzliste im PDF

- (e) Wie groß ist die Gesamtfläche der optimierten Schaltung?

Erwartete Abgaben: Antwort im PDF