

## Aufgabe 1: HLS: Ablaufplanung nach ASAP und ALAP

- (a)
- (b)
- (c)
- (d)
- (e)

## Aufgabe 2: High-Level-Synthese mit Xilinx Vivado HLS

- (a)
- (b) **opcode**, **in1** und **in2** entsprechend einfach den Parametern der C-Funktion.  
**ap\_return** entspricht der Rückgabe der C-Funktion.  
**ap\_clk** und **ap\_reset** sind die Eingänge für das Clock bzw Reset Signal, da das Design mehr als ein Takt benötigt.  
**ap\_start** muss auf 1 gesetzt sein, damit das Design mit der Arbeit beginnt.  
**ap\_ready** gibt an, ob das Design bereit ist, neue Eingaben zu verarbeiten.  
**ap\_done** gibt an, ob das Design mit der aktuellen Arbeit fertig ist.  
**ap\_idle** gibt an, ob das Design gerade arbeitet oder idle ist.  
Die Erklärungen zu den nicht C-Code spezifischen Ports sind aus dem verlinkten Tutorial ab Seite 69 entnommen.
- (c) Der gesamte geschätzte Flächenverbrauch sind 181 Flip-Flops und 248 LUT
- (d) Die geschätzte Taktperiode beträgt 5.41ns
- (e) In unserem Report findet man nur minimale und maximale Latenzen von 1 bzw 19. Wenn man in Vivaldo HLS auf Analyse klickt findet man, wie viele Control Steps jede dieser Operationen braucht. Wir nehmen einfach mal diese Werte als die gesuchten an.  
Dann ergeben sich für Addition, Subtraktion und Multiplikation 1 Latenzzyklus und für die Division 19 Latenzzyklen.
- (f)
- (g) Der gesamte Flächenverbrauch beträgt 174 LUTs und 168 FLip-Flops.  
Die Werte in Teilaufgabe (c) waren nur Schätzungen auf Grundlage der High Level Synthese. Erst bei der tatsächlichen Implementierung ergeben sich konkrete Werte für den Flächenverbrauch.
- (h) Ja, die Implementierung erfüllt das spezifizierte Timing-Constraint (Äll user specified timing constraints are met.)

Es ist ein Slack von 17.484ns angegeben. Damit darf die maximale Taktperiode etwa 2.5ns betragen. (Umrechnung in Taktfrequenz wäre eben  $f = 1/T$ , aber wir sollen es gleich wieder mit einer Periode vergleichen, also gehen wir eher von einem Schreibfehler aus)

Geschätzt wurde dabei eine Taktperiode von 5.41ns, die tatsächliche Implementierung kann also mit einem höheren Takt gefahren werden als ursprünglich angenommen.