

Aufgabe 1

- (a) Der Floorplan stellt die einzelnen funktionalen Baugruppen angeordnet auf dem Chip dar. Er ist damit der Geometrie-Achse zuzuordnen.
- (b) Netzliste beschreibt Verbindung von Gattern und Modulen. Zugeordnet zur Struktursicht.
- (c) In der Register-Transfer-Ebene.
- (d) Von der algorithmischen Ebene zur RT-Ebene gelangt man durch High-Level-Synthese. Durch Einbinden von Bibliotheken kann die RTL-Beschreibung dann von der Struktur auf die Verhaltenssicht abgebildet werden.
- (e) Intellectual Properties sind Entwürfe von Subsystemen, die zu einem komplexeren System kombiniert werden können. Es gibt drei Arten von IPs:
 - i. Soft IP: Die Komponente liegt in höherer Hardwarebeschreibungssprache wie VHDL oder Verilog vor und kann deshalb noch angepasst werden.
 - ii. Hart IP: Die Komponente liegt nicht in höherer Hardwarebeschreibungssprache wie VHDL oder Verilog vor, sondern wird als bereits fertiggestelltes Layout geliefert.
 - iii. Firm IP: Die Komponente ist bereits mit strukturellen Daten zur Platzierung der Baugruppen versehen, kann jedoch noch für verschiedene Anwendungsfälle konfiguriert werden.

Besonders beim Plattformbasierten Entwurf werden IPs eingesetzt, vereinzelt aber auch beim Blockbasierten Entwurf.

- (f)
 - i. Nexperia HW-Architektur
 - ii. TI OMAP 5912 HW-Architektur
 - iii. Qualcomm MSM5100 HW-Architektur