

Entwurf und Synthese von Eingebetteten Systemen

Sommersemester 2017

Übungsblatt 7

Mathematisch-Naturwissenschaftliche Fakultät
Fachbereich Informatik
Lehrstuhl Eingebettete Systeme
Prof. Dr. O. Bringmann

EBERHARD KARLS
UNIVERSITÄT
TÜBINGEN



Montag, den 26. Juni 2017, 12:00

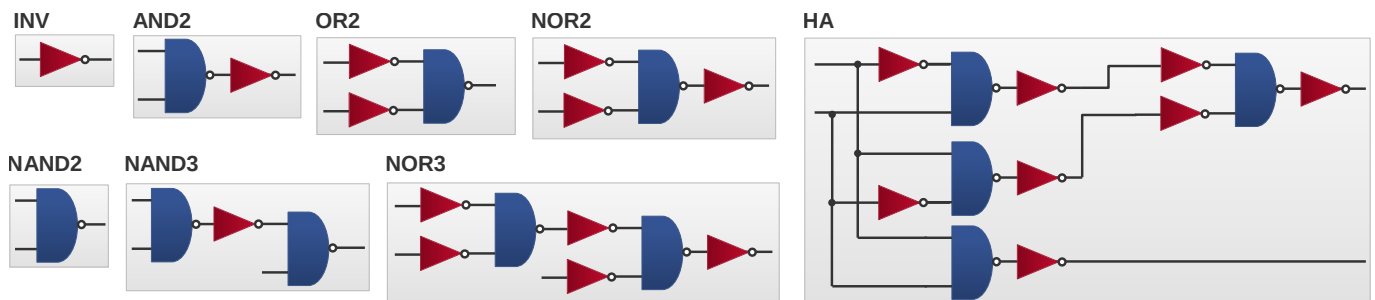
Die Abgabe der Lösungen erfolgt über das ILIAS-System als gepacktes Archiv (ZIP/TAR.GZ).
Dieses ZIP enthält die schriftlichen Antworten auf Fragen, die Quellcodes in Dateiform (nicht als Listing im PDF),
und die Simulationsergebnisse als VCD-Dateien.

Abgabefrist: Montag, den 3. Juli 2017, 12:00 Uhr

Aufgabe 1: Technologieabbildung

[6 Punkte]

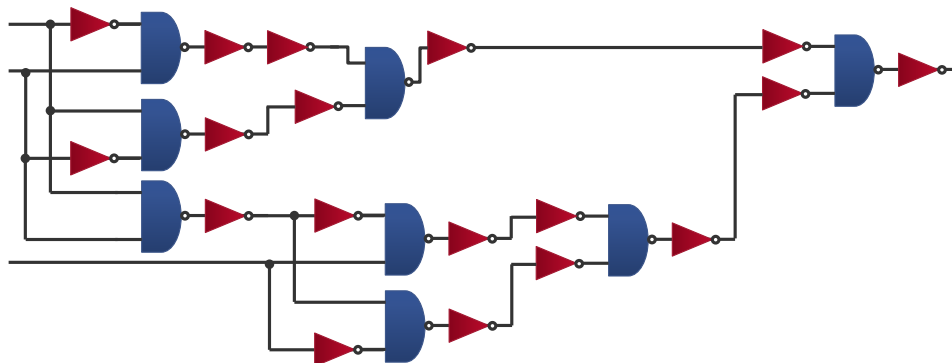
Gegeben sei die folgende Zellbibliothek inklusive der entsprechenden **Pattern Trees**:



Die Zellen haben jeweils folgende **Flächenkosten**:

Zelle	Beschreibung	Fläche	Zelle	Beschreibung	Fläche
INV	Inverter	1	OR2	2-Input-OR	2
NOR2	2-Input-NOR	2	AND2	2-Input-AND	2
NAND2	2-Input-NAND	2	NOR3	3-Input-NOR	3
NAND3	3-Input-NAND	3	HA	Halbaddierer	5

Gegeben Sei nun folgender **Subject Tree**:



- (a) Bestimmen Sie ein gültiges Cover mit der maximalen Fläche und stellen Sie dieses grafisch dar! Begründen Sie kurz, warum es kein Cover größerer Fläche geben kann.
- (b) Bestimmen Sie ein gültiges Cover mit einer maximalen Fläche von 12 Flächeneinheiten und stellen Sie dieses ebenfalls grafisch dar!

Aufgabe 2: RT-Synthese und Simulation einer 32-bit ALU

[14 Punkte]

Im ILIAS-Downloadbereich finden Sie eine in VHDL beschriebene ALU unter dem Dateinamen `alu.vhd`. Diese finden sie auch im AFS unter `/afs/wsi/es/lehre/ESES/alu.vhd`

- (a) Schreiben Sie einen Testtreiber, der die ALU am Anfang einmalig zurücksetzt und dann folgende hexadezimale Berechnungen taktweise durchführt:

- (a) $0x1234f001 + 0x93ca123f$ (Addition)
- (b) $0x12345678 \mid 0x45891000$ (bitwise OR)
- (c) $0x89ad1755 \& 0x88899912$ (bitwise AND)
- (d) $0x11123456 \& 0x10000000$ (bitwise AND)
- (e) $0x58afeb01 * 0x321abcd$ (Multiplikation)
- (f) $0x1234567 - 0x00001001$ (Subtraktion)

Anschließend soll abermals ein Reset durchgeführt werden und alle Eingänge auf 0 gesetzt werden.

Eine volle Taktperiode soll 0.5ns lang sein.

Erwartete Abgaben: VHDL-Datei des Testtreibers

- (b) Simulieren Sie die ALU mit dem Testtreiber aus Aufgabe b) in Questasim.

Erwartete Abgaben: VCD-Datei

- (c) Synthetisieren Sie die gegebene ALU mit Hilfe von Synopsys Design Compiler und der Nangate Standardzellenbibliothek. Eine Anleitung hierzu finden Sie im Anhang dieses Übungsblatts.

Erwartete Abgaben: VHDL-Datei der generierten Netzliste, Area-Report (Textdatei), Timing-Report (Textdatei)

- (d) Welche Gesamtfläche benötigt Ihre synthetisierte Schaltung? Welche Einheit hat die Fläche?

Hinweis: Schauen Sie sich das Datenblatt der Bibliothek unter

[/afs/informatik.uni-tuebingen.de/es/pdks/nangate/NanGate_45nm_2010.12/Front_End/Doc/Datasheet.pdf](http://afs.informatik.uni-tuebingen.de/es/pdks/nangate/NanGate_45nm_2010.12/Front_End/Doc/Datasheet.pdf) an.

Erwartete Abgaben: Antworten im PDF

- (e) Welche Taktperiode wurde bei der Synthese (bei Befolgen der Anleitung) angenommen? Wie groß ist die maximale Verzögerung in der synthetisierten Schaltung? Wie groß ist die resultierende Schlupfzeit unter Betrachtung der gewählten Taktperiode?

Erwartete Abgaben: Antworten im PDF

- (f) Simulieren Sie die ALU-Netzliste mit dem Testtreiber aus Aufgabe (a) in Questasim. Analysieren den Simulationstrace und vergleichen Sie diesen mit der RTL-Simulation. Was fällt Ihnen speziell am Ausgang RESULT auf? Worauf sind die Unterschiede zurückzuführen?

Hinweis: Eine Anleitung für die Timing-Simulation finden Sie im Anhang dieses Übungsblatts.

Erwartete Abgaben: Antworten im PDF

- (g) Passen Sie die Testbench aus Aufgabe 1b) so an, dass die ALU ohne nochmaliges Synthetisieren funktional korrekt arbeitet. Simulieren Sie die ALU-Netzliste mit dem angepassten Testtreiber!

Erwartete Abgaben: VHDL-Datei der angepassten Testbench, VCD-Datei der Simulation

Tutorial: RT-Synthese der ALU mit Design Compiler

1. Loggen Sie sich mit X11-Forwarding (Anleitung, siehe ILIAS) auf einem der Übungsrechner ein.
2. Geben Sie folgende Befehle ein (oder speichern Sie diese in einer Datei `file.csh` und führen `source file.csh` aus):

```
setenv LM_LICENSE_FILE "1701@menelaos"
setenv SYNOPSIS /afs/wsi/es/tools/synopsis
set path = ($SYNOPSIS/syn/2016.12-SP3/bin $path)
```

3. Wechseln Sie in Ihr Arbeitsverzeichnis.
4. Rufen Sie die Benutzeroberfläche für Design Compiler auf:

```
design_vision
```

5. Führen Sie die Nangate-Standardzellenbibliothek mit **File** → **Setup** hinzu.

Search Path:

```
/afs/wsi/es/pdks/nangate/NanGate_45nm_2010.12/Front_End/Liberty/CCS
```

Target Library:

```
NangateOpenCellLibrary_typical_ccs.db
```

Link Library:

```
NangateOpenCellLibrary_typical_ccs.db
```

Symbol Library:

```
( leer lassen )
```

`NangateOpenCellLibrary_typical_ccs.db` ist eine Standardzellen-Bibliothek, die von Design Compiler zur Technologieabbildung genutzt wird (siehe Vorlesung).

6. Führen Sie die Analyse der VHDL-Datei mittels **File** → **Analyze** → **Add** durch. Bei der Analyse wird eine Syntaxprüfung Ihrer Datei ausgeführt.

Hinweis: Fügen Sie nur die `alu.vhd` hinzu, nicht die Testbench.

7. Sollte keine Fehlermeldung auftreten, können Sie nun die Elaborationsphase mit Hilfe von **File** → **Elaborate** starten. Im unteren Fenster von Design Vision werden die Ergebnisse gezeigt. Es werden hier bereits die benötigten Register festgelegt.

8. Geben Sie in die Befehlszeile nun die folgenden Befehle ein:

```
create_clock CLK -period 25
set_input_delay -clock CLK 0 { IN0 IN1 OP CLK RESET }
set_output_delay -clock CLK 0 { RESULT }
```

Hinweis: Nutzen Sie die Online-Hilfe (**Help** → **Online-Help**) bzw. die Man-Pages für eine Erläuterung der Befehle.

9. Starten Sie nun die Logiksynthese für die zuvor erfolgreich elaborierte ALU. Dies können Sie entweder über das Menü **Design** → **Compile Design...** (mit Default-Einstellungen) oder mit dem entsprechenden Befehl in der Befehlszeile machen:

```
compile -exact_map
```

Im unteren Fenster von Design Vision werden die Ergebnisse der Synthese gezeigt.

Anmerkung: Ignorieren Sie an dieser Stelle die Warnungen.

10. Lassen Sie sich die Ergebnisse ausgeben mit den folgenden Befehlen:

```
report_area > area.txt  
report_timing > timing.txt
```

11. Schauen Sie sich die Schaltung an. (Klick auf **ALU_ENTITY** im **Logical Hierarchy Tab**, anschließend **Schematic** → **New Schematic View...**)

12. Lassen Sie sich eine Netzliste der Logikstruktur ausgeben mit dem folgenden Befehl:

```
write -hier -f vhdl -output netlist.vhd
```

Anmerkung: Ignorieren Sie auch hier bitte die Warnungen.

13. Schließen Sie nun Design Vision über **File** → **Quit**.

Sie finden nun in der Datei **area.txt** den Area-Report, in der Datei **timing.txt** den Timing-Report und in der Datei **netlist.vhd** die Netzliste der synthetisierten ALU.

Tutorial: Timing-Simulation der synthetisierten ALU mit Questasim

1. Loggen Sie sich mit X11-Forwarding (Anleitung, siehe ILIAS) auf einem der Übungsrechner ein und starten Sie Questasim wie in der Anleitung im ILIAS beschrieben.
2. Legen Sie ein neues Projekt im Arbeitsverzeichnis an (**File** → **New Project**).
3. Fügen Sie die folgenden Dateien zum Projekt hinzu (**Add Existing File...**):
 - testbench.vhd
 - netlist.vhd
 - /afs/wsi/es/pdks/nangate/NanGate_45nm_2010.12/Front_End/Verilog/NangateOpenCellLibrary.v

Letztere Datei enthält die Nangate-Bibliothek als Verilog-Datei mit entsprechend annotierten Gatterverzögerungen. Auch wenn es sich um eine Verilog-Datei handelt, kann diese problemlos zusammen mit der VHDL-Netzliste simuliert werden.

4. Kompilieren Sie ihre Quelldateien mit Hilfe von **Rechte Maustaste** → **Compile** → **Compile All**.
5. Um Verzögerungen im Pikosekunden-Bereich sehen zu können, müssen Sie in Questasim eine Simulationsauflösung setzen.
Legen Sie hierzu eine neue Simulationskonfiguration an: **Rechte Maustaste** → **Add to Project** → **Simulation Configuration**
Wählen Sie als Design Ihre Testbench und wählen Sie in der Kombobox **Resolution** den Wert **10ps**.
6. Um die Simulation zu starten, führen Sie einen Doppelklick auf die angelegte Konfiguration aus. Sie können die Simulation nun wie gewohnt ausführen, VCD-Dateien anlegen usw.