

实验七 与非门电路的测试

1. 实验目的

加深对 CMOS 与非门基本特性和主要参数的理解，掌握主要参数的测试方法。

2. 实验原理及参考电路

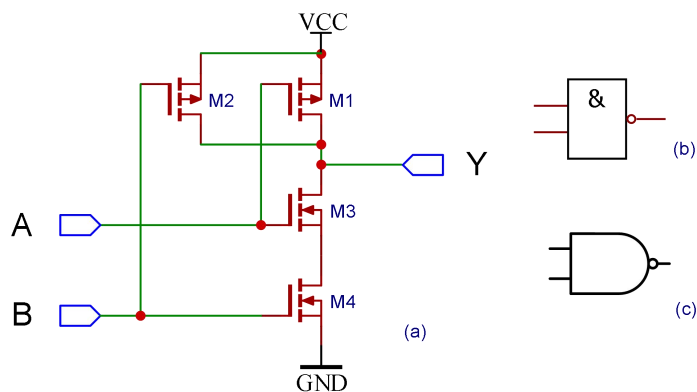


图 5.24 与非门的内部结构和符号

与非门是最基本的数字门电路之一。CMOS 二输入与非门的内部结构如图 5.24(a)所示。与非门的元器件符号如图 5.24(b)和(c)，其中(b)是国际电工委员会和中国国家标准所推荐的电路图符号，(c)是业界惯用的电路图符号。虽然这两种符号都可以使用，但是不要让他们同时出现在一张电路图中。

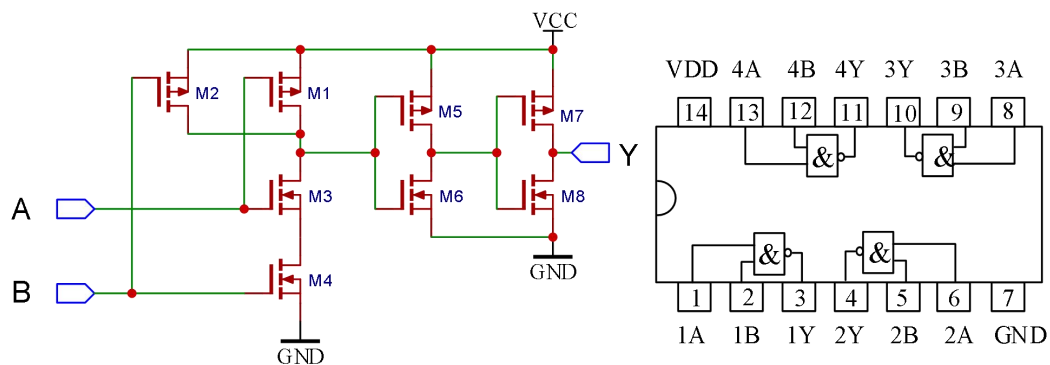


图 5.25 CD4011 内部电路图和外部引脚

CD4011 是一种标准化的小规模通用 CMOS 逻辑电路，内部电路图和外部引脚如图 5.25 所示。内部有四个与非门构成，在不影响电路逻辑的前提下，为了加强电路的驱动能力，并使电压传输特性更加陡峭，CD4011 在与非门后添加了两级反相器作为缓冲。其他常用的与非门电路还有 74HC00（高速 CMOS 逻辑电路）、74LS00（低功耗肖特基 TTL 逻辑电路）等。

(1) CMOS 与非门的平均延迟时间 t_{pd}

平均延迟时间 t_{pd} 是指与非门输出波形相对于输入波形的延迟，是描述与非门电路工作速度的参数。如图 5.26(a)所示，定义 $t_{pd} = (t_{pHL} + t_{pLH})/2$ 。4000 系列的 CMOS 电路，一般 t_{pd} 为几十纳秒。而 74HC 系列高速 CMOS 逻辑电路，其 t_{pd} 一般小于 10 纳秒。

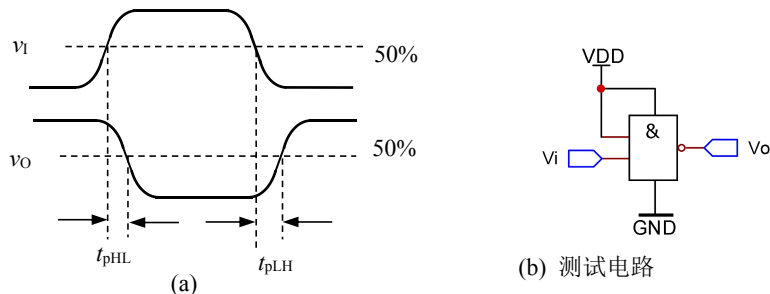


图 5.26 与非门的平均延迟时间与测试电路

测量平均延迟时间 t_{pd} 的电路如图 5.26(b)所示。输入信号 v_i 是由信号源输出的方波脉冲。

(2) CMOS 与非门电压传输特性

电压传输特性是指输出电压 v_o 与输入电压 v_i 的函数关系，典型的电压传输特性曲线如图 5.27 所示。由电压传输特性不仅能够判断与非门的好坏，而且还可以从特性曲线上直接读出一些静态参数，如输出高电平 V_{OH} 、输出低电平 V_{OL} 、关门电平 V_{OFF} 、开门电平 V_{ON} 、阈值电压 V_{th} 、噪声容限电压 V_{NH} 和 V_{NL} 等。

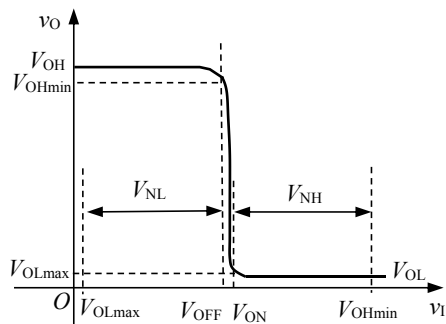


图 5.27 CMOS 与非门电压传输特性

① 输出高电平 V_{OH} ：输出高电平是指与非门有一个或几个输入端接地或接低电平时的输出电平。产品规范规定，当电源电压为 +5V 时，CD4011 输出高电平的最小值 $V_{OHmin} = 4.95V$ 。

② 输出低电平 V_{OL} ：输出低电平是指与非门的所有输入端都接高电平时的输出电平。产品规范规定，CD4011 的输出低电平的最大值为 $V_{OLmax} = 0.05V$ 。

③ 关门电平 V_{OFF} ：使电路输出处于高电平状态所允许的最大输入电压。

④ 开门电平 V_{ON} ：使电路输出处于低电平状态所允许的最小输入电压。

⑤ 高电平噪声容限电压 V_{NH} ： $V_{NH} = V_{OHmin} - V_{ON}$ ，表示输入为高电平时所允许噪声电压的最大值。

⑥ 低电平噪声容限电压 V_{NL} ： $V_{NL} = V_{OFF} - V_{OLmax}$ ，表示输入为低电平时所允许噪声电压的最大值。

由图 5.27 可以看出,CMOS 与非门输出状态发生转变时,传输特性曲线很陡,在 $v_i \approx V_{DD}/2$ 附近接近一条垂直线。这是由于此时与非门内部场效应管工作于饱和区,处于线性放大状态,增益很高。因此, V_{OFF} 与 V_{ON} 十分接近,使得 V_{NH} 、 V_{NL} 较大,通常可达到 V_{DD} 的 45% 左右。由于与非门总是在 $v_i \approx V_{DD}/2$ 处转变状态,所以,CMOS 与非门的阈值电压 $V_{th} \approx V_{DD}/2$ 。

测量电压传输特性的电路如图 5.28 所示,其中输入电压 v_i 是低电平为 0V,高电平为 5V 的三角波。将输入的三角波电压 v_i 送至示波器的 X 轴输入端,输出电压 v_o 送至 Y 轴输入端(示波器置于“XY”工作方式),示波器便会显示出电压传输特性曲线。

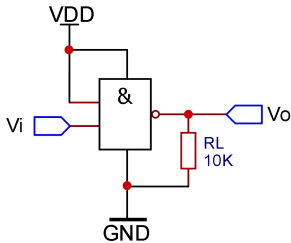


图 5.28 电压传输特性的测试电路

需要注意,测试时必须将闲置不用的输入端接正电源 V_{DD} ,不得悬空。

(3) CMOS 与非门电路的动态功耗

静态时,CMOS 与非门内部的 P 沟道和 N 沟道场效应管只有一个是导通的,流过 MOS 管的电流近似为零,所以其静态功耗很小,一般可以忽略。但在输出状态转换过程中,P 沟道和 N 沟道场效应管会同时导通(工作于饱和区)。另外,若输出端接有容性负载,在输出状态转换时负载电容要充电、放电。以上两种情况电源都要提供较大的脉冲电流,使 CMOS 与非门存在一定的动态功耗。观察 CMOS 与非门脉冲电流的电路如图 5.29 所示。在与非门

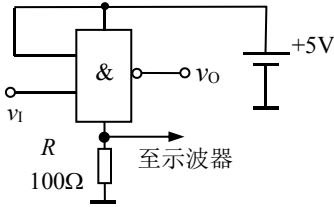


图 5.29 观察 CMOS 与非门动态功耗的电路

的“地”端串入一个小的电流取样电阻,用示波器观测取样电阻上的电压波形就反映了 CMOS 与非门的脉冲电流。

4. 实验内容

本实验所用电源电压均为 5V。

(1) 选定一个与非门,对两个输入端施加高低电平的不同组合,测量输出电压,验证与非门的逻辑特性。

(1) 测量 CMOS 与非门 CD4011 的平均延迟时间。测量电路如图 3.15(b)所示,其中输入电压 v_i 可选择低电平为 0V,高电平为 5V,频率为 1MHz 的方波信号。

(2) 测量 CMOS 与非门 CD4011 的电压传输特性。测量电路如图 5.28 所示，其中输入电压 v_I 可选择低电平为 0V，高电平为 5V，频率为 100Hz 的三角波信号。

(3) 观察 CMOS 与非门 CD4011 的动态功耗。测量电路如图 5.29 所示，输入信号为 100kHz 的方波信号。

(4) 按照图 5.30 连接电路，其中 U1 的输入端接 5~10cm 长的一段悬空导线。电路通电后，将一把塑料尺或空矿泉水瓶在衣物或者头发上少许摩擦，然后接近、远离这根悬空导线，观察 LED 的颜色变化，分析产生此现象的原因。

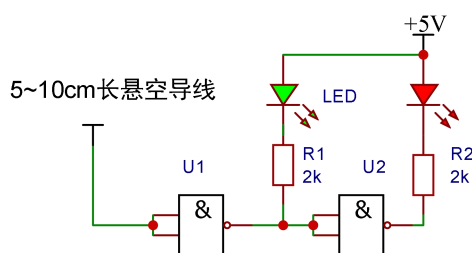


图 5.30 输入端接悬空导线的与非门电路

5. 注意事项

(1) 使用集成电路时必须注意工作电压，不能过压或欠压工作。CMOS 电路的工作电压范围较宽，一般为 3V~18V，而 TTL 电路的工作电压为 $5V \pm 5\%$ 。如果电源电压过高，可能会损坏集成电路。本实验所用电源电压均为 5V。

(2) 要注意门电路输入信号的高、低电平要符合规范要求，其输入信号的低电平不得低于地电压，高电平不得高于电源电压，否则电路将不能正常工作，甚至可能会损坏集成电路芯片。

(3) 要熟悉芯片的管脚排列，使用时管脚不能接错。为了清晰起见，一般不在电路图中画出数字电路的电源和接地引脚。因此，特别要注意电源和接地引脚不要漏接，而且一定不要接反。

(4) 数字电路的输出端不允许直接接电源或直接接地（可以悬空或者通过一个阻值合适的电阻接到电源或地）。除特殊电路外，一般不允许输出端并联使用，否则会损坏器件。

(5) CMOS 集成电路的输入端不允许悬空，必须接低电平或高电平。对于 TTL 电路，输入端悬空在逻辑上相当于是接高电平，但为了电路工作稳定可靠，减小干扰，最好还是按电路要求接高电平或接低电平。总之，多余输入引脚的接法不能改变电路的逻辑关系。

7. 预习内容

(1) 了解 CMOS 与非门的电路结构、工作原理、主要指标的内容。熟悉实验所用 CD4011

的引脚图。

(2) 仔细阅读实验指导书，了解实验目的、实验内容和实验原理以及测试方法。

(3) 设计出必要的实验数据记录表格。

8. 实验报告要求

整理实验数据，包括列出所测与非门电路的主要参数，画出测试曲线和波形等，分析电路现象。

9. 思考题

(1) 噪声容限电压 V_{NH} 和 V_{NL} 这两个参数的意义是什么？

(2) 结合实验现象说明应如何处理 CMOS 与非门的多余输入端，如果悬空可能造成什么样的后果？