

实验一 计数器和序列检测器的设计

实验目的：

- 掌握简单时序逻辑电路的设计方法；
- 了解任意进制计数器的设计方法；
- 掌握有限状态机的实现原理和方法；
- 掌握序列检测的方法

实验原理：

计数器是一种常用的时序电路，它按照规定的方式改变内部各触发器的状态，以记录输入的时钟脉冲的个数。按照规定的计数顺序的不同，计数器可以分为加法计数器、减法计数器、可逆计数器和不同进制的计数器；按照工作方式的不同，又可以分为异步计数器和同步计数器。

有限状态机（Finite State Machine, FSM）是逻辑电路设计中经常要遇到的，在数字电路中，经常需要通过建立有限状态机的方式来进行时序数字逻辑的设计。在复杂数字系统设计中，有限状态机主要通过硬件描述语言实现，硬件描述语言能够清晰的描述状态转移过程和输入输出变量关系，使得时序逻辑设计大大简化，进而极大降低系统设计复杂度，提高系统模块化程度。有限状态机从本质上讲是由寄存器和组合逻辑构成的时序电路，各个状态之间的转移总是在时钟的触发下进行的。

实验内容：

- （1）设计一个具有异步复位控制的 4bits 十进制同步加法计数器。

在连续输入的串行数据流中检测特定序列“101011”，一旦检测到一个“101011”就输出一个宽度为 1 个时钟周期的高电平脉冲。例如，当输入为“00101011101011100010101100”时，输出为“0000000010000100000000010”。两个 101011 序列可以重叠，如例子中的第二个输出 1。

- （2.1）用有限状态机设计序列检测器，检测序列“101011”。

- （2.2）用移位寄存器和组合逻辑实现序列检测器，检测序列“101011”。

实验要求:

- (1) 采用**行为级设计**方法设计;
- (2) 使用按键 S2 作为时钟输入, 在计数器实验中, 可以不加防抖措施, 观察现象。
在序列检测器实验中, **按键需要添加防抖措施。**
- (3) 在报告中, 给出电路功能单元占用 FPGA 逻辑资源情况, 即面积情况。时序性
能在本实验中不做要求。

推荐外部电路连接方法

计数器:

器件	管脚	功能
S4	U4	异步复位信号
数码管	{ B4, A4, A3, B1, A1, B3, B2, D5}, G2	数码管 7 段输入, 高电平 点亮,顺序为 {CA,CB,CC,CD,CE,CF,CG,DP} 数码管 BIT1 使能信号为 G2, 高电平有效
S2	R15	作为时钟输入, 可以进行防 抖处理

状态机:

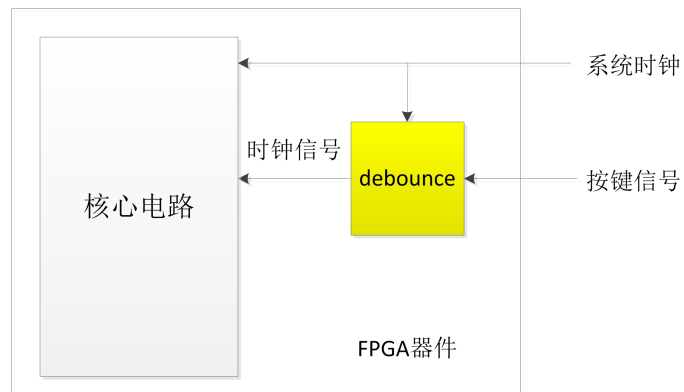
器件	管脚	功能
LED 0	K2	数据输出
LED5-7	G3, G4, F6	状态机状态编码
S4	U4	复位
S2	R15	作为时钟输入
SW1	N4	串行数据输入

移位寄存器:

器件	管脚	功能
LED 0	K2	数据输出
LED1-6	J2, J3,H4 ,J4, G3, G4	移位寄存器数据
S4	U4	复位
S2	R15	作为时钟输入
SW1	N4	串行数据输入

时钟设置

在实验中如果要求采用外部按键（例如 S2）作为时钟输入，通过按动按键产生有效的时钟边沿，由于机械按键存在抖动现象，表现在输入信号上会出现段时间内的震荡现象。所以，需要在设计内部首先对按键输入信号进行消抖动处理，



时钟按键可以使用防抖代码去除扰动，防抖代码可以使用 `debounce.v`。使用方法如下：

```
module instance_name(system_clk, clk_i, other_inputoutput);  
    input system_clk, clk_i;  
    ***  
    debounce xdebounce(.clk(system_clk),.key_i(clk_i),.key_o(clk_o));  
    ***  
endmodule
```

其中, `system_clk` 绑定到系统时钟 P17 上，`clk_i` 是用户自己的时钟，使用按键实现，使用防抖代码输出的 `clk_o` 作为最后的时钟使用。