

编号: 201012137

班级: 天四

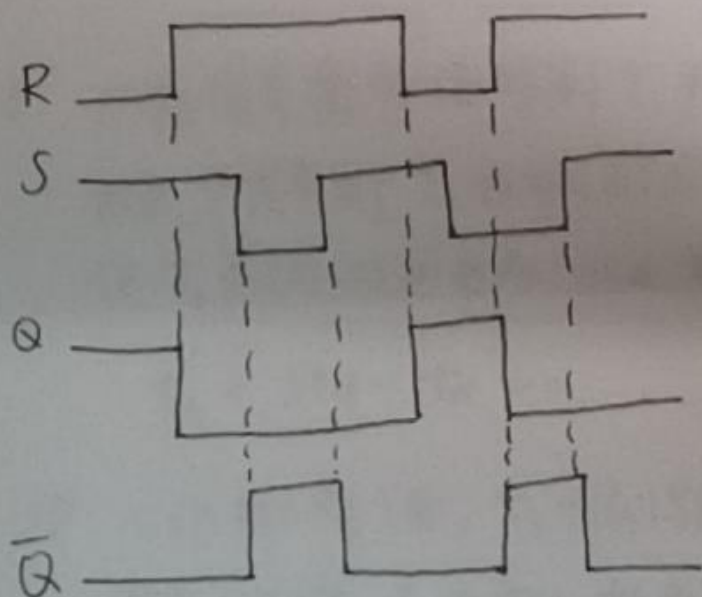
姓名: 张鸿琳 第 页

3. 对于RS锁存器

S	R	Q^+
0	0	Q
0	1	0
1	0	1
1	1	-

8.5

故而时序图为

4. 当 $CP=1$ 时, G_1 与 G_2 关断, G_3 与 G_4 导通 $CP=0$ 时, G_1 与 G_2 导通, G_3 与 G_4 关断

而最右端相当于一个SR锁存器

当 CP 由 0 变为 1 时, G_1 与 G_2 将经过 t_{d1} 时间关断, G_3 与 G_4 立刻导通, 在 CP 切换时刻的 S 、 R 信号将经过 $t_{d1} + 2t_{d2}$ 时间造成 Q 与 \bar{Q} 的更新。而 CP 由 1 变 0 时, G_3 与 G_4 立刻关断, 将 S 、 R 将无法对 Q 与 \bar{Q} 产生影响。而 CP 恒处于 0 或 1 时, S 、 R 也无法影响输出信号, 所以该电路为 RS 触发器。

5. 解:

- ① 当 CLK 由 0 变为 1 时, T_2 导通, 此前必须保证 T_2 两端信号一致, 否则就会产生竞争, 故而建立时间为一个传输门和三个反相器的延时

$$t_{su} = 3 \cdot t_d + 2t_d = 5t_d$$

- ② D 端信号需要保持到 T_1 关闭, 否则信号就会出错, 但是 D 信号到 I_3 左侧时间为 $3t_d$, 而 CLK 由 0 到 1 使 T_1 关闭时间也为 $3t_d$, 故而保持时间

$$t_h = 3t_d - 3t_d = 0$$

- ③ CLK 由 0 变 1 后, T_3 立刻导通, 而由 ① 中分析, 此时信号已到达 T_3 左侧, 故而时钟至输出延时为

$$t_{clk-q} = 2t_d + t_d = 3t_d$$

设计JK触发器：

对于RS触发器： $Q^+ = S + \bar{R}Q$ 且 $SR=0$

对于K触发器： $Q^+ = \bar{K}Q + J\bar{Q}$

不妨令 $S = J\bar{Q}$ ，而要保证 $SR=0$ 恒成立

则令 $R = KQ$ ，这样 $Q^+ = J\bar{Q} + \overline{(KQ)}Q$

$$= J\bar{Q} + (\bar{K} + \bar{Q})Q$$

$$= J\bar{Q} + \bar{K}Q$$

$$\text{且 } RS = KQJ\bar{Q} = 0$$

故而电路图为

