

# 第二次讲座作业

无04 2019012137 张鸿琳

参加讲座截图：



**1. 芯片产业链都包含哪些部分？结合数字逻辑与处理器课程讲授的内容和谢老师的讲授，简述摩尔定律（工艺）和架构优化（设计）各自都是怎么影响芯片的性能的？**

解答：芯片产业链主要包含芯片设计、芯片制造、芯片封装、系统封装这几个部分。

摩尔定律通过先进工艺（减小晶体管尺寸，减少延时，提升集成度，也就是数逻课程前半部分关于数字电路的学习中，通过改善各种逻辑门的尺寸和速度提升整体性能）带来性能提升。

结构优化通过创新设计（微架构层面的分支预测，加速器的研究等等，在数逻课程后半部分关于处理器的学习中，通过各种方法提升性能，比如通过设计减少CPI，提升时钟频率，而提升时钟频率又可以采用多周期、流水线设计，还有指令级并行设计，如超长指令字、超标量，线程级并行设计，如超线程、多核，异构计算设计等等都可以提升运行速度）带来性能提升。

**2. 纵观芯片近几十年的发展历程，出现了单核到多核；平面到2.5D，3D；单芯片到chiplet；传统处理器架构到近存计算架构，AI架构等设计理念的转变。根据谢老师讲授的内容，结合你自己的理解，简述这些设计理念转变的动机以及这些技术为什么可以一步步走向实际商用。**

解答：我认为这些设计理念转变的动机为，旧有的设计理念已经很难进一步提升芯片性能，而对芯片的性能需求还在迅速增长。技术走向实际商用的原因比较重要的几点为：

- 技术先进性：新技术必须要能够在原有技术上有所提升；
- 回报（Cost, ROI）：能不能以很低的代价实现该技术，也就是减少成本；
- 杀手级应用（Killer Applications）：能不能有一个杀手级应用使得该新技术得到很快的推广；
- 商业模式（Business Model）：应该找到合适的商业模式使得该技术现实落地，为了追求实用性甚至有时要在性能先进性上做一点妥协。

**3. 2007年以来英特尔的生产模式被称为Tick-Tok Model，什么是Tick-Tok Model？有哪些优势？近年来该发展模式面临何种挑战？有哪些可能的解决方法？**

解答：Tick-Tok Model是指像时钟钟摆那样，先固定两年芯片设计架构不变，而变化工艺（如从45nm变为32nm），使得性能得到一代提升，而后再固定两年工艺不变，而变化芯片设计架构（如从Nehalem变为Sandy bridge），从而使性能进一步提升，这样工艺变化和架构变化交替进行。优势是采用这样的模式，intel就可以每一年都推出性能更好的CPU和其竞争对手抗衡。

近年来，这种发展面临的挑战是，因为物理极限等的原因，摩尔定律在放缓，把晶体管继续缩小变得越来越难，所以原来的工艺迭代在不断变难。可能的解决方法是在工艺上尝试3D集成（垂直探索），在第三个维度上扩张，同时加大对架构创新的开发力度，减少对工艺改进的依赖。

#### 4. 请简述历史中以CPU为代表的计算芯片发展的“分”、“合”趋势，并分析其背后的推动因素。

解答：最开始CPU只有计算功能，而随着集成的晶体管越来越多，设计者开始把越来越多的功能（memory，多媒体拓展）集成到CPU中，后来CPU把连接图像处理和存储的北桥芯片和连接较为慢速的IO的南桥也集成到芯片中去了，包括此后图形处理部分。这就是分久必合，将多个attached to PCB的packaged chiplets集成在一个package中。这种趋势的推动因素主要是提高集成度，提升性能。

而合久必分，就是把大芯片切割为小芯片，将SOC IP分解为多个chiplets，使用不同工艺节点，另外将Monolithic die分解为多个chiplets，使用同一工艺节点。推动因素主要是异构集成，提高良率，降低成本，同时这种chiplet封装技术会带来新的架构可能。

#### 5. 在摩尔定律减速时，研究者们做出了哪些架构上的创新来继续提高性能，请举出至少三个不同的例子并说明

解答：举例如下：

- 3D集成：简单理解就是从原来在平面上减小晶体管尺寸的思路脱离出来，追求三维上的扩展，既是新工艺，也给新架构带来了可能。当前已经发展出了基于芯片堆叠式的3D技术、基于无源TSV的3D技术、基于有源TSV的3D技术等等。
- Chiplet：其实就是把大芯片分为小芯片集成在一起。这是由于光刻机原理限制，芯片最多不能超过 $800mm^2$ ，同时芯片变大，良率会变低，所以将大芯片分解为小芯片后也可以提高良率。这样可以实现硅片级别的复用，同时带来三大优势：①工艺选择的灵活性：一个系统可以集成多个工艺节点的硅片；②架构设计的灵活性：更大的设计空间维度，更合理的工艺、功能权衡，更优化的互联方式；③商业模式的灵活性：催生新的chiplet供应商，直接集成chiplets以节约项目开发时间。chiplet的创新带来了封装集成方式的创新，催生出新的计算体系架构，降低了半导体设计门槛，提供了弯道超车的机会，降低了小型公司流片成本，同时也带来了诸如互联接口的标准化，KGD和测试，EDA工具革新，散热冷却技术改善等一系列挑战。
- 近存计算、存内计算：内存在延迟和能耗方面一直赶不上处理器技术的进步，这被称为内存墙。内存层次结构通常由多级缓存、主内存和存储器组成。传统的方法是将数据从存储器移到高速缓存中，然后对其进行处理。相比之下，近内存计算的目标是在接近数据所在的位置进行处理。这种以数据为中心的方法将靠近数据的计算单元耦合在一起，以尽量减少昂贵的数据移动。