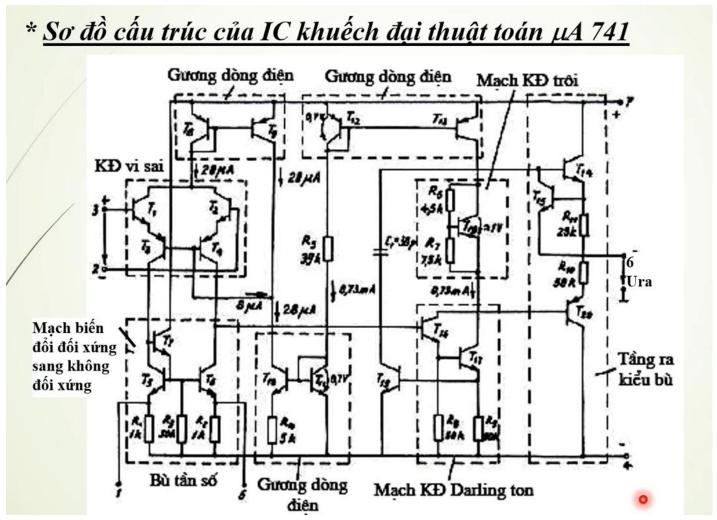
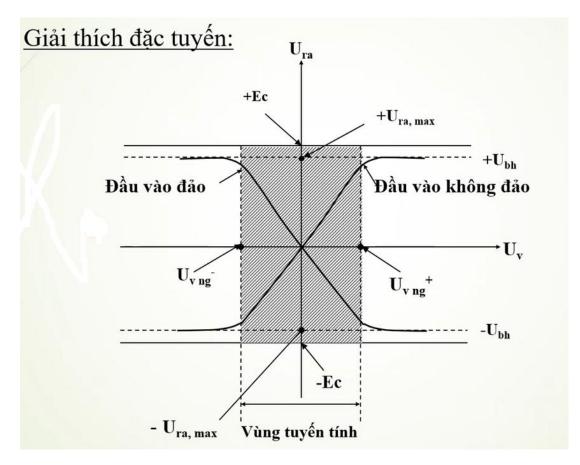
1) Điện áp vào - điện áp ra

- Cấu trúc của IC 741



Dù đây là IC khá cũ rồi nhưng có thể thấy trong cấu trúc của một Op-Amp gồm khá nhiều BJT , hiện nay trong IC KĐTT gồm rất nhiều BJT , điều này nghĩa là cơ chế hoạt động của Op-Amp phụ thuộc rất nhiều vào BJT , cụ thể là khi cấp nguồn vào IC thì khi dòng đi vào sẽ lần lượt phân cực cho các BJT , khi ấy mỗi con BJT đều sẽ có 1 điểm làm việc tĩnh Q , khi cấp Uvs vào mạch thì tín hiệu ấy sẽ chỉ dao động xung quanh điểm Q giúp cho mạch hoạt động ổn định . Khi cấp nguồn DC vào Op-Amp , Op-Amp sẽ không thể cho ra được điện áp lớn hơn nguồn đã cung cấp , ngoài ra trong Op-Amp còn gồm các điện trở , như vậy khi áp đi qua điện trở sẽ xảy ra hiện tượng phân áp từ đó , điện áp ra không chỉ không thể vượt được đến Vcc mà thông thường sẽ bị hao đi một khoảng từ 1- 2 V. Mô tả bằng đặc tuyến sau :



Ta có thể nhân diện được khoảng bị suy hao ở điện áp ra trong Datasheet bằng cách tìm V_{OH} - high level output voltage :

		R _L ≥ 2 kΩ		25°C	V _{CC} - 1.	5	ė 2
N.	High-level output voltage	$R_L \ge 10 \text{ k}\Omega$		25°C		V	
V _{OH}		V MAY	$R_L = 2 k\Omega$	Full range	26		V
		$V_{CC} = MAX$	$R_L \ge 10 \text{ k}\Omega$	Full range	27	28	Ř

 \mathring{O} đây nghĩa là khi Vcc < MAX (\mathring{o} đây MAX = 30V) thì Ura chỉ có thể đạt đến Vcc - 1.5 (V), hay nghĩa là khoảng bị suy hao đi chính là 1.5~V.

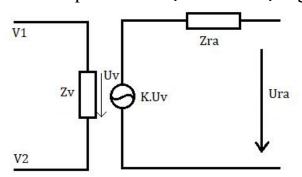
- Op-Amp rail to rail là Op-Amp giúp cho Ubh đạt đến gần Vcc nhất có thể .

2) Trở kháng vào, trở kháng ra của Op-Amp:

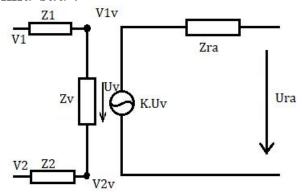
Khi nhắc đến Op-Amp khuếch đại thuật toán thì nguyên tắc sẽ luôn có trở kháng vào cao và trở kháng ra nhỏ

- Trở kháng vào cao (với Op-Amp lý tưởng là bằng vô cùng) giúp cho Uv không bị thay đổi khi cấp vào mạch , việc này giúp thuận tiện hơn khi không phải tính toán Uv sau khi thay đổi và tăng độ chính xác cho mạch :

Om-Amp có thể được coi là một nguồn áp phụ thuộc vào điện áp như hình sau:



Ta có thể thấy V1, V2 khi đến Zv thì cân đi qa 1 đoạn dây, mỗi đoạn dây đều có điện trở riêng, khi ấy điện áp đi qua R1, R2 sẽ bị thay đổi nên có thể coi mạch như sau:



Theo công thức phân áp , có
$$Uv \!\!=\!\! \Delta_v \frac{z_v}{z_1 \!+\! z_2 \!+\! z_v} \!\!=\!\! \Delta_v. \frac{1}{1 \!+\! \frac{z_1 \!+\! z_2}{z_v}}$$

Như vậy khi Zv $ightarrow \infty$ đồng nghĩa với Uv $ightarrow \Delta_v$, nghĩa là trở kháng vào càng cao , điện áp vi sai đầu vào càng bớt bi suy hao .

- Trở kháng đầu ra thấp (lý tưởng là bằng 0) có thể giải thích đơn giản là sau khi khuếch đại Uv lên K lần thì áp sẽ đi qua trở kháng Z_{ra} , việc này sẽ gây ra suy hao điện áp đầu ra bằng $U_{\rm ra}$, điều này đồng nghĩa với việc khi trở kháng ra bằng 0 thì sẽ không có sự suy hao điện áp sau khi khuếch đại , hay $\, Z_{ra} \to 0 \,$ thì $U_{ra} \rightarrow K.Uv.$
- Tuy nhiên, trong thực tế thì không có khái niệm Z=0 hay Z=∞, vì vậy điện áp vào và điện áp ra sẽ có 1 số thay đổi.

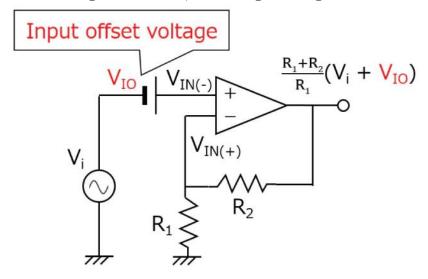
3) Offset

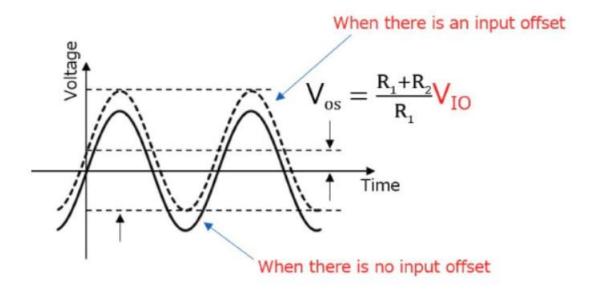
Bởi không có khái niệm Z=0 hay $Z=\infty$, vì vậy điện áp vào và điện áp ra sẽ có một chút thay đổi, sự thay đổi so với lý tưởng, cụ thể là điện áp vào offset, dòng offset, và điện áp ra offset

- Điện áp vào offset

Khi chưa có nguồn Uv nào cho IC thì bản thân con IC đã có một chút điện áp lệch đầu vào rồi, điện áp lệch này được gọi là điện áp vào offset

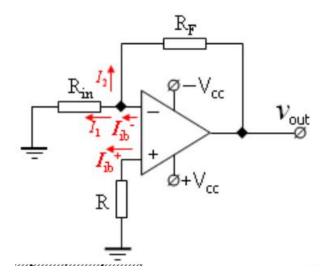
Điện áp vào offset được biểu thị bằng một nguồn điện áp mắc nối tiếp với cực đầu vào dương hoặc âm (nó tương đương về mặt toán học theo cả hai cách).





- Dòng điện bù đầu vào:

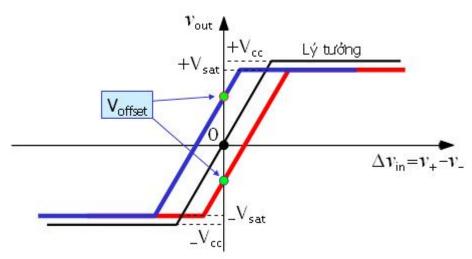
Trong Op-Amps lý tưởng, do tổng trở ngõ vào vô cùng lớn do đó dòng phân cực ngõ vào bằng 0. Nhưng với Op-Amps thực tế thì không được như vậy, dòng điện ngõ vào vẫn tồn tại khá nhỏ (hàng trăm nA). Mặt khác do các linh kiện bện trong mạch không hoàn toàn đối xứng nên giá trị hai dòng này cũng không bằng nhau và lượng chênh lệch giữa chúng được gọi là dòng chênh lệch ngõ vào (input offset current). Minh hoạ qua hình sau :



Dòng điện phân cực ngõ vào là giá trị trung bình của hai dòng nền ngõ vào. $I(bias) = \frac{I(ib-) + I(ib+)}{2}$

- Điện áp ra offset:

Trong Op-Amps lý tưởng khi Δ Vin=0 thì Vout=0. Nhưng với Op-Amps thực tế thì không được như vậy. Do các linh kiện bện trong mạch không hoàn toàn đối xứng, ảnh hưởng lớn nhất trong op-amps đó là mạch khuếch đại vi sai ở ngõ vào nên lúc này ngõ ra vẫn xuất hiện một điện áp khác 0, gọi là điện áp lệch không ngõ ra Voffset (output offset voltage).



- Trong Datasheet, có thể xem các thông số này với các ký hiệu tương ứng:

<u> </u>		<u> </u>	•		<u>.• </u>		
Input offset voltage	$V_{CC} = 5 \text{ V to MAX},$ $V_{IC} = V_{ICR(min)},$ $V_{O} = 1.4 \text{ V}$	25°C	3	5	3	7	mV
		Full range		7		9	
·*·p	111						
Input offset current	V- 14V	25°C	2	30	2	50	
	V _O = 1.4 V	Full range		100		150	nA
	Input offset voltage	Input offset voltage $ \begin{array}{c} V_{CC} = 5 \text{ V to MAX}, \\ V_{IC} = V_{ICR(min)}, \\ V_{O} = 1.4 \text{ V} \end{array} $	Input offset voltage $V_{CC} = 5 \text{ V to MAX}, V_{IC} = V_{ICR(min)}, V_{O} = 1.4 \text{ V}$ Full range $V_{CC} = 5 \text{ V to MAX}, V_{IC} = V_{ICR(min)}, V_{O} = 1.4 \text{ V}$	Input offset voltage $V_{CC} = 5 \text{ V to MAX}, V_{IC} = V_{ICR(min)}, V_{O} = 1.4 \text{ V}$ Full range $V_{CC} = 5 \text{ V to MAX}, V_{CC} = 5 V to$	Input offset voltage $V_{CC} = 5 \text{ V to MAX}, V_{IC} = V_{ICR(min)}, V_{O} = 1.4 \text{ V}$ Full range 7 Input offset current $V_{CC} = 1.4 \text{ V}$ 7 7 7 7 7 7 7	Input offset voltage $V_{CC} = 5 \text{ V to MAX}, V_{IC} = V_{ICR(min)}, V_{O} = 1.4 \text{ V}$ Z5°C 3 5 3 Full range 7 Z5°C 2 30 2	Input offset voltage V _{CC} = 5 V to MAX, V _{IC} = V _{ICR(min)} , V _O = 1.4 V 25°C 3 5 3 7 9

Voo (Voutput offset) thì có thể được đo dễ dàng bằng cách cho hai chân âm và dương của KĐTT nối chung với đất, sau đó đo Ura.

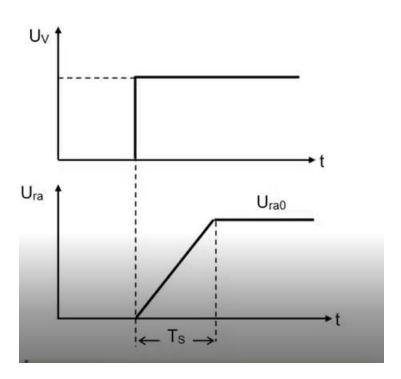
Điện áp ra offset được sinh ra bởi 2 yếu tố V_{IO} và I_{IO} :

$$U_{raoffset} = |U_{raoffset}(U_{Voffset})| + |U_{raoffset}(I_{Voffset})|$$

4) Tốc độ

- Tốc độ đáp ứng đầu ra S - Slew Rate:

Tốc độ đáp ứng đầu ra khi đầu vào thay đổi . Về mặt lý tưởng thì khi đầu vào thay đổi đầu ra có thể thay đổi ngay theo đầu vào , nhưng thực tế thì sẽ mất một khoảng thời gian để đầu ra từ vị trí điện áp thấp nhất có thể đạt đến trạng thái điện áp cao nhất



$$s = \frac{U_{ra0}}{T_S} = > Thời gian đi lên $T_S = \frac{U_{ra0}}{S}$$$

- Tốc độ biến đổi điện áp:

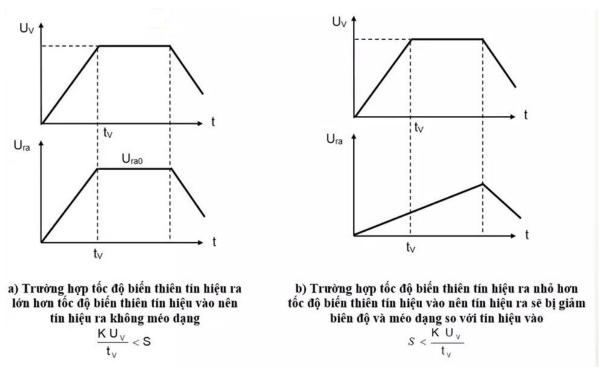
Điện thế của op-amp không thể tăng đột ngột lên trị số cao mà phải mất một thời gian đủ để điện áp đi từ tín hiệu thấp đến tín hiệu cao và ngược lại . Đặc tính này được đo bằng vận tốc tăng thế và có đơn vị là v/μs

Có
$$U_{ra} = K U_v$$

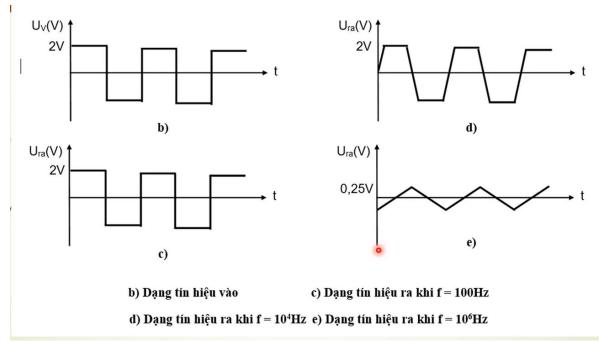
Chia cả 2 vế cho t_v có : $\frac{U_{ra0}}{t_v} = \frac{K.U_v}{t_v}$

Tỷ số $\frac{U_{ra}}{t_v}$ là giá trị đặc trưng cho đại lượng S với thời gian đi lên là t_v

So sánh giá trị này với S. Nếu tốc độ đáp ứng $S \geq \frac{K.U_v}{t_v}$ thì tín hiệu đầu ra đáp ứng kịp với tốc độ biến đổi của tín hiệu đầu vào , không bị giảm biên độ . Ngược lại nếu tốc độ đáp ứng $S < \frac{K.U_v}{t_v}$ thì tín hiệu đầu ra không đáp ứng kịp với tốc độ biến đổi của tín hiệu vào nên biên độ sẽ bị giảm . Hai trường hợp này được mô tả như sau :



Ví dụ ảnh hưởng của tín hiệu đầu vào:



- Tần số cực đại của tín hiệu:

Tốc độ biến thiên cực đại của tín hiệu sẽ bằng:

Có
$$\frac{dU_{ra}}{dt} = \frac{dU_{m.sin}(2\pi ft)}{dt} = 2\pi f. U_{m.cos}(2\pi ft)$$

với
$$U_{ra} = U_m$$
. $sin(2\pi ft)$

Suy ra tốc độ biến thiên cực đại là : $2\pi {
m f.}~U_m$

Giá trị này phải nhỏ hơn hoặc bằng S của KĐTT thì tín hiệu khuếch đại mới không bị biến dạng : $2\pi {\rm f.}~U_m \le {\rm S}$

Từ đây rút ra được tần số cực đại giới hạn bởi tốc độ đáp ứng là:

$$f_{smax} = \frac{S}{2\pi \cdot U_m} \qquad \text{(Hz)}$$

Từ đây ta thấy biên độ ra càng lớn thì tần số tối đa của mạch càng giảm

- Có thể tìm được tốc độ đáp ứng đầu ra ở Datasheet:

		1201 00110110110	2.22	· · · · ·
SR	Slew rate at unity gain	$R_L = 1 \text{ M}\Omega$, $C_L = 30 \text{ pF}$, $V_I = \pm 10 \text{ V}$ (see Figure 1)	0.3	V/µs

- 5) Tích dải thông độ lợi vòng hở Gain Bandwith Product
- Độ rộng dải tần là mức chênh lệnh giữa tần số cao nhất và thấp nhất có trên một kênh truyền thông. Phạm vi tần số này được đo bằng hertz

Tần số đơn vị f_1 : là tần số mà tại đó hệ số khuếch đại giảm còn bằng 1

Tần số cắt f_c : là tần số mà tại đó hệ số khuếch đại giảm đi $\sqrt{2}$ lần

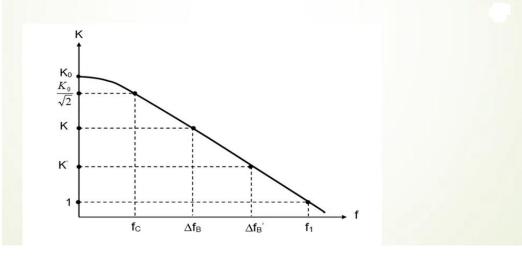
- Độ lợi vòng hở K_0 trên Datasheet :

A _{VD}	Large-signal			25 100		1//1/
	differential $V_O = 1 \text{ V to } 11 \text{ V},$ voltage amplification $R_L \ge 2 \text{ k}\Omega$	Full range	15		V/mV	

Nghĩa là điện áp ra tăng 100 V trên mỗi mV , từ đó tính được độ lợi điện áp vòng hở là $K_0=\frac{100}{0.001}=100.000$

- Tích dải thông độ lợi vòng hở - Gain Bandwith Product : với một mạch khuếch đại , giá trị này không đổi

GBP= Hệ số khuếch đại x Dải thông= Constant = $K \times \Delta f_B = 1 \times f_1$

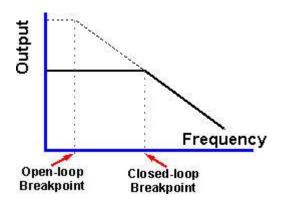


-> Trong Datasheet : .

		\ <i>\</i>		
B ₁	Unity-gain bandwidth	$R_L = 1 M\Omega$, $C_L = 20 pF$ (see Figure 1)	0.7	MHz
		D 400 0 1/ 01// 4111		

Có thể tính fc bằng cách : $f_c = \frac{GBP}{\frac{K}{\sqrt{2}}}$

- Đáp ứng tần số: với hệ số khuếch đại vòng kín



Thường thì thiết kế hệ số khuếch đại vòng kín nhỏ hơn hoặc bằng 1/10 hệ số khuếch đại vòng hở để mở rộng hệ số fc (vùng khuyếch đại ổn định) Với hệ số khuếch đại vòng kín thì f_c có thể tính toán tùy theo mạch .

- Giải thích hiện tượng tần số càng cao thì hệ số khuyếch đại càng giảm : Hiện tượng tụ ký sinh : khi có 2 dòng diện chạy song song với nhau thì nếu f càng cao thì sẽ tạo ra điện từ trường => đẩy dòng diện chạy từ dây này sang dây bên kia . Hiện tượng này cũng tương tự với một con tụ bình thường là tần số càng cao thì dung kháng càng thấp

Bản thân con KĐTT gồm rất nhiều linh kiện rất bé, bản thân nó cũng khá nhỏ nên xảy ra hiện tượng tụ ký sinh dòng điện chạy qua xung quanh

6) Tỉ số nén mode chung CMRR , hay tỉ số loại trừ nhiễu chung Trong thực tế mạch khuếch đại luôn có nhiễu U_{vc} vào cả 2 đầu (trường hợp mắc mạch Op-Amp theo kiểu mode chung) , nghĩa là mạch sẽ khuếch đại cả tín hiệu nhiễu theo hệ số khuếch đại mode chung K_c

Từ đó U_{ra} trong thực tế được tính bằng công thức :

$$U_{ra} = K_{vs}.U_{vvs} + K_c.U_{vc}$$

Tỉ số nén mode chung CMRR thể hiện tương quan giữa độ khuếch đại tín hiệu vi sai cần quan tâm và độ khuếch đại mode chung

Có CMRR =
$$\frac{K_{vs}}{K_c}$$

Tính bằng đơn vị dB : CMRR =20 $log_{10}(\frac{K_{vs}}{K_c})$

(CMRR thường rất lớn từ khoảng 70-120 dB)

CMRR càng lớn thì khả năng IC tách được tín hiệu nhiễu càng lớn Tuy nhiên vì tần số càng cao độ lợi càng nhỏ, nên tần số càng cao CMRR cũng thay đổi, cụ thể là nhỏ đi

- Hê số nén mode chung trong Datasheet :

1	voltage amplification	UF < ₹ ¥74		(55)		3.5		1 1
CMRR	Common-mode rejection ratio	$V_{CC} = 5 \text{ V to MAX},$ $V_{IC} = V_{ICR(min)}$	25°C	70	80	65	80	dB