



DAVICOM Semiconductor, Inc.

DM9000A

Ethernet Controller

with General Processor Interface

DATA SHEET

(中文数据手册)

Preliminary

Version: DM9000A-DS-P03

Apr. 21, 2005

目 录

| | |
|---|----|
| 1. 概述 | 5 |
| 2. 模块图 | 5 |
| 3. 特性 | 5 |
| 4. 引脚配置 | 6 |
| 4.1 (16 位模式) | 6 |
| 4.2 (8 位模式) | 7 |
| 5. 引脚描述 | 7 |
| 5.1 处理器接口 | 7 |
| 5.1.1 8 位模式引脚 | 8 |
| 5.2 EEPROM 接口 | 8 |
| 5.3 时钟引脚 | 9 |
| 5.4 LED 接口 | 9 |
| 5.5 10/100 PHY/Fiber | 9 |
| 5.6 其他 | 10 |
| 5.7 电源引脚 | 10 |
| 5.8 捆绑引脚列表 (Strap pins table) | 10 |
| 6. 控制和状态寄存器列表 | 10 |
| 6.1 网络控制寄存器 (NCR) | 12 |
| 6.2 网络状态寄存器 (NSR) | 13 |
| 6.3 发送控制寄存器 (TCR) | 13 |
| 6.4 数据包 1 发送状态寄存器 1 (TSR I) | 13 |
| 6.5 数据包 2 发送状态寄存器 2 (TSR II) | 14 |
| 6.6 接收控制寄存器 (RCR) | 14 |
| 6.7 接收状态寄存器 (RSR) | 15 |
| 6.8 接收溢出计数寄存器 (ROCR) | 15 |
| 6.9 背压阈值寄存器 (BPTR) | 15 |
| 6.10 流控制阈值寄存器 (FCTR) | 16 |
| 6.11 接收/发送流控制寄存器 (RTFCR) | 16 |
| 6.12 EEPROM 与 PHY 控制寄存器 (EPCR) | 17 |
| 6.13 EEPROM 与 PHY 地址寄存器 (EPAR) | 17 |
| 6.14 EEPROM 与 PHY 数据寄存器 (EPDRL/EPDRH) | 18 |
| 6.15 唤醒控制寄存器 (WCR) | 18 |
| 6.16 物理地址 (MAC) 寄存器 (PAR) | 18 |
| 6.17 多播地址寄存器 (MAR) | 19 |
| 6.18 通用目的控制寄存器 (GPCR) | 19 |
| 6.19 通用目的寄存器 (GPR) | 19 |
| 6.20 TX SRAM 读指针地址寄存器 (TRPAL/TRPAH) | 20 |
| 6.21 RX SRAM 写指针地址寄存器 (RWPAL/RWPAH) | 20 |
| 6.22 厂家 ID 寄存器 (VID) | 20 |
| 6.23 产品 ID 寄存器 (PID) | 20 |
| 6.24 芯片版本寄存器 (CHIPR) | 20 |
| 6.25 发送控制寄存器 2 (TCR2) | 20 |

| | |
|---|-----------|
| 6.26 操作测试控制寄存器 (OCR) | 21 |
| 6.27 特殊模式控制寄存器 (SMCR) | 21 |
| 6.28 即将发送控制/状态寄存器 (ETXCSR) | 22 |
| 6.29 校验和控制寄存器 (TCSCR) | 22 |
| 6.30 接收校验和控制状态寄存器 (RCSCSR) | 22 |
| 6.31 内存数据预取读命令寄存器 (地址不加 1) (MRCMDX) | 23 |
| 6.32 内存数据读命令寄存器 (地址不加 1) (MRCMDX1) | 23 |
| 6.33 内存数据读命令寄存器 (地址加 1) (MRCMD) | 23 |
| 6.34 内存数据读地址寄存器 (MRRL/ MRRH) | 23 |
| 6.35 内存数据写命令寄存器 (地址不加 1) (MWCMDX) | 23 |
| 6.36 内存数据写命令寄存器 (地址加 1) (MWCMD) | 24 |
| 6.37 内存数据写地址寄存器 (MWRL/ MWRH) | 24 |
| 6.38 发送数据包长度寄存器 (TXPLL/TXPLH) | 24 |
| 6.39 中断状态寄存器 (ISR) | 24 |
| 6.40 中断屏蔽寄存器 (IMR) | 24 |
| 7. EEPROM 格式 | 25 |
| 8. PHY 寄存器描述 | 26 |
| 8.1 基本模式控制寄存器 (BMCR) | 27 |
| 8.2 基本模式状态寄存器 (BMSR) | 28 |
| 8.3 PHY ID 标识符寄存器#1 (PHYID1) | 29 |
| 8.4 PHY ID 标识符寄存器#2 (PHYID1) | 29 |
| 8.5 自动协商通知寄存器 (ANAR) | 30 |
| 8.6 自动协商连接对象寄存器 (ANLPAR) | 31 |
| 8.7 自动协商扩展寄存器 (ANER) | 32 |
| 8.8 DAVICOM 指定配置寄存器 (DSCR) | 33 |
| 8.9 DAVICOM 指定配置和状态寄存器 (DSCSR) | 34 |
| 8.10 10BASE-T 配置/状态 (10BTCSR) | 36 |
| 8.11 掉电控制寄存器 (PWDOR) | 36 |
| 8.12 指定配置寄存器 (SCR) | 37 |
| 9. 功能描述 | 38 |
| 9.1 主机接口 (HI) | 38 |
| 9.2 直接内存访问控制 (DMAC) | 38 |
| 9.3 数据包发送 (PT) | 38 |
| 9.4 数据包接收 (PR) | 38 |
| 9.5 100Base-TX 操作 | 39 |
| 9.5.1 4B5B 编码器 | 39 |
| 9.5.2 扰频器 (Scrambler) | 39 |
| 9.5.3 并--串转换 | 39 |
| 9.5.4 NRZ 码到 NRZI 码转换 | 39 |
| 9.5.5 NRZI 码到 MLT-3 码转换 | 39 |
| 9.5.6 MLT-3 驱动 | 39 |
| 9.5.7 4B5B 编码 | 40 |
| 9.6 100Base-TX 接收器 | 40 |
| 9.6.1 信号检测 | 41 |

| | |
|---|-----------|
| 9.6.2 自适应补偿..... | 41 |
| 9.6.3 MLT-3 到 NRZI 解码 | 41 |
| 9.6.4 时钟复原模块..... | 41 |
| 9.6.5 NRZI 到 NRZ | 41 |
| 9.6.6 串一并转换..... | 41 |
| 9.6.7 扰频器..... | 41 |
| 9.6.8 编码组对齐模块..... | 41 |
| 9.6.9 4B5B 解码 | 42 |
| 9.7 10Base-T 操作 | 42 |
| 9.8 冲突检测..... | 42 |
| 9.9 载波检测..... | 42 |
| 9.10 自动协商..... | 42 |
| 9.11 省电模式..... | 42 |
| 9.11.1 掉电模式..... | 43 |
| 9.11.2 降低发送损耗模式..... | 43 |
| 10 DC 与 AC 电器特性..... | 43 |
| 10.1 最大绝对额定值..... | 43 |
| 10.1.1 工作条件..... | 43 |
| 10.2 DC 电器特性 (VDD=3.3V) | 44 |
| 10.3 AC 电器特性与时序 | 44 |
| 10.3.1 TP 接口 | 44 |
| 10.3.2 晶振/振荡时钟..... | 44 |
| 10.3.3 I/O 读时序 | 45 |
| 10.3.4 I/O 写时序 | 45 |
| 10.3.5 EEPROM 接口时序..... | 46 |
| 11 应用说明..... | 46 |
| 11.1 网络接口信号接线..... | 46 |
| 11.2 10Base-T/100Base-TX 自动 MDIX 应用 | 47 |
| 11.3 10Base-T/100Base-TX 无自动 MDIX 变压器应用 | 47 |
| 11.4 电源退偶电容 | 47 |
| 11.5 地平面布局..... | 48 |
| 11.6 电源平面分割..... | 49 |
| 11.7 铁氧体磁珠选择指导 | 50 |
| 11.8 晶振选择指导..... | 50 |
| 12 封装信息 | 50 |
| 13 订购信息 | 52 |



DM9000A

翻译人：许建华、刘煜、程志成

2009-9-1

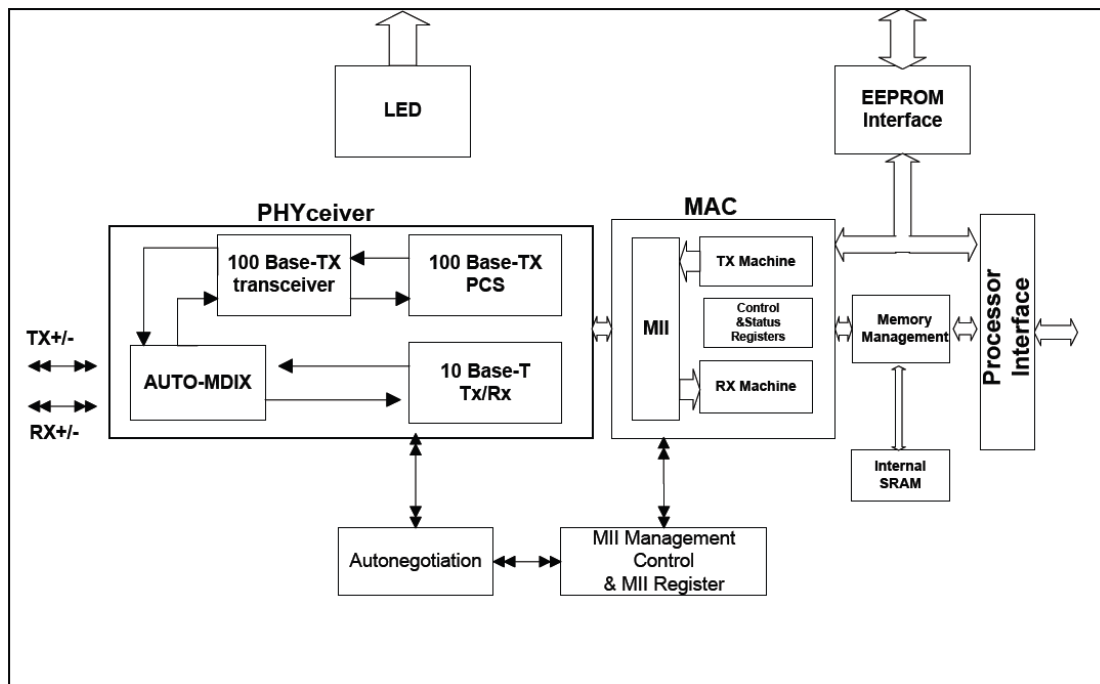
版 权：翻译版权归作者三方所有，不得随意传播。

1. 概述

DM9000A 是一款完全集成的、性价比高、引脚数少、带有通用处理器接口的单芯片快速以太网控制器。一个 10/100M PHY 和 4K 双字的 SRAM。它是出于低功耗和高性能目的设计的，其 IO 端口支持 3.3V 与 5V 容限值。

DM9000A 为适应各种处理器，提供了 8 位、16 位数据接口访问内部存储器。DM9000A 物理协议层接口完全支持使用 10MBps 下 3 类、4 类、5 类非屏蔽双绞线和 100MBps 下 5 类非屏蔽双绞线。这是完全遵照 IEEE 802.3u 标准。它的自动协商功能将自动完成 DM9000A 配置以使其发挥出最佳性能。它还支持 IEEE 802.3x 全双工流量控制。

2. 模块图



3. 特性

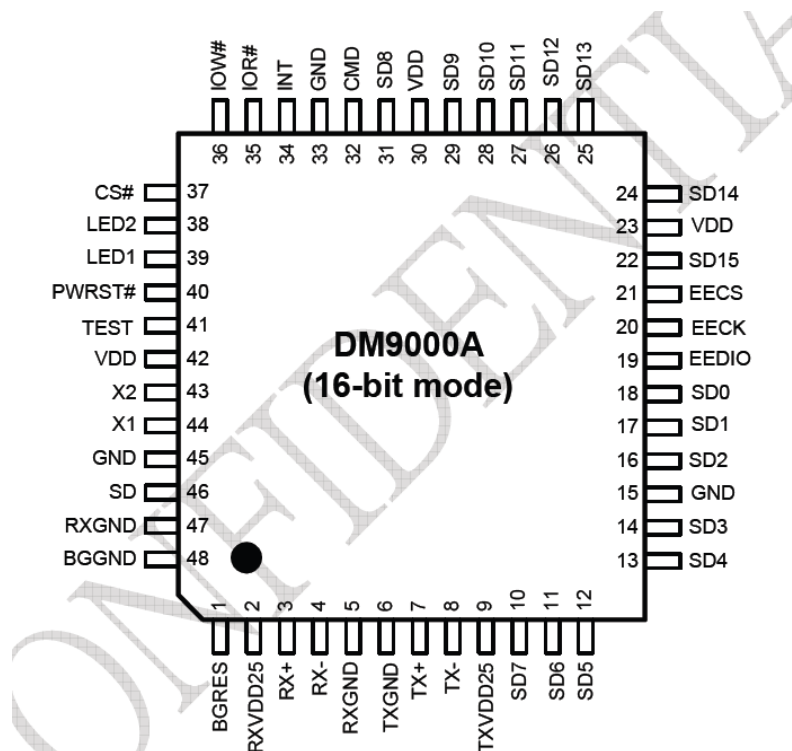
- 48 脚 LQFP 封装
- 支持处理器接口：I/O 口的字节或字命令对内部存储器进行读写操作
- 集成自适应（AUTO-MDIX）10/100M 收发器

- 半双工模式流量控制的背压模式
- IEEE802.3x 全双工模式的流量控制
- 支持唤醒帧，链路状态改变和远程唤醒
- 内置 16K 字节 SRAM
- 内置 3.3V 至 2.5V 的调节器
- 支持即将发送
- 支持 IP/TCP/UDP 的校验和生成以及校验
- 支持自动加载 EEPROM 里面生产商 ID 和产品 ID
- 可选 EEPROM 配置
- 超低功耗模式
 - A. 功率降低模式（电缆侦测）
 - B. 掉电模式
 - C. 可选择 1: 1 或 1.25: 1 变压比例降低额外功率
- 兼容 3.3v 和 5.0v 输入输出电压

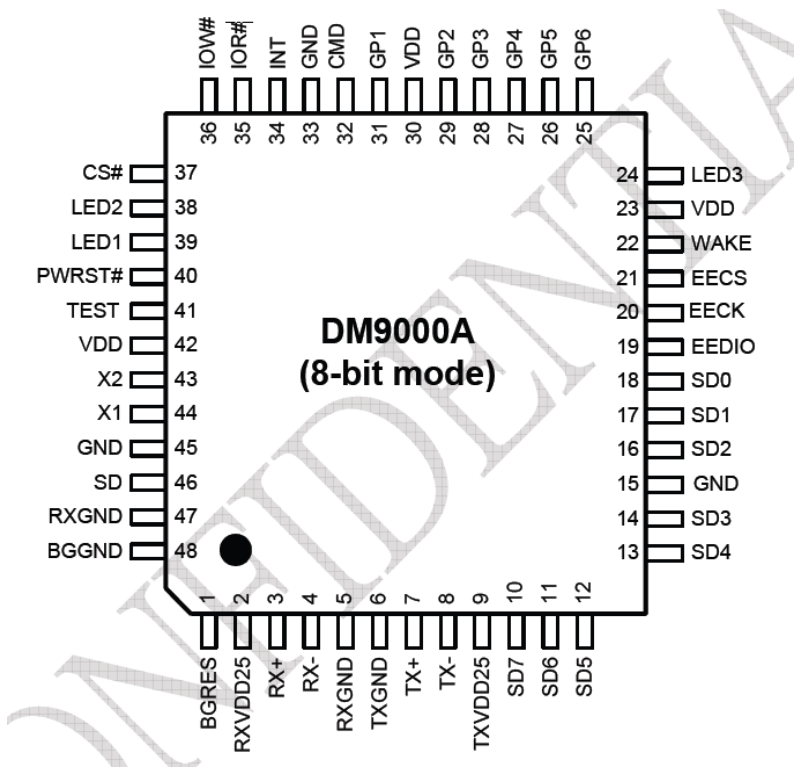
4. 引脚配置

4.1（16 位模式）

注意：16 位的模式和 8 位模式的引脚对应内容并不一样



4.2（8 位模式）



5. 引脚描述

I = 输入， O = 输出， I/O = 输入/输出， O/D = 漏极开路， P = 电源， # =理论低电平， PD=内置 60K 下拉电阻

5.1 处理器接口

| 引脚号 | 名称 | 类型 | 描述 |
|-----|------|------|--|
| 35 | IOR# | I,PD | 处理器读命令； 低电平有效，极性能够被 EEPROM 修改，详细请参考对 EEPROM 内容的描述。 |
| 36 | IOW# | I,PD | 处理器写命令； 低电平有效，极性能够被 EEPROM 修改，详细请参考对 EEPROM 内容的描述。 |
| 37 | CS# | I,PD | 片选； 低电平有效，来选中 DM9000A 。极性能够被 EEPROM 修改，详细请参考对 EEPROM 内容的描述。 |
| 32 | CMD | I,PD | 命令类型； 高电平是访问数据端口，低电平是访问地址端口。 |
| 34 | INT | O,PD | 中断请求信号； 高电平有效，极性能修改通过 EEPROM 或者 EECK 引脚 |

| | | | |
|-------------------------|--------|--------|--|
| | | | 来修改，详细请参考对 EEPROM 内容的描述 |
| 18,17,16,14,13,12,11,10 | SD0~7 | I,O,PD | 处理器数据总线 0~7; |
| 31,29,28,27,26,25,24,22 | SD8~15 | I,O,PD | 处理器数据总线 8~15; 在 16 位模式下，这些引脚被作为数据位 8~15。 当 EECS 引脚被上拉时 ，这些引脚另作它用，详细请参考对 8 位模式引脚的描述。 |

5.1.1 8 位模式引脚

| 引脚号 | 名称 | 类型 | 描述 |
|------------|-------------------------|------|--|
| 22 | WAKE (SD15) | O,PD | 当唤醒事件发生时，输出一个唤醒信号。 |
| 24 | LED3 (SD14) | O,PD | 全双工 LED; 在 LED 模式 1，它低电平输出代表内部 PHY 工作在全双工模式，悬空表示内部 PHY 工作在半双工模式。 在 LED 模式 0，它低电平输出代表内部 PHY 工作在 10M 模式，悬空表示内部 PHY 工作在 100M 模式。 注意： LED 模式在 EEPROM 中设置 |
| 25, 26, 27 | GP6,GP5,GP4 (SD13~SD11) | O,PD | 通用输出引脚; 这些引脚可在寄存器 GPR (1FH) 中设置用于通用目的的输出引脚。这些引脚默认为输出。 GP6 引脚也可作为 INT 输出类型的捆绑引脚; 当 GP6 被置高，INT 作为开漏输出类型，否则作为强制输出类型。 |
| 28, 29, 31 | GP3,GP2,GP1 (SD10~SD8) | I/O | 通用 I/O 引脚; 寄存器 GPCR 和 GPR 可以用来编程这些引脚，这些引脚默认为输入。 |

5.2 EEPROM 接口

| 引脚号 | 名称 | 类型 | 描述 |
|-----|-------|--------|---|
| 19 | EEDIO | I/O,PD | EEPROM 数据输入、输出引脚。 |
| 20 | EECK | O,PD | EEPROM 时钟信号; 该引脚也被用于中断极性的设置。当这个引脚为上拉高电平时，中断低有效，否则中断引脚高有效。 |
| 21 | EECS | O,PD | EEPROM 片选信号; 该引脚也被用于设置内部存储器数据总线宽度。当引脚为上拉高电平时，总线为 8 位，否则为 16 位。 |

5.3 时钟引脚

| 引脚号 | 名称 | 类型 | 描述 |
|-----|----|----|----------|
| 43 | X2 | O | 25M 晶振输出 |
| 44 | X1 | I | 25M 晶振输入 |

5.4 LED 接口

| 引脚号 | 名称 | 类型 | 描述 |
|-----|------|----|---|
| 39 | LED1 | O | 速度 LED; 低电平输出表示内部 PHY 工作于 100M/s 的速率下, 悬空表示内部 PHY 工作于 10M/s 的速率下。 该引脚可以在 16 位模式下作为 ISA 总线 IO16(在 EEPROM 里设置) |
| 38 | LED2 | O | 连接/运行 LED; 在 LED 模式 1, 它作为 PHY 链路通断和载波侦测的公用灯 在 LED 模式 0, 它作为 PHY 载波侦测的专用灯 该引脚可以在 16 位模式下作为 ISA IOWAIT 或者 WAKE (在 EEPROM 里设置) |

5.5 10/100 PHY/Fiber

| 引脚号 | 名称 | 类型 | 描述 |
|-------|---------|-----|-----------------------------------|
| 46 | SD | I | 光纤信号检测; PECL 电平信号, 显示光纤接收是否有效。 |
| 48 | BGGND | P | 能带隙地信号 |
| 1 | BGRES | I/O | 能带隙引脚 |
| 2 | RXVDD25 | P | 2.5V 接收端口电源 |
| 9 | TXVDD25 | P | 2.5V 发送端口电源 |
| 3 | RXI+ | I/O | 物理层接收端的正极 |
| 4 | RXI- | I/O | 物理层接收端的负极 |
| 5, 47 | RXGND | P | 接收端口地 |
| 6 | TXGND | P | 发送端口地 |
| 7 | TX+ | I/O | 物理层发送端口正极 |
| 8 | TX- | I/O | 物理层发送端口负极 |

5.6 其他

| 引脚号 | 名称 | 类型 | 描述 |
|-----|--------|----|--|
| 41 | TEST | I | 操作模式； 在正常模式时被强制置接地。 |
| 40 | PWRST# | I | 复位信号； 复位 DM9000， 低电平有效。 该引脚被置上后 DM9000A 将在 5us 后完成初始化。 |

5.7 电源引脚

| 引脚号 | 名称 | 类型 | 描述 |
|------------|-----|----|-------------------|
| 23, 30, 42 | VDD | P | 数字电源 3.3V 电源输入 |
| 15, 33, 45 | GND | P | 数字地 |

5.8 捆绑引脚列表（Strap pins table）

1:上拉 1K~10K, 0: 浮空（默认）

| 引脚号 | 名称 | 描述 |
|-----|------|---|
| 20 | EECK | 中断极性 1=中断引脚低有效 0=中断引脚高有效 |
| 21 | EECS | 数据宽度 1=8 位 0=16 位 |
| 25 | GP6 | 在 8 位模式下，INT 引脚输出类型 1=开漏输出 0=强制输出 |

6. 控制和状态寄存器列表

DM9000A 拥有一系列的控制和状态寄存器，这些寄存器可以被处理器所访问。这些寄存器是按字节对齐的。所有的 CSRs 在软件或者硬件复位后都将被置为默认值，除非他们被另外标识。

| 编号 | 寄存器 | 描述 | 偏移地址 | 复位后默认值 |
|----|-----|---------|------|--------|
| 1 | NCR | 网络控制寄存器 | 00H | 00H |
| 2 | NSR | 网络状态寄存器 | 01H | 00H |

| | | | | |
|----|---------|-----------------------|---------|-------------|
| 3 | TCR | 发送控制寄存器 | 02H | 00H |
| 4 | TSR I | 发送状态寄存器 1 | 03H | 00H |
| 5 | TSR II | 发送状态寄存器 2 | 04H | 00H |
| 6 | RCR | 接收控制寄存器 | 05H | 00H |
| 7 | RSR | 接收状态寄存器 | 06H | 00H |
| 8 | ROCR | 接收溢出计数寄存器 | 07H | 00H |
| 9 | BPTR | 背压阈值寄存器 | 08H | 37H |
| 10 | FCTR | 流控制阈值寄存器 | 09H | 38H |
| 11 | FCR | TX/RX 流控制寄存器 | 0AH | 00H |
| 12 | EPCR | EEPROM&PHY 控制寄存器 | 0BH | 00H |
| 13 | EPAR | EEPROM&PHY 地址寄存器 | 0CH | 40H |
| 14 | EPDRL | EEPROM&PHY 低字节数据寄存器 | 0DH | XXH |
| 15 | EPDRH | EEPROM&PHY 高字节数据寄存器 | 0EH | XXH |
| 16 | WCR | 唤醒控制寄存器 | 0FH | 00H |
| 17 | PAR | 物理地址寄存器 | 10H~15H | 由 EEPROM 决定 |
| 18 | MAR | 广播地址寄存器 | 16H~1DH | XXH |
| 19 | GPCR | 通用目的控制寄存器 (8bit 模式) | 1EH | 01H |
| 20 | GPR | 通用目的寄存器 | 1FH | XXH |
| 21 | TRPAL | TX SRAM 读指针地址低字节 | 22H | 00H |
| 22 | TRPAH | TX SRAM 读指针地址高字节 | 23H | 00H |
| 23 | RWPAL | RX SRAM 写指针地址低字节 | 24H | 00H |
| 24 | RWPAH | RX SRAM 写指针地址高字节 | 25H | 0CH |
| 25 | VID | 厂家 ID | 28H~29H | 0A46H |
| 26 | PID | 产品 ID | 2AH~2BH | 9000H |
| 27 | CHIPR | 芯片版本 | 2CH | 18H |
| 28 | TCR2 | 发送控制寄存器 2 | 2DH | 00H |
| 29 | OCR | 操作控制寄存器 | 2EH | 00H |
| 30 | SMCR | 特殊模式控制寄存器 | 2FH | 00H |
| 31 | ETXCSR | 即将发送控制/状态寄存器 | 30H | 00H |
| 32 | TCSCR | 发送校验和控制寄存器 | 31H | 00H |
| 33 | RCSCR | 接收校验和控制状态寄存器 | 32H | 00H |
| 34 | MRCMDX | 内存数据预取读命令寄存器 (地址不加 1) | F0H | XXH |
| 35 | MRCMDX1 | 内存数据读命令寄存器 (地址不加 1) | F1H | XXH |
| 36 | MRCMD | 内存数据读命令寄存器 (地址加 1) | F2H | XXH |
| 37 | MRRL | 内存数据读地址寄存器低字节 | F4H | 00H |
| 38 | MRRH | 内存数据读地址寄存器高字节 | F5H | 00H |
| 39 | MWCMDX | 内存数据写命令寄存器 (地址不加 1) | F6H | XXH |
| 40 | MWCMD | 内存数据写命令寄存器 (地址加 1) | F8H | XXH |
| 41 | MWRL | 内存数据写地址寄存器低字节 | FAH | 00H |
| 42 | MWRH | 内存数据写地址寄存器高字节 | FBH | 00H |
| 43 | TXPLL | TX 数据包长度低字节寄存器 | FCH | XXH |

| | | | | |
|----|-------|----------------|-----|-----|
| 44 | TXPLH | TX 数据包长度高字节寄存器 | FDH | XXH |
| 45 | ISR | 中断状态寄存器 | FEH | 00H |
| 46 | IMR | 中断屏蔽寄存器 | FFH | 00H |

关于默认值的要点 (Key to Default)

在下面寄存器描述中，默认栏采用如下形式：

<Reset Value>, <Access Type>

其中 <Reset Value>

- 1 该位设为逻辑 1
- 0 该位设为逻辑 0
- X 没有默认值
- P 电源复位恢复默认值
- H 硬件复位恢复默认值
- S 软件复位恢复默认值
- E 从 EEPROM 得到默认值
- T 从捆绑引脚 (strap pin) 得到默认值

<Access Type>:

RO = 只读

RW = 可读可写

R/C = 可读/擦除

RW/C1=可读可写/通过写1擦除

WO = 只写

保留位被隐藏且应写 0，在读访问时保留位没有定义。

6.1 网络控制寄存器 (NCR)

Network Control Register (00H)

| Bit | Name | Default | Description |
|------|----------|--------------|---|
| 7 | RESERVED | X,RO | 保留 |
| 6 | WAKEEN | P0,RW | 在 8 位工作模式下，唤醒事件使能； 当设置 1 时，使能唤醒事件功能；清除该位将会清除所有唤醒事件的状态； 该位不会受到软件复位的影响； |
| 5 | RESERVED | 0,RO | 保留 |
| 4 | FCOL | PHS0,RW | 强制冲突模式，用于检测。 |
| 3 | FDX | PHS0,RO | 内部 PHY 全双工模式 |
| 2: 1 | LBK | PHS00, RW | 回环模式 (Loopback) 00 正常； 01 MAC 内部回环； 10 内部 PHY 100M 模式数字回环； 11 保留； |
| 0 | RST | PH0,RW | 置 1 软件复位，10us 后自动清零。 |

6.2 网络状态寄存器（NSR）

Network Status Register (01H)

| Bit | Name | Default | Description |
|-----|----------|----------------|---|
| 7 | SPEED | X,RO | 媒介速度,在内部PHY激活情况下,0表示100Mbps,1表示10Mbps。当LINKST=0时,此位无意义。 |
| 6 | LINKST | X,RO | 连接状态,0为连接失败,1为已连接。 |
| 5 | WAKEST | P0, RW/C1 | 唤醒事件状态。读取或写1将清除该位(工作在8位模式下)。软件复位后该位不受影响。 |
| 4 | RESERVED | 0,RO | 保留 |
| 3 | TX2END | PHS0, RW/C1 | TX(发送)数据包2完成标志。读取或写1将清零该位,数据包2传输完成。 |
| 2 | TX1END | PHS0, RW/C1 | TX(发送)数据包1完成标志。读取或写1将清零该位,数据包1传输完成。 |
| 1 | RXOV | PHS0,RO | RX(接收)FIFO(先进先出缓存)溢出标志。 |
| 0 | RESERVED | 0,RO | 保留 |

6.3 发送控制寄存器（TCR）

TX Control Register (02H)

| Bit | Name | Default | Description |
|-----|----------|---------|---|
| 7 | RESERVED | 0,RO | 保留 |
| 6 | TJDIS | PHS0,RW | Jabber 传输禁止 1=禁止 Jabber 传输定时器 (2048 字节); 0=使能; |
| 5 | EXCECM | PHS0,RW | 严重冲突模式控制。 0=当冲突计数多于 15 则终止本次数据包; 1=始终尝试发送本次数据包。 |
| 4 | PAD_DIS2 | PHS0,RW | 禁止为数据包 II 添加填充 |
| 3 | CRC_DIS2 | PHS0,RW | 禁止为数据包 II 添加 CRC 校验。 |
| 2 | PAD_DIS1 | PHS0,RW | 禁止为数据包 I 添加填充 |
| 1 | CRC_DIS1 | PHS0,RW | 禁止为数据包 I 添加 CRC 校验。 |
| 0 | TXREQ | PHS0,RW | TX(发送)请求。发送完成后自动清零该位。 |

6.4 数据包 I 发送状态寄存器 I（TSR I）

TX Status Register I for packet index I (03H)

| Bit | Name | Default | Description |
|-----|------|---------|---|
| 7 | TJTO | PHS0,RO | Jabber 传输超时。该位置位表示由于多于 2048 字节数据被传输而导致数据帧被截掉。 |
| 6 | LC | PHS0,RO | 载波信号丢失。 |

| | | | |
|------|----------|---------|--|
| | | | 该位置位表示在帧传输时发生载波信号丢失。在内部回环模式下该位无效。 |
| 5 | NC | PHS0,RO | 无载波信号。 该位置位表示在帧传输时无载波信号。在内部回环模式下该位无效。 |
| 4 | LC | PHS0,RO | 冲突延迟。该位置位表示在 64 字节的冲突窗口后又发生冲突。 |
| 3 | COL | PHS0,RO | 数据包冲突。 该位置位表示传输过程中发生冲突。 |
| 2 | EC | PHS0,RO | 额外冲突。该位置位表示由于发生了第 16 次冲突（即额外冲突）后，传送被终止。 |
| 1: 0 | RESERVED | 0,RO | 保留 |

6.5 数据包 II 发送状态寄存器 II (TSR II)

TX Status Register II for packet index II (04H)

| Bit | Name | Default | Description |
|------|----------|---------|---|
| 7 | TJTO | PHS0,RO | Jabber 传输超时。该位置位表示由于多于 2048 字节数据被传输而导致数据帧被截掉。 |
| 6 | LC | PHS0,RO | 载波信号丢失。 该位置位表示在帧传输时发生载波信号丢失。在内部回环模式下该位无效。 |
| 5 | NC | PHS0,RO | 无载波信号。 该位置位表示在帧传输时无载波信号。在内部回环模式下该位无效。 |
| 4 | LC | PHS0,RO | 冲突延迟。该位置位表示在 64 字节的冲突窗口后又发生冲突。 |
| 3 | COL | PHS0,RO | 数据包冲突。 该位置位表示传输过程中发生冲突。 |
| 2 | EC | PHS0,RO | 额外冲突。该位置位表示由于发生了第 16 次冲突（即额外冲突）后，传送被终止。 |
| 1: 0 | RESERVED | 0,RO | 保留 |

6.6 接收控制寄存器 (RCR)

RX Control Register (05H)

| Bit | Name | Default | Description |
|-----|----------|---------|--------------------------------------|
| 7 | RESERVED | PHS0,RW | 保留 |
| 6 | WTDIS | PHS0,RW | 看门狗定时器（2048 字节）禁止。 1 禁止，0 使能。 |
| 5 | DIS_LONG | PHS0,RW | 丢弃长数据包。 1 为丢弃数据包长度超过 1522 字节的数据包。 |

| | | | |
|---|---------|---------|-------------------------|
| 4 | DIS_CRC | PHS0,RW | 丢弃 CRC 校验错误数据包。 |
| 3 | ALL | PHS0,RW | 允许广播。 |
| 2 | RUNT | PHS0,RW | 允许小于最小长度的数据包。 |
| 1 | PRMSC | PHS0,RW | 各种模式 (Promiscuous Mode) |
| 0 | RXEN | PHS0,RW | 接收使能 |

6.7 接收状态寄存器 (RSR)

RX Status Register (06H)

| Bit | Name | Default | Description |
|-----|------|---------|--|
| 7 | RF | PHS0,RO | 超短数据帧 1=该位置位表示接收到小于 64 字节的帧。 |
| 6 | MF | PHS0,RO | 多点传送帧 1=该位置位表示接收到帧包含多点传送地址。 |
| 5 | LCS | PHS0,RO | 冲突延迟 1=该位置位表示在帧接收过程中发生冲突延迟。 |
| 4 | RWTO | PHS0,RO | 接收看门狗定时溢出 1=该位置位表示接收到大于 2048 字节数据帧。 |
| 3 | PLE | PHS0,RO | 物理层错误 1=该位置位表示在帧接收过程中发生物理层错误。 |
| 2 | AE | PHS0,RO | 对齐错误 (Alignment) 1=该位置位表示接收到的帧结尾处不是字节对齐,即不是以字节为边界对齐。 |
| 1 | CE | PHS0,RO | CRC 校验错误 1=该位置位表示接收到的帧 CRC 校验错误。 |
| 0 | FOE | PHS0,RO | 接收 FIFO 缓存溢出 1=该位置位表示在帧接收时发生 FIFO 溢出。 |

6.8 接收溢出计数寄存器 (ROCR)

Receive Overflow Counter Register (07H)

| Bit | Name | Default | Description |
|-----|------|----------|--|
| 7 | RXFU | PHS0,R/C | 接收溢出计数器溢出。 该位置位表示 ROC (接收溢出计数器) 发生溢出。 |
| 6:0 | ROC | PHS0,R/C | 接收溢出计数器。 该计数器为静态计数器,指示 FIFO 溢出后,当前接收溢出包的个数。 |

6.9 背压阈值寄存器 (BPTR)

Back Pressure Threshold Register (08H)

| Bit | Name | Default | Description |
|-----|------|---------|-------------|
|-----|------|---------|-------------|

| | | | |
|-----|------|-------------|--|
| 7:4 | BPHW | PHS3, RW | <p>背压阈值最高值。</p> <p>当接收 SRAM 空闲空间低于该阈值, 则 MAC 将产生一个拥挤状态。1=1K 字节。默认值为 3H, 即 3K 字节空闲空间。不要超过 SRAM 大小。</p> |
| 3:0 | JPT | PHS7, RW | <p>拥挤状态时间。默认为 200 us。</p> <p>0000 为 5us 0001 为 10us 0010 为 15us 0011 为 25us 0100 为 50us 0101 为 100us 0110 为 150us 0111 为 200us 1000 为 250us 1001 为 300us 1010 为 350us 1011 为 400us 1100 为 450us 1101 为 500us 1110 为 550us 1111 为 600us</p> |

6.10 流控制阈值寄存器 (FCTR)

Flow Control Threshold Register (09H)

| Bit | Name | Default | Description |
|-----|------|-------------|--|
| 7:4 | HWOT | PHS3, RW | <p>RX FIFO 缓存高位溢出门限。</p> <p>当 RX SRAM 空闲空间小于该门限值, 则发送一个暂停时间 (pause_time) 为 FFFFH 的暂停包。若该值为 0, 则无接收空闲空间。1=1K 字节。默认值为 3H, 即 3K 字节空闲空间。不要超过 SRAM 大小。</p> |
| 3:0 | LWOT | PHS8, RW | <p>RX FIFO 缓存低位溢出门限。</p> <p>当 RX SRAM 空闲空间大于该门限值, 则发送一个暂停时间 (pause_time) 为 0000H 的暂停包。当溢出门限最高值的暂停包发送之后, 溢出门限最低值的暂停包才有效。默认值为 8K 字节。不要超过 SRAM 大小。</p> <p>1=1K 字节</p> |

6.11 接收/发送流控制寄存器 (RTFCR)

RX/TX Flow Control Register (0AH)

| Bit | Name | Default | Description |
|-----|------|---------|-------------|
| 7 | TXP0 | HPS0,RW | 1 发送暂停包。 |

| | | | |
|---|-------|----------|---|
| | | | 发送完成后自动清零，建立 TX 暂停包时间为 0000H。 |
| 6 | TXPF | HPS0, RW | 1 发送暂停包。 发送完成后自动清零，建立 TX 暂停包时间为 FFFFH。 |
| 5 | TXPEN | HPS0, RW | 强制发送暂停包使能。 为高低位流门限控制使能发送暂停包。 |
| 4 | BKPA | HPS0, RW | 背压模式。 该模式仅在半双工模式下有效。当任意数据包到来且 RX SRAM 超出背压阈值最高值（BPHW）时，产生一个拥挤状态。 |
| 3 | BKPM | HPS0, RW | 背压模式。 该模式仅在半双工模式下有效。当数据包 DA 匹配且 RX SRAM 超出背压阈值最高值（BPHW）时，产生一个拥挤状态。 |
| 2 | RXPS | HPS0,R/C | 接收暂停包状态、锁存、和读清晰。 |
| 1 | RXPCS | HPS0,RO | 接收暂停包当前状态。 |
| 0 | FLCE | HPS0,RW | 流控制使能。 1：使能流控制模式。（即可以禁止 DM9000A 发送功能） |

6.12 EEPROM&PHY 控制寄存器（EPCR）

EEPROM & PHY Control Register (0BH)

| Bit | Name | Default | Description |
|-----|----------|---------|---|
| 7:6 | RESERVED | 0,RO | 保留 |
| 5 | REEP | PH0,RW | 重新加载 EEPROM。驱动程序需要在此操作完成后清零该位。 |
| 4 | WEP | PH0,RW | EEPROM 写使能。 |
| 3 | EPOS | PH0,RW | EEPROM 或 PHY 操作选择位。复位为 0 0 选择 EEPROM，1 选择 PHY。 |
| 2 | ERPRR | PH0,RW | EEPROM 读，或 PHY 寄存器读命令。 驱动程序需要在此操作完成后清零该位。 |
| 1 | ERPRW | PH0,RW | EEPROM 写，或 PHY 寄存器写命令。 驱动程序需要在此操作完成后清零该位。 |
| 0 | ERRE | PH0,RO | EEPROM 或 PHY 的访问状态。 1 表示 EEPROM 或 PHY 正在被访问。 |

6.13 EEPROM&PHY 地址寄存器（EPAR）

EEPROM & PHY Address Register (0CH)

| Bit | Name | Default | Description |
|-----|---------|---------|---|
| 7:6 | PHY_ADR | PH01,RW | PHY 地址的低两位（bit1，bit0），而 PHY 地址的 bit[4:2]强制为 000。如果要选择内部 PHY，那么此两位强制为 01，实际应用中要强制为 01。 |
| 5:0 | EROA | PH0,RW | EEPROM 字地址或 PHY 寄存器地址。 |

6.14 EEPROM&PHY 数据寄存器（EPDRL/EPDRH）

EEPROM & PHY Data Register (EE_PHY_L: 0DH、 EE_PHY_H: 0EH)

| Bit | Name | Default | Description |
|-----|----------|---------|--|
| 7:0 | EE_PHY_L | PH0,RW | EEPROM 或 PHY 数据寄存器低字节 从 EEPROM 或 PHY 读写低字节的数据内容 |
| 7:0 | EE_PHY_H | PH0,RW | EEPROM 或 PHY 数据寄存器高字节 从 EEPROM 或 PHY 读写高字节的数据内容 |

6.15 唤醒控制寄存器（WCR）

Wake Up Control Register (0FH) (in 8-bit mode)

| Bit | Name | Default | Description |
|-----|----------|---------|---|
| 7:6 | RESERVED | 0,RO | 保留。 |
| 5 | LINKEN | P0,RW | 1 使能“连接状态改变”唤醒事件。 该位不受软件复位影响。 |
| 4 | SAMPLEEN | P0,RW | 1 使能“Sample 帧”唤醒事件。 该位不受软件复位影响。 |
| 3 | MAGICEN | P0,RW | 1 使能“Magic Packet”唤醒事件。 该位不受软件复位影响。 |
| 2 | LINKST | P0,RO | 1 表示发生了连接改变事件和连接状态改变事件。 该位不受软件复位影响。 |
| 1 | SAMPLEST | P0,RO | 1 表示接收到“Sample 帧”和发生了“Sample 帧”事件。 该位不受软件复位影响。 |
| 0 | MAGICST | P0,RO | 1 表示接收到“Magic Packet”和发生了“Magic Packet”事件。该位不受软件复位影响。 |

6.16 物理地址（MAC）寄存器（PAR）

Physical Address Register (10H~15H) 用来保存 6 个字节的 MAC 地址。

| Bit | Name | Default | Description |
|-----|------|---------|----------------------|
| 7:0 | PAB5 | E,RW | 物理地址(MAC) 字节 5 (15H) |
| 7:0 | PAB4 | E,RW | 物理地址(MAC) 字节 4 (14H) |
| 7:0 | PAB3 | E,RW | 物理地址(MAC) 字节 3 (13H) |
| 7:0 | PAB2 | E,RW | 物理地址(MAC) 字节 2 (12H) |
| 7:0 | PAB1 | E,RW | 物理地址(MAC) 字节 1 (11H) |
| 7:0 | PAB0 | E,RW | 物理地址(MAC) 字节 0 (10H) |

6.17 广播地址寄存器（MAR）

Multicast Address Register (16H~1DH)

| Bit | Name | Default | Description |
|-----|------|---------|----------------|
| 7:0 | MAB7 | X,RW | 多播地址 字节 7（1DH） |
| 7:0 | MAB6 | X,RW | 多播地址 字节 6（1CH） |
| 7:0 | MAB5 | X,RW | 多播地址 字节 5（1BH） |
| 7:0 | MAB4 | X,RW | 多播地址 字节 4（1AH） |
| 7:0 | MAB3 | X,RW | 多播地址 字节 3（19H） |
| 7:0 | MAB2 | X,RW | 多播地址 字节 2（18H） |
| 7:0 | MAB1 | X,RW | 多播地址 字节 1（17H） |
| 7:0 | MAB0 | X,RW | 多播地址 字节 0（16H） |

6.18 通用目的控制寄存器（GPCR）

General purpose control Register (1EH) (in 8-bit mode)

| Bit | Name | Default | Description |
|-----|----------|-----------|---|
| 7 | RESERVED | PH0,RO | 保留 |
| 6:4 | GPC64 | PH,111,RO | 通用目的控制 GP6~GP4; 分别定义 GP6~GP4 引脚的输入输出方向; 这些位都被强制置为 1, 所以 GP6~GP4 只能输出。 |
| 3:1 | GPC31 | PH,000,RW | 通用目的控制 GP3~GP1; 分别定义 GP3~GP1 引脚的输入输出方向; 当为 1 时, 通用目的寄存器 (GPR) 相应位的方向为输出, 其他为输入。 |
| 0 | RESERVED | PH1,RO | 保留 |

6.19 通用目的寄存器（GPR）

General Purpose Register (1FH)

| Bit | Name | Default | Description |
|-----|----------|---------|---|
| 7 | RESERVED | 0,RO | 保留 |
| 6-4 | GPO | PH0,RW | 通用目的输出 GP6~GP4（8 位模式）; 这些位的值和引脚 GP6~GP4 分别对应; |
| 3:1 | GPIO | PH0,RW | 通用目的（在 8 位模式中）; 1、当 GPIO 控制寄存器 GPC31 对应位为 1 时（GPIO3~1 输出），该位上的值就为 GP3~GP1 引脚上输出的值。 2、当 GPIO 控制寄存器 GPC31 对应位为 0 时（GPIO3~1 输入），该位上的值将作为 GP3~GP1 引脚的输入值。 |
| 0 | PHYPD | ET1,RW | PHY 掉电控制; 1: PHY 掉电; |

| | | | |
|--|--|--|------------|
| | | | 0: PHY 激活; |
|--|--|--|------------|

6.20 TX SRAM 读指针地址寄存器 (TRPAL/TRPAH)

TX SRAM Read Pointer Address Register (22H~23H)

| Bit | Name | Default | Description |
|-----|-------|---------|------------------------|
| 7:0 | TRPAH | PS0,RO | 发送 SRAM 读指针地址高字节 (23H) |
| 7:0 | TRPAL | PS0,RO | 发送 SRAM 读指针地址低字节 (22H) |

6.21 RX SRAM 写指针地址寄存器 (RWPAL/RWPAH)

RX SRAM Write Pointer Address Register (24H~25H)

| Bit | Name | Default | Description |
|-----|-------|-----------|-----------------------|
| 7:0 | RWPAH | PS,0CH,RO | 接收 SRAM 指针地址高字节 (25H) |
| 7:0 | RWPAL | PS,0CH,RO | 接收 SRAM 指针地址低字节 (24H) |

6.22 厂家 ID 寄存器 (VID)

Vendor ID Register (28H~29H)

| Bit | Name | Default | Description |
|-----|------|------------|------------------|
| 7:0 | VIDH | PHE,0AH,RO | 生产厂家序列号高字节 (29H) |
| 7:0 | VIDL | PHE,46H,RO | 生产厂家序列号低字节 (28H) |

6.23 产品 ID 寄存器 (PID)

Product ID Register (2AH~2BH)

| Bit | Name | Default | Description |
|-----|------|------------|----------------|
| 7:0 | PIDH | PHE,90H,RO | 产品序列号高字节 (2BH) |
| 7:0 | PIDL | PHE,00H,RO | 产品序列号低字节 (2AH) |

6.24 芯片版本寄存器 (CHIPR)

Chip Revision Register (2CH)

| Bit | Name | Default | Description |
|-----|-------|---------|-------------|
| 7:0 | CHIPR | 18H,RO | 芯片修订版本 |

6.25 发送控制寄存器 2 (TCR2)

Transmit Control Register 2 (2DH)

| Bit | Name | Default | Description |
|-----|------|---------|-------------|
| 7 | LED | PH0,RW | LED 模式。 |

| | | | |
|-----|-------|--------|--|
| | | | 1=设置 LED 引脚为模式 1， 0=设置 LED 引脚为模式 0 或根据 EEPROM 的设定。 |
| 6 | RLCP | PH0,RW | 重试冲突延时数据包 1=重新发送有冲突延迟的数据包。 |
| 5 | DTU | PH0,RW | 1=禁止重新发送“underruned”数据包。（不完整包） |
| 4 | ONEPM | PH0,RW | 单包模式。 1=发送完成前发送一个数据包的命令能被执行， 0=发送完成前发送最多两个数据包的命令能被执行。 |
| 3~0 | IFGS | PH0,RW | 帧间间隔设置。 0XXX 为 96bit 1000 为 64bit 1001 为 72bit 1010 为 80bit 1011 为 88bit 1100 为 96bit 1101 为 104bit 1110 为 112bit 1111 为 120bit |

6.26 操作测试控制寄存器（OCR）

Operation Test Control Register (2EH)

| Bit | Name | Default | Description |
|-----|-------|---------|--|
| 7-6 | SCC | PH0,RW | 系统时钟控制 设置内部系统时钟 00: 50MHz 01: 20MHz 10: 100MHz 11: 保留 |
| 5 | 保留 | PH0,RW | 保留 |
| 4 | SOE | PH0,RW | 内部 SRAM 输出使能始终开启 |
| 3 | SCS | PH0,RW | 内部 SRAM 片选始终开启 |
| 2-0 | PHYOP | PH0,RW | 为测试用内部 PHY 操作模式 |

6.27 特殊模式控制寄存器（SMCR）

Special Mode Control Register (2FH)

| Bit | Name | Default | Description |
|-----|-------|---------|------------------|
| 7 | SM_EN | PH0,RW | 特殊模式使能 |
| 6-3 | 保留 | PH0,RW | 保留 |
| 2 | FLC | PH0,RW | 强制冲突检测 |
| 1 | FB1 | PH0,RW | 强制最长“Back-off”时间 |

| | | | |
|---|-----|--------|------------------|
| 0 | FB2 | PH0,RW | 强制最短“Back-off”时间 |
|---|-----|--------|------------------|

6.28 即将发送控制/状态寄存器（ETXCSR）

Early Transmit Control/Status Register (30H)

| Bit | Name | Default | Description |
|-----|------|---------|---|
| 7 | ETE | HPS0,RW | 即将发送使能 使能 bits[2:0] |
| 6 | ETS2 | HPS0,RO | 即将发送状态 2 |
| 5 | ETS1 | HPS0,RO | 即将发送状态 1 |
| 4-2 | 保留 | 000,RO | 保留 |
| 1-0 | ETT | HPS0,RW | 即将发送门限 当写到发送 FIFO 缓存里的数据字节数达到该门限，则开始传输。 Bit-1 Bit-0 门限 ----- 0 0 : 12.5% 0 1 : 25% 1 0 : 50% 1 1 : 75% |

6.29 校验和控制寄存器（CSCR）

Check Sum Control Register (31H)

| Bit | Name | Default | Description |
|-----|--------|---------|-------------|
| 7-3 | 保留 | 0,RO | 保留 |
| 2 | UDPCSE | HPS0,RW | UDP 校验和产生使能 |
| 1 | TCPCSE | HPS0,RW | TCP 校验和产生使能 |
| 0 | IPCSE | HPS0,RW | IP 校验和产生使能 |

6.30 接收校验和控制状态寄存器（RCSCSR）

Receive Check Sum Status Register (32H)

| Bit | Name | Default | Description |
|-----|------|---------|----------------------------|
| 7 | UDPS | HPS0,RO | UDP 校验和状态 1=UDP 数据包校验失败 |
| 6 | TCPS | HPS0,RO | TCP 校验和状态 1=TCP 数据包校验失败 |
| 5 | IPS | HPS0,RO | IP 校验和状态 1=IP 数据包校验失败 |
| 4 | UDPP | HPS0,RO | UDP 数据包 |
| 3 | TCPP | HPS0,RO | TCP 数据包 |

| | | | |
|---|------|---------|--|
| 2 | IPP | HPS0,RO | IP 数据包 |
| 1 | RCSN | HPS0,RW | 接收检验和检验使能 当置 1 时, 校验和状态位 (bit7-2) 将存储到数据包的各自的报文头的第一个字节 (bit7-2) |
| 0 | DCSE | HPS0,RW | 丢弃校验和错误的数据包 当置 1 时若 IP/TCP/UDP 的校验和域错误, 则丢弃该数据包 |

6.31 内存数据预取读命令寄存器 (地址不加 1) (MRCMDX)

Memory Data Pre-Fetch Read Command without Address Increment Register (F0H)

| Bit | Name | Default | Description |
|-----|--------|---------|---|
| 7-0 | MRCMDX | X,RO | 从接收 SRAM 中读数据, 读取该指令之后, 指向内部 SRAM 的读指针不变。DM9000A 开始预取 SRAM 中数据到内部数据缓冲中。 |

6.32 内存数据读命令寄存器 (地址不加 1) (MRCMDX1)

Memory Data Read Command without Address Increment Register (F1H)

| Bit | Name | Default | Description |
|-----|---------|---------|--|
| 7-0 | MRCMDX1 | X,RO | 从接收 SRAM 中读数据, 读取该指令之后, 指向内部 SRAM 的指针不变。 |

6.33 内存数据读命令寄存器 (地址加 1) (MRCMD)

Memory Data Read Command with Address Increment Register (F2H)

| Bit | Name | Default | Description |
|-----|-------|---------|---|
| 7-0 | MRCMD | X,RO | 从接收 SRAM 中读数据, 读取该指令之后, 读指针根据操作模式 (8 位或 16 位) 增加 1 或 2。 |

6.34 内存数据读地址寄存器 (MRRL/ MRRH)

Memory Data Read_address Register (F4H~F5H)

| Bit | Name | Default | Description |
|-----|-------|---------|------------------------------------|
| 7-0 | MDRAH | PHS0,RW | 存储器读地址高字节。当 IMR 第 7 位为 1 时它被置为 0Ch |
| 7-0 | MDRAL | PHS0,RW | 存储器读地址低字节。 |

6.35 内存数据写命令寄存器 (地址不加 1) (MWCMDX)

Memory Data Write Command without Address Increment Register (F6H)

| Bit | Name | Default | Description |
|-----|------|---------|-------------|
|-----|------|---------|-------------|

| | | | |
|-----|--------|------|-----------------------------|
| 7-0 | MWCMDX | X,WO | 向发送 SRAM 中写数据。写该指令之后，写指针不变。 |
|-----|--------|------|-----------------------------|

6.36 内存数据写命令寄存器（地址加 1）(MWCMD)

Memory Data Write Command with Address Increment Register (F8H)

| Bit | Name | Default | Description |
|-----|-------|---------|---|
| 7-0 | MWCMD | X,WO | 向发送 SRAM 中写数据。 写该指令之后，指写指针根据操作模式（8 位或 16 位）增加 1 或 2。 |

6.37 内存数据写地址寄存器（MWRL/ MWRH）

Memory data write_address Register (FAH~FBH)

| Bit | Name | Default | Description |
|-----|-------|---------|-------------|
| 7-0 | MDRAH | PHS0,RW | 存储器数据写地址高字节 |
| 7-0 | MDRAL | PHS0,RW | 存储器数据写地址低字节 |

6.38 发送数据包长度寄存器（TXPLL/TXPLH）

TX Packet Length Register (FCH~FDH)

| Bit | Name | Default | Description |
|-----|-------|---------|-------------|
| 7-0 | TXPLH | X,RW | 发送数据包长度高字节 |
| 7-0 | TXPLL | X,RW | 发送数据包长度低字节 |

6.39 中断状态寄存器（ISR）

Interrupt Status Register (FEH)

| Bit | Name | Default | Description |
|-----|--------|------------|-----------------------|
| 7 | IOMODE | T0,RO | 0: 16 位模式 1: 8 位模式 |
| 6 | 保留 | RO | 保留 |
| 5 | LNKCHG | PHS0,RW/C1 | 连接状态改变 |
| 4 | UDRUN | PHS0,RW/C1 | 发送“Underrun” |
| 3 | ROO | PHS0,RW/C1 | 接收溢出计数器溢出 |
| 2 | ROS | PHS0,RW/C1 | 接收溢出 |
| 1 | PT | PHS0,RW/C1 | 数据包发送 |
| 0 | PR | PHS0,RW/C1 | 数据包接收 |

6.40 中断屏蔽寄存器（IMR）

Interrupt Mask Register (FFH)

| Bit | Name | Default | Description |
|-----|---------|---------|--|
| 7 | PAR | HPS0,RW | 使能 SRAM 的读/写指针在指针地址超过 SRAM 的大小时自动跳回起始位置。需要驱动程序设置该位，若设置该位，REG_F5 将自动置为 0CH。 |
| 6 | 保留 | RO | 保留 |
| 5 | LNKCHGI | PHS0,RW | 使能连接状态改变中断 |
| 4 | UDRUNI | PHS0,RW | 使能发送“Underrun”中断 |
| 3 | ROOI | PHS0,RW | 使能接收溢出计数器溢出中断 |
| 2 | ROI | PHS0,RW | 使能接收溢出中断 |
| 1 | PTI | PHS0,RW | 使能数据包发送中断 |
| 0 | PRI | PHS0,RW | 使能数据包接收中断 |

7. EEPROM 格式

EEPROM Format (16Byte)

| 名 称 | 字 (Word) | 偏移量 (Byte) | 描 述 |
|--------|-------------|---------------|---|
| MAC 地址 | 0~2 | 0-5 | 6 字节以太网地址 |
| 自动加载控制 | 3 | 6-7 | Bit 1:0=01: 更新厂家 ID 和产品 ID Bit 3:2=01: 接受 Word6 [8:0]的设置 Bit 5:4=01: 保留 Bit 7:6=01: 接受 Word7 [3:0]的设置 (8 位模式) Bit 9:8=01: 保留 Bit 11:10=01: 接受 Word7 [7]的设置 Bit 13:12=01: 接受 Word7 [8]的设置 Bit 15:14=01: 接受 Word7 [15:12]的设置 |
| 厂家 ID | 4 | 8-9 | 2 字节生产厂家 ID (默认: 0A46H) |
| 产品 ID | 5 | 10-11 | 2 字节产品 ID (默认: 9000H) |
| 引脚控制 | 6 | 12-13 | 当 Word3[3:2]=01 时, 这些位控制 CS#, IOR#, IOW#和 INT 引脚极性。 Bit 0: 当置位时 CS#引脚为低有效 (默认低有效) Bit 1: 当置位时 IOR#引脚为低有效 (默认低有效) Bit 2: 当置位时 IOW#引脚为低有效 (默认低有效) Bit 3: 当置位时 INT 引脚为低有效 (默认高有效) Bit 4: INT 引脚为集电极开路 (默认强制输出) Bit 5~15: 保留 |
| 唤醒模式控制 | 7 | 14-15 | Bit 0: 当置位时 WAKE 引脚为低有效 (默认高有效) Bit 1: 当置位时 WAKE 引脚脉冲模式 (默认电平模式) Bit 2: 当置位时唤醒事件使能 (默认禁止) Bit 3: 当置位时链接改变唤醒事件允许 (默认禁止) Bit 6~4: 保留 Bit 7: LED 模式 1 (默认模式 0) |

| | | | |
|--|--|--|--|
| | | | Bit 8: 上电后内部 PHY 被允许（默认禁止） Bit 11~9: 保留 Bit 13~12: 01=在 16 位模式下 LED2 作为 IOWAIT Bit 13~12: 10=在 16 位模式下 LED2 作为 WAKE、 Bit 14: 1= AUTO-MDIX 开, 0= AUTO-MDIX 关（默认开） Bit 15: 在 16 位模式下 LED1 作为 IO16 |
|--|--|--|--|

8. PHY 寄存器描述

PHY Register Discription

| ADD | Name | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
|-----|---------------------|--------------|-----------------|-----------------|-----------------|-----------------|------------------|------------------|---------------|--------------|------------------|--------------------|--------------------------------------|------------------|------------------|--------------------|------------------|------|
| 00 | CONTROL | Reset | Loop back | Speed select | Auto-N Enable | Power Down | Isolate | Restart Auto-N | Full Duplex | Coll Test | Reserved | | | | | | | |
| | | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 000_0000 | | | | | | | |
| | | | | | | | | | | | | | | | | | | |
| 01 | STATUS | T4 Cap. 0 | TXFDX Cap. 1 | TXHDX Cap. 1 | 10FDX Cap. 1 | 10HDX Cap. 1 | Reserved 0000 | | | | Pream Supr. 1 | Auto-N Compl. 0 | Remote Fault 0 | Auto-N Cap. 1 | Link Status 0 | Jabber Detect 0 | Extd Cap. 1 | |
| | | | | | | | | | | | | | | | | | | |
| 02 | PHYID1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | |
| | | | | | | | | | | | | | | | | | | |
| 03 | PHYID2 | 1 | 0 | 1 | 1 | 1 | 0 | Model NO (01010) | | | | Version NO (0000) | | | | | | |
| | | | | | | | | | | | | | | | | | | |
| 04 | Auto-Neg. Advertise | Next Page | FLP Rcv Ack | Remote Fault | Reserved | | FC Adv | T4 Adv | TX FDX Adv | TX HDX Adv | 10FDX Adv | 10HDX Adv | Advertised Protocol Selector Field | | | | | |
| | | | | | | | | | | | | | | | | | | |
| 05 | Link Part Ability | LP Next Page | LP Ack | LP RF | Reserved | | LP FC | LP T4 | LP TX FDX | LP TX HDX | LP 10 FDX | LP 10 HDX | Link Partner Protocol Selector Field | | | | | |
| | | | | | | | | | | | | | | | | | | |
| 06 | Auto-Neg. Expansion | Reserved | | | | | | | | | | Pardet Fault | LP Next Pg Able | Next Pg Able | Next Pg Rcv | LP.auto n.Cap. | | |
| | | | | | | | | | | | | | | | | | | |
| 16 | Specified Config | BP 4B5B | BP SCR | BP ALIGN | BP_adp OK | Reserv ed | TX | Reserved | | Force 100Ink | Reserved | | RPDCT R-EN | Reset St.mch | Pream Supr. | Sleep mode | Remote Loopou t | |
| | | | | | | | | | | | | | | | | | | |
| 17 | Specified Conf/Stat | 100 FDX | 100 HDX | 10 FDX | 10 HDX | Reversed | | | PHY ADDR[4:0] | | | | Auto-N.Monitor Bit[3:0] | | | | | |
| | | | | | | | | | | | | | | | | | | |
| 18 | 10T Conf/Stat | Rsvd | LP Enable | HBE Enable | SQUE Enable | JAB Enable | Reserved | | | | | | | | | | Polarity reverse | |
| | | | | | | | | | | | | | | | | | | |
| 19 | PWDOR | Reserved | | | | | | | | PD10D RV | PD100I | PDchip | PDcrm | PDaeq | PDdrv | PDecli | PDeclo | PD10 |
| | | | | | | | | | | | | | | | | | | |
| 20 | Specified Config | TSTSE 1 | TSTSE 2 | FORCE_TXSD | FORCE_FEF | Reserved | | | | MDIX_CNTL | AutoNe g_llpbk | Mdix_fi xValue | Mdix_ down | MonSel 1 | MonSel 0 | Reser ved | PD_ value | |

关于默认值要点: (Key to Default)

下面的寄存器描述中, 默认栏采用如下形式:

<复位值>, <访问类型>/<属性>

<复位值>:

- 1 位设置为逻辑 1
- 0 位设置为逻辑 0
- X 无默认值

<访问类型>:

- RO = 只读
- RW = 读/写

<属性>:

- SC = 自清除
- P = 永久设定值
- LL = 锁存低
- LH = 锁存高

8.1 基本模式控制寄存器（BMCR）

Basic mode control register (00)

| 位 | 位名称 | 默认 | 描述 |
|------|--------|----------|---|
| 0.15 | 复位 | 0, RW/SC | 1: 软件复位; 0: 正常操作; 该位设置 PHY 寄存器回到默认状态。复位操作完成后, 该位自动清零。 |
| 0.14 | 回环 | 0, RW | 1: 回环使能; 0: 正常操作; 在 100Mbps 操作模式下, 设置该位可引起解扰频器失去同步以及在接收前产生一个 720ms“死时间”。 |
| 0.13 | 速度选择 | 1, RW | 1: 100Mbps 0: 10Mbps 连接速度既可以根据该位选择, 也可以根据第 12 位, 即自动协商选择。当自动协商使能时, 即第 12 位为 1, 该位将会返回自动协商后的速度值。 |
| 0.12 | 自动协商使能 | 1, RW | 1: 自动协商使能; 第 13 位和第 8 位的值将反应自动协商后的状态。 |
| 0.11 | 掉电 | 0, RW | 1: 掉电 0: 正常操作 在掉电状态下, PHY 应当对操作处理作出响应。 |
| 0.10 | 隔离 | 0, RW | 在应用中强制为 0。 |
| 0.9 | 重启自动协商 | 0, RW/SC | 1: 重新初始化自动协商。 |

| | | | |
|---------|------|-------|--|
| | | | 当自动协商未使能（寄存器第 12 位被清除），该位无效，必须清除。自动协商初始化完成后，该位自动清除。 0：为正常操作 |
| 0.8 | 双工模式 | 1, RW | 1：全双工操作。 当自动协商禁止时（寄存器的第 12 位清除），双工模式允许被选择。当自动协商使能时，该位反应自动协商选择的双工模式。 0：正常操作 |
| 0.7 | 冲突检测 | 0, RW | 1：冲突检测使能。当置位时，表示在发送期间产生了冲突。 0：正常操作 |
| 0.6-0.0 | 保留 | 0, RO | 保留 读为“0”，忽略写。 |

8.2 基本模式状态寄存器（BMSR）

Basic Mode Status Register (01)

| 位 | 位名称 | 默认 | 描述 |
|----------|------------------|---------|--|
| 1.15 | 100BASE-T4 模式 | 0, RO/P | 1：DM9000A 可以工作在 100BASE-T4 模式； 0：DM9000A 不能工作在 100BASE-T4 模式； |
| 1.14 | 100BASE-TX 全双工模式 | 1, RO/P | 1：DM9000A 可以工作在 100BASE-TX 全双工模式； 0：DM9000A 不能工作在 100BASE-TX 全双工模式； |
| 1.13 | 100BASE-TX 半双工模式 | 1, RO/P | 1：DM9000A 可以工作在 100BASE-TX 半双工模式； 0：DM9000A 不能工作在 100BASE-TX 半双工模式； |
| 1.12 | 10BASE-T 全双工模式 | 1, RO/P | 1：DM9000A 可以工作在 10BASE-T 全双工模式； 0：DM9000A 不能工作在 10BASE-T 全双工模式； |
| 1.11 | 10BASE-T 半双工模式 | 1, RO/P | 1：DM9000A 可以工作在 10BASE-T 半双工模式； 0：DM9000A 不能工作在 10BASE-T 半双工模式； |
| 1.10-1.7 | 保留 | 0, RO | 读为“0”，忽略写。 |
| 1.6 | MF 前导抑制 | 1, RO | 1：PHY 接受前导抑制帧； 0：PHY 不接受前导抑制帧； |
| 1.5 | 自动协商完成 | 0, RO | 1：自动协商过程结束； 0：自动协商过程未结束； |

| | | | |
|-----|-----------|----------|--|
| 1.4 | 远程错误 | 0, RO/LH | 1: 远程错误状态检测（通过读或者芯片复位清除）； 错误标准和检查方法是 DM9000A 的执行特性。该位在 ANLPAR 寄存器中的 RF 位（bit 13，寄存器地址 05）置位时置位。 0: 没有远程错误状态检测； |
| 1.3 | 自动协商功能 | 1, RO/P | 1: DM9000A 可以实现自动协商； 0: DM9000A 不可以实现自动协商； |
| 1.2 | 连接状态 | 0, RO/LL | 1: 已建立有效连接（10Mbps 或 100Mbps 操作）； 0: 未建立连接； 该位带锁存功能，以至于当发生一个连接错误状态时将使该位保持为 0，直到读该位时才置 1。 |
| 1.1 | Jabber 检测 | 0, RO/LH | 1: Jabber 状态检测； 0: 无 Jabber 状态检测； 该位带锁存功能，Jabber 状态检测使该位置位。只有当 DM9000A 复位或者读寄存器操作时，该位才会被清除。该位仅工作在 10Mbps 模式下。 |
| 1.0 | 扩展寄存器功能 | 1, RO/P | 1: 扩展寄存器功能； 0: 只有基本功能，不扩展； |

8.3 PHY ID 标识符寄存器#1（PHYID1）

PHY ID Identifier Register #1 (02)

PHY ID 标识符寄存器#1 和#2 用来共同标识一个 DM9000A 标识符。该标识符由唯一机构标识符（OUI）、厂家版本号和修正版本号组成。IEEE 分配给 DAVICOM 半导体的 OUI 为 00606E。

| 位 | 位名称 | 默认 | 描述 |
|----------|---------|---------|--|
| 2.15-2.0 | OUI_MSB | <0181h> | OUI 最高有效位； 该寄存器加载 OUI(00606E)的 3~18 位到该寄存器的 15~0 位。OUI 最高两位被忽略（这两位 IEEE 标准中作为第 1 位和第 2 位） |

8.4 PHY ID 标识符寄存器#2（PHYID1）

PHY ID Identifier Register #2 (03)

| 位 | 位名称 | 默认 | 描述 |
|-----------|----------|---------------|---|
| 3.15-3.10 | OUI_LSB | <101110>,RO/P | OUI 最低有效位 OUI(00606E)的 19~24 位被相应地映射到该寄存器的第 15~10 位。 |
| 3.9-3.4 | VNDR_MDL | <001010>,RO/P | 厂家版本号 |

| | | | |
|---------|---------|-------------|---|
| | | | 厂家版本号的 6 位被映射到第 9~4 位（最高有效位至第 9 位） |
| 3.3-3.0 | MDL_REL | <0000>,RO/P | 修正版本号 修正版本号的 4 位被映射到第 3 到 0 位（最高有效位至第 4 位） |

8.5 自动协商通知寄存器（ANAR）

Auto-negotiation Advertisement Register (04)(default:0x01e1)

该寄存器包含该 DM9000A 器件的通知能力，连接对象信号在自动协商期间被发送到其连接对象。

| 位 | 位名称 | 默认 | 描述 |
|-----------|--------|--------|--|
| 4.15 | NP | 0,RO/P | 下一页指示 0: 无下一页可用; 1: 下一页可用; DM9000A 无下一页, 所以该位永久设置为 0 |
| 4.14 | ACK | 0,RO | 应答 1: 连接对象信号接收应答; 0: 无应答; DM9000A 自动协商状态机将在 FLP 突发发送时自动控制该位, 并在恰当的时候置位。 |
| 4.13 | RF | 0,RW | 远程错误 1: 本地设备感知一个错误状态 0: 检测无错误 |
| 4.12-4.11 | 保留 | X,RW | 保留 写 0, 忽略读。 |
| 4.10 | FCS | 0,RW | 流控制 1: 控制器芯片支持流控制; 0: 控制器芯片不支持流控制; |
| 4.9 | T4 | 0,RO/P | 100BASE-T4 支持 1: 本地设备支持 100BASE-T4 模式; 0: 本地设备不支持 100BASE-T4 模式; DM9000A 不支持 100BASE-T4, 所以该位恒被设置为 0。 |
| 4.8 | TX_FDX | 1,RW | 100BASE-TX 全双工支持 1: 本地设备支持 100BASE-TX 全双工模式; 0: 本地设备不支持 100BASE-TX 全双工模式; |

| | | | |
|---------|----------|------------|---|
| 4.7 | TX_HDX | 1,RW | 100BASE-TX 半双工支持 1: 本地设备支持 100BASE-TX 半双工模式; 0: 本地设备不支持 100BASE-TX 半双工模式; |
| 4.6 | 10_FDX | 1,RW | 10BASE-T 全双工支持 1: 本地设备支持 10BASE-T 全双工模式; 0: 本地设备不支持 10BASE-T 全双工模式; |
| 4.5 | 10_HDX | 1,RW | 10BASE-T 半双工支持 1: 本地设备支持 10BASE-T 半双工模式; 0: 本地设备不支持 10BASE-T 半双工模式; |
| 4.4-4.0 | Selector | <00001>,RW | 协议选择位 该位包含被节点支持的二进制编码协议选择器。<00001>表示该设备支持 IEEE 802.3 CSMA/CD |

8.6 自动协商连接对象寄存器（ANLPAR）

Auto-negotiation Link Partner Ability Register (05)

在自动协商期间，当接收到连接对象信号时，该寄存器包含连接对象的通知能力。

| 位 | 位名称 | 默认 | 描述 |
|-----------|-----|------|--|
| 5.15 | NP | 0,RO | 下一页指示 0: 连接对象无下一页可用 1: 连接对象下一页可用 |
| 5.14 | ACK | 0,RO | 应答 1: 连接对象信号接收应答; 0: 无应答; DM9000A 自动协商状态机将在 FLP 突发到达时自动控制该位，软件不能对该位进行写操作。 |
| 5.13 | RF | 0,RO | 远程错误 1: 远程错误被连接对象指出 0: 无远程错误被连接对象指出 |
| 5.12-5.11 | 保留 | 0,RO | 保留 读 0，忽略写 |
| 5.10 | FCS | 0,RO | 流控制 1: 控制器芯片支持连接对象流控制能力 |

| | | | |
|---------|----------|------------|---|
| | | | 0: 控制器芯片不支持连接对象流控制能力 |
| 5.9 | T4 | 0,RO | 100BASE-T4 支持 1: 连接对象支持 100BASE-T4 模式; 0: 连接对象不支持 100BASE-T4 模式; |
| 5.8 | TX_FDX | 0,RO | 100BASE-TX 全双工支持 1: 连接对象支持 100BASE-TX 模式; 0: 连接对象不支持 100BASE-TX 模式; |
| 5.7 | TX_HDX | 0,RO | 100BASE-TX 半双工支持 1: 连接对象支持 100BASE-TX 半双工模式; 0: 连接对象不支持 100BASE-TX 半双工模式; |
| 5.6 | 10_FDX | 0,RO | 10BASE-T 全双工支持 1: 连接对象支持 10BASE-T 全双工模式; 0: 连接对象不支持 10BASE-T 全双工模式; |
| 5.5 | 10_HDX | 0,RO | 10BASE-T 半双工支持 1: 连接对象支持 10BASE-T 半双工模式; 0: 连接对象不支持 10BASE-T 半双工模式; |
| 5.4-5.0 | Selector | <00000>,RO | 协议选择位 连接对象的二进制编码协议选择器 |

8.7 自动协商扩展寄存器（ANER）

Auto-negotiation Expansion Register (06)

| 位 | 位名称 | 默认 | 描述 |
|------|----------------|---------|--|
| 6.15 | 保留 | 0,RO | 保留 读 0, 忽略写 |
| 6.4 | PDF | 0,RO/LH | 本地设备并行检测错误 PDF=1: 通过并行检测功能检测到一个错误 PDF=0: 通过并行检测功能未检测到错误 |
| 6.3 | LP_NP_A BLE | 0,RO | 连接对象下一页可用 LP_NP_ABLE=1: 连接对象下一页可用 LP_NP_ABLE=0: 连接对象无下一页 |
| 6.2 | NP_ABLE | 0,RO/P | 本地设备下一页可用 NP_ABLE=1: DM9000A 下一页可用 |

| | | | |
|-----|---------------|---------|--|
| | | | NP_ABLE=0: DM9000A 无下一页 |
| 6.1 | PAGE_RX | 0,RO/LH | 接收到新一页 接收到一个新的连接码字页。当该寄存器本处理器读时改为被自动清除。 |
| 6.0 | LP_AN_A BL | 0,RO | 连接对象自动协商可用 该位的“1”表示连接对象支持自动协商 |

8.8 DAVICOM 指定配置寄存器（DSCR）

DAVICOM Specified Configuration Register (16)

| 位 | 位名称 | 默认 | 描述 |
|-------|------------|------|--|
| 16.15 | BP_4B5B | 0,RW | 旁路 4B5B 编码和 5B4B 解码 1: 4B5B 编码器和 5B4B 解码器功能旁路 0: 正常 4B5B 和 5B4B 操作 |
| 16.14 | BP_SCR | 0,RW | 旁路扰频/解扰器功能 1: 扰频/解扰器功能旁路 0: 正常扰频/解扰器功能操作 |
| 16.13 | BP_ALIGN | 0,RW | 旁路符号对齐功能 1: 接收功能旁路（解扰频，符号对齐和符号解码功能）。发送功能旁路（符号编码和扰频）。 0: 正常操作 |
| 16.12 | BP_ADPOK | 0,RW | 旁路 ADPOK 强制运行信号检查器（SD）。该寄存器只用于调试，不对用户开放。 1: 强制 SD 工作； 0: 正常操作； |
| 16.11 | 保留 | 0,RW | 保留 应用中强制为 0 |
| 16.10 | TX | 1,RW | 100BASE-TX 模式控制 1: 100BASE-TX 操作 |
| 16.9 | 保留 | 0,RO | 保留 |
| 16.8 | 保留 | 0,RW | 保留 应用中强制为 0 |
| 16.7 | F_LINK_100 | 0,RW | 强制 100Mbps 良好连接 0: 正常 100Mbps 操作 |

| | | | |
|------|-----------|------|--|
| | | | 1: 强制 100Mbps 良好连接状态 该位用于诊断。 |
| 16.6 | SPLED_CTL | 0,RW | 保留 应用中强制为 0 |
| 16.5 | COLLED_CT | 0,RW | 保留 应用中强制为 0 |
| 16.4 | RPDCTR_EN | 1,RW | 简化掉电控制使能 该位用于使能自动简化掉电。 0=禁止自动精简掉电 1=使能自动精简掉电 |
| 16.3 | SMRST | 0,RW | 复位状态机 当给该位写 1, PHY 的所有状态机将被复位。 该位在复位完成后自清除。 |
| 16.2 | MFPSC | 1,RW | MF 前导抑制控制 帧前导抑制控制位 1=MF 前导抑制位开 0=MF 前导抑制位关 |
| 16.1 | SLEEP | 0,RW | 睡眠模式 该位写 1 将造成 PHY 进入睡眠模式和使除了晶振和时钟产生电路外的所有电路掉电。当从睡眠模式中唤醒（该位写 0），配置将变为睡眠之前的状态，但是状态机将被复位。 |
| 16.0 | RLOUT | 0,RW | 远程循环输出控制 当该位置 1，接收的数据将循环输出到发送通道。该位用于错误位检测。 |

8.9 DAVICOM 指定配置和状态寄存器（DSCSR）

DAVICOM Specified Configuration and Status Register (17)

| 位 | 位名称 | 默认 | 描述 |
|-------|--------|------|--|
| 17.15 | 100FDX | 1,RO | 100M 全双工操作模式 自动协商完成后，结果将被写到该位。若该位为 1, 意味着操作 1 模式是 100M 全双工模式。软件可以通过读 bit[15:12]来看经过自动协商后选择的是哪一种模式。当不是自动协商模式下该位非法。 |

| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|-------------|-------------|--|---------------|----|----|----|--|---|---|---|---|------|---|---|---|---|------|---|---|---|---|------|---|---|---|---|--------|---|---|---|---|------|---|---|---|---|--------|---|---|---|---|-------------|---|---|---|---|---------------|
| 17.14 | 100HDX | 1,RO | 100M 半双工操作模式 自动协商完成后，结果将被写到该位。若该位为 1，意味着操作 1 模式是 100M 全双工模式。软件可以通过读 bit[15:12]来看经过自动协商后选择的是哪一种模式。当不是自动协商模式下该位非法。 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 17.13 | 10FDX | 1,RO | 10M 全双工操作模式 自动协商完成后，结果将被写到该位。若该位为 1，意味着操作 1 模式是 100M 全双工模式。软件可以通过读 bit[15:12]来看经过自动协商后选择的是哪一种模式。当不是自动协商模式下该位非法。 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 17.12 | 10HDX | 1,RO | 10M 全双工操作模式 自动协商完成后，结果将被写到该位。若该位为 1，意味着操作 1 模式是 100M 全双工模式。软件可以通过读 bit[15:12]来看经过自动协商后选择的是哪一种模式。当不是自动协商模式下该位非法。 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 17.11-17.9 | 保留 | 0,RO | 保留 读 0，忽略写 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 17.8-17.4 | PHYADR[4:0] | (PHYADR),RW | PHY 地址 bit 4:0 首先发送或接收的 PHY 地址位是地址的最高有效位 (bit4)。一个连接到多种 PHY 实体的站管理实体必须知道每个 PHY 的适当的地址。 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 17.3-17.0 | ANMB[3:0] | 0,RO | 自动协商监视位 这些位只用于调试。自动协商状态将被写到这些位。 <table><tr><td>b3</td><td>b2</td><td>b1</td><td>b0</td><td></td></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>空闲状态</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>能力匹配</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>认证匹配</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>认证匹配失败</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>协调匹配</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>协调匹配失败</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>并行检测信号连接准备好</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>并行检测信号连接准备好失败</td></tr></table> | b3 | b2 | b1 | b0 | | 0 | 0 | 0 | 0 | 空闲状态 | 0 | 0 | 0 | 1 | 能力匹配 | 0 | 0 | 1 | 0 | 认证匹配 | 0 | 0 | 1 | 1 | 认证匹配失败 | 0 | 1 | 0 | 0 | 协调匹配 | 0 | 1 | 0 | 1 | 协调匹配失败 | 0 | 1 | 1 | 0 | 并行检测信号连接准备好 | 0 | 1 | 1 | 1 | 并行检测信号连接准备好失败 |
| b3 | b2 | b1 | b0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 0 | 0 | 空闲状态 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 0 | 1 | 能力匹配 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 1 | 0 | 认证匹配 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 1 | 1 | 认证匹配失败 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 0 | 0 | 协调匹配 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 0 | 1 | 协调匹配失败 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 1 | 0 | 并行检测信号连接准备好 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 1 | 1 | 并行检测信号连接准备好失败 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

8.10 10BASE-T 配置/状态（10BTCSR）

10BASE-T Configuration/Status (18)

| 位 | 位名称 | 默认 | 描述 |
|-----------|---------|------|---|
| 18.15 | 保留 | 0,RO | 保留 读 0，忽略写； |
| 18.14 | LP_EN | 1,RW | 连接脉冲使能 1：连接脉冲的发送使能； 0：连接脉冲禁止，良好连接状态被强制； 该位仅在 10Mbps 操作中有效； |
| 18.13 | HBE | 1,RW | 心跳使能 1：心跳功能使能； 0：心跳功能禁止； 当 DM9000A 配置为全双工操作，该位被忽略（冲突/心跳功能在全双工模式下无效） |
| 18.12 | SQUELCH | 1,RW | 静噪使能； 1：正常静噪 0：低静噪 |
| 18.11 | JABEN | 1,RW | Jabber 使能 当 DM9000A 在 10BASE-T 全双工或 10BASE-T 收发器回环模式下使能或禁止 Jabber 功能 |
| 18.10 | 保留 | 0,RW | 保留 应用中强制为 0； |
| 18.9-18.1 | 保留 | 0,RO | 保留 读 0，忽略写； |
| 18.0 | POLR | 0,RO | 极性保存 当该位置 1，指示着 10Mbps 电缆线极性保存。该位由 10BASE-T 模块自动清除和置位。 |

8.11 掉电控制寄存器（PWDOR）

Power Down Control Register (19)

| 位 | 位名称 | 默认 | 描述 |
|------------|---------|------|----------------|
| 19.15-19.9 | 保留 | 0,RO | 保留 读 0，忽略写； |
| 19.8 | PD10DRV | 0,RW | 生产厂家掉电控制测试 |
| 19.7 | PD100DL | 0,RW | 生产厂家掉电控制测试 |
| 19.6 | PDchip | 0,RW | 生产厂家掉电控制测试 |

| | | | |
|------|-------|------|------------|
| 19.5 | PDcom | 0,RW | 生产厂家掉电控制测试 |
| 19.4 | PDaeq | 0,RW | 生产厂家掉电控制测试 |
| 19.3 | PDdrv | 0,RW | 生产厂家掉电控制测试 |
| 19.2 | PDedi | 0,RW | 生产厂家掉电控制测试 |
| 19.1 | PDedo | 0,RW | 生产厂家掉电控制测试 |
| 19.0 | PD10 | 0,RW | 生产厂家掉电控制测试 |

*当被选择时，掉电值将由寄存器 20.0 控制

8.12 指定配置寄存器（SCR）

(Specified config) Register-20

| 位 | 位名称 | 默认 | 描述 |
|------------|----------------|--------------|---|
| 20.15 | TSTSE1 | 0,RW | 厂家测试选择控制 |
| 20.14 | TSTSE2 | 0,RW | 厂家测试选择控制 |
| 20.13 | FORCE_TXSD | 0,RW | 强制信号检测 1: 在 100M 中强制 SD 信号 OK; 0: 正常 SD 信号; |
| 20.12 | FORCE_FEF | 0,RW | 厂家测试选择控制 |
| 20.11-20.8 | 保留 | 0,RO | 保留 读 0，忽略写; |
| 20.7 | MDIX_CNTL | MDI/MDIX, RO | MDI/MDIX 值的极性 1: MDIX 模式 0: MDI 模式 |
| 20.6 | AutoNeg_lpbk | 0,RW | 自动协商回环 1: 测试内部数字自动协商回环 0: 正常 |
| 20.5 | Mdix_fix Value | 0,RW | MDIX_CNTL 强制值: 当 Mdix_down = 1, MDIX_CNTL 值取决于该寄存器的值。 |
| 20.4 | Mdix_down | 0,RW | AUTO-MDIX 关闭 手动强制 MDI/MDIX. 0: 使能 AUTO-MDIX 1: 禁止 AUTO-MDIX, MDIX_CNTL 值取决于 20.5 |
| 20.3 | MonSel1 | 0,RW | 厂家测试选择控制 |
| 20.2 | MonSel0 | 0,RW | 厂家测试选择控制 |
| 20.1 | 保留 | 0,RW | 保留 应用中强制为 0 |
| 20.0 | PD_value | 0,RW | 掉电控制值 决定寄存器 19 每一位的值; 1: 掉电 0: 正常 |

9. 功能描述

9.1 主机接口 (HI)

主机接口为 ISA 总线模式，有 8 个 IO 基址，分别为：300H、310H、320H、330H、340H、350H、360H、370H。这些地址可由 strap 引脚锁存或从 eeprom 加载。

只有两个地址端口经过主机接口，一个是 INDEX 端口，另一个是 DATA 端口。当引脚 CMD=0 时，主机接口作 INDEX 端口用，当引脚 CMD=1 时，主机接口作 DATA 端口用。INDEX 端口的内容为 DATA 端口的寄存器地址。在访问任何寄存器之前，寄存器地址都必须保存在 INDEX 端口中。

9.2 直接内存访问控制 (DMAC)

DM9000 支持 DMA 方式简化对内部存储器的访问。在我们编程写好内部存储器地址后，就可以用一个读/写命令伪指令把当前数据加载到内部数据缓冲区，这样，内部存储器指定位置就可以被读/写命令寄存器访问。存储器地址将会自动增加，增加的大小与当前总线操作模式相同（比如：8-bit、16-bit 或 32-bit），接着下一个地址数据将会自动加载到内部数据缓冲区。要注意的是在连续突发式第一次访问的数据应该被忽略，因为，这个数据是最后一次读写命令的内容。

内部存储器空间大小 16K 字节。头 3K 字节单元用作发送包的缓冲区，其他 13K 字节用作接收包的缓冲区。所以在写存储器操作时，如果地址越界（即超出 3K 空间），在 IMR 寄存器 bit-7 置位的情况下，地址指针将会返回到存储器 0 地址处。同样，在读存储器操作时，如果地址越界（即超出 16K 空间），在 IMR 寄存器 bit-7 置位的情况下，地址指针将会返回到存储器 0x0C00 地址处。

9.3 数据包发送 (PT)

有两个数据包，顺序命名为 index1 和 index2，能同时存储在 TX SRAM 中。发送控制寄存器 (02h) 控制循环冗余校验码 (CRC) 和填充 (pads) 的插入，其状态分别记录在发送状态寄存器 I (03H) 和发送状态寄存器 II (04H) 中。

发送器的起始地址为 0x00H，在软件或硬件复位后，默认的数据发送包为 index1。首先，使用 DMA 端口将数据写入 TX SRAM 中，其次，在发送数据包长度寄存器 (0fch/0fdh) 中，把数据字节数写入字节计数寄存器。置位发送控制寄存器的 bit-0 位，则 DM9000 开始发送 index1 数据包。在 index1 数据包发送结束之前，数据发送包 index2 被移入 TX SRAM 中。在 index1 数据包发送结束后，将 index2 数据字节数写入字节计数寄存器中，然后，置位发送控制寄存器的 bit-0 位，则 index2 数据包开始发送。以此类推，后面的数据包都以此方式进行发送。

9.4 数据包接收 (PR)

RX SRAM 是一个环形数据结构。在软件或硬件复位后，RX SRAM 的起始地址为 0X0C00。每个接收数据包都包含有 CRC 校验域，数据域，以及紧跟其后的 4 字节包头域。4 字节包头格式为：01h、状态、BYTE_COUNT 低、BYTE_COUNT 高。请注意：每个接

收包的起始地址处在适当的地址边界，这取决于当前总线操作模式（8-bit、16-bit）。

9.5 100Base-TX 操作

发送器部分包含以下功能模块：

- 4B5B 编码器
- 扰频器（Scrambler）
- 并—串转换
- NRZ 码到 NRZI 码转换
- NRZI 码到 MLT-3 码转换
- MLT-3 驱动

9.5.1 4B5B 编码器

4B5B 编码器把 MAC 层生成的 4-bit（4B）半字节数据转换成 5-bit（5B）编码进行发送，请参考 Table1。这种转换需要控制数据和包数据在编码中相结合。在数据包发送时，4B5B 编码器首先用 J/K 编码对（11000 10001）取代 MAC 前导字节的头 8bits 数据，标记传送数据包的开始。随后，对数据包继续进行 4B5B 编码。当到达数据包的末尾且 MAC 层的发送使能信号消逝时，4B5B 编码器插入 T/R 编码对（01101 00111）来指示数据包的结束。之后，4B5B 编码器就持续插入 IDLEs 信号到发送数据流中，直到发送使能信号置位且下一个数据包被检测到。

DM9000A 有一个取消 4B5B 编码转换的选项，以支持像 100Mbps 重发器那样不需要 4B5B 编码转换的应用。

9.5.2 扰频器（Scrambler）

在 100Base-TX 操作中，扰频器是通过频谱能量在媒介连接器与双绞线电缆中的分布来控制电磁辐射（EMI）。通过扰频数据，电缆中的总能量就随机地分布在宽的频率范围。如果没有扰频器，电缆中的能量等级就会超出 FCC 的频率限制，该频率与反复的 5B 编码序列相关，就像持续发送的 IDLE 信号。从扰频器输出的信号通过逻辑异或（XOR）与 NRZ 5B 编码数据进行结合。结果是，在时钟频率下，带很强随机性的扰频数据流可以降低电磁辐射。

9.5.3 并--串转换

并—串转换器接收并行扰频的 5B 数据并将它转换为串行数据，然后将串行数据发送到 NRZ 到 NRZI 转换的模块中。

9.5.4 NRZ 码到 NRZI 码转换

对于使用 5 类非屏蔽双绞线对电缆的 100Base-TX 的发送操作，在发送数据流完成扰频和串行后，必须进行 NRZI 编码来保持与 TP-PMD 标准相兼容。

9.5.5 NRZI 码到 MLT-3 码转换

MLT-3 码转换是通过将 NRZI 编码成交替定相逻辑 1 的二进制数据流来完成的。

9.5.6 MLT-3 驱动

MLT-3 转换器生成的二进制数据流被用于双绞线对的输出驱动。MLT-3 转换器将这些数据流转换为电流源，然后，交变地驱动传输变压器的主线圈端，结果是产生一个最小的 MLT-3

信号。

9.5.7 4B5B 编码

| Symbol | Meaning | 4B code 3210 | 5B Code 43210 |
|--------|---------|-----------------|------------------|
| 0 | Data 0 | 0000 | 11110 |
| 1 | Data 1 | 0001 | 01001 |
| 2 | Data 2 | 0010 | 10100 |
| 3 | Data 3 | 0011 | 10101 |
| 4 | Data 4 | 0100 | 01010 |
| 5 | Data 5 | 0101 | 01011 |
| 6 | Data 6 | 0110 | 01110 |
| 7 | Data 7 | 0111 | 01111 |
| 8 | Data 8 | 1000 | 10010 |
| 9 | Data 9 | 1001 | 10011 |
| A | Data A | 1010 | 10110 |
| B | Data B | 1011 | 10111 |
| C | Data C | 1100 | 11010 |
| D | Data D | 1101 | 11011 |
| E | Data E | 1110 | 11100 |
| F | Data F | 1111 | 11101 |
| | | | |
| I | Idle | undefined | 11111 |
| J | SFD (1) | 0101 | 11000 |
| K | SFD (2) | 0101 | 10001 |
| T | ESD (1) | undefined | 01101 |
| R | ESD (2) | undefined | 00111 |
| H | Error | undefined | 00100 |
| | | | |
| V | Invalid | undefined | 00000 |
| V | Invalid | undefined | 00001 |
| V | Invalid | undefined | 00010 |
| V | Invalid | undefined | 00011 |
| V | Invalid | undefined | 00101 |
| V | Invalid | undefined | 00110 |
| V | Invalid | undefined | 01000 |
| V | Invalid | undefined | 01100 |
| V | Invalid | undefined | 10000 |
| V | Invalid | undefined | 11001 |

Table 1

9.6 100Base-TX 接收器

100Base-TX 接收器包含一些功能模块，这些模块将 125Mb/s 的串行数据转换为同步 4-bit 半字数据。包含以下功能模块：

- 信号检测
- 数字自适应补偿
- MLT-3 到二进制解码

- 时钟复原模块
- NRZI 到 NRZ 解码
- 串一并转换
- 扰频
- 编码组对齐
- 4B5B 解码

9.6.1 信号检测

信号检测功能是为了满足 ANSI XT12 TP-PMD 100Base-TX 标准定义的电压门限与定时参数的说明。

9.6.2 自适应补偿

当传输数据在双绞线电缆上高速传输时，会产生频率衰减问题。在双绞线传输高速信号时，发送信号频率在基于扰频数据流随机性的正常工作期间，变化很大。这个信号衰减的变化是由频率变化引起的，必须进行补偿以保证接收数据的完整性。为了确保传输质量，当使用 MLT-3 编码时，信号补偿功能能适应各种电缆长度和类型，这些长度和类型是由具体安装环境确定的。对于一个给定执行方案的电缆长度的选择，要求合理的补偿，这个补偿不包含短距离、很少衰减电缆长度的情况。相反地，如果选择需要很少补偿的短的或中等长度的电缆将会引起在长电缆情况下的连续的欠补偿。因此，信号补偿和信号均衡必须被采用以确保接收到合适的信号，而这个信号跟电缆长度无关。

9.6.3 MLT-3 到 NRZI 解码

DM9000A 从数字自适应补偿处将 MLT-3 信息解码成 NRZI 数据。

9.6.4 时钟复原模块

时钟复原模块从 MLT-3 to NRZI 解码器处接收 NRZI 数据。时钟复原模块锁存数据流以及从中提取 125MHz 的参考时钟。这个时钟和数据将出现在从 NRZI 到 NRZ 的解码器中。

9.6.5 NRZI 到 NRZ

对于采用 5 类非屏蔽双绞线电缆的 100Base-TX，其发送数据要求采用 NRZI 编码以保持与 TP-PMD 标准相兼容。这个转换必须在接收终端被保存。NRZI to NRZ 解码器从时钟复原模块接收 NRZI 数据流，并将其转换为 NRZ 数据流，NRZ 数据流将出现在串一并的转换模块中。

9.6.6 串一并转换

串一并转换器从 NRZI to NRZ 解码器中接收串行数据并将其转换为并行数据，送到扰频器中。

9.6.7 扰频器

由于扰频器是在发送数据时用来控制电磁辐射的，所以，接收器也必须对接收到的数据进行扰频。扰频器从串一并转换器中接收扰频的并行数据流，去除数据扰频将数据送到编码组对齐模块中。

9.6.8 编码组对齐模块

编码组对齐模块从扰频器中接收非对齐的 5B 数据，并将其转换为对齐的 5B 编码组数

据。编码组对齐发生在 J/K 码组被检测到之后，随后的数据将以固定边界进行对齐。

9.6.9 4B5B 解码

4B5B 解码功能可以看作一个查找列表，用于将接收到的 5B 码组解码成 4B 编码数据。当接收到一帧数据时，头 25bits 码组用于接收帧开始分隔符（J/K 符号）。J/K 符号对被两个半字节前导符代替。最后两个码组为帧结束分隔符（T/R 符号），T/R 符号对被两个半字节代替出现在 MAC 层上。

9.7 10Base-T 操作

10Base-T 发送器遵照 IEEE 802.3u 标准。当 DM9000A 工作在 10Base-T 模式时，采用曼切斯特编码（Manchester）。数据发送处理时，数据以半字节格式出现。先将其转换为串行的比特流，然后进行曼切斯特编码。当接收数据时，将接收到的比特流进行曼切斯特解码，然后转换为半字节格式。

9.8 冲突检测

对于半双工操作，当接收和发送通道同时工作时，将进行冲突检测。冲突检测功能在全双工模式时禁止。

9.9 载波检测

在半双工模式时，载波检测（CRS）在接收和发送期间都有效。而在全双工模式时，只在接收操作时有效。

9.10 自动协商

自动协商功能为两个连接设备提供信息交换和自动配置设备以使设备发挥出最佳性能。值得注意的是：自动协商并不是测试连接设备特性。自动协商功能为设备提供一种广告支持模式，这个模式支持远程设备连接、应答接收信号、支持普通模式操作和拒绝非共享模式的操作。在最多的普通操作模式下，它允许设备在两部分的终端建立连接。如果在两设备间存在多于一个普通模式，则根据预先定义好的优先级来选择一个操作模式。

自动协商功能可为设备提供并行检查功能，尽管该设备不支持自动协商功能。在并行检查期间，不产生配置交换信息，取而代之的是接收信号检查。如果发现一个接收设备支持的信号匹配协议，则设备会根据该协议建立连接。这允许设备不支持自动协商功能，但是要支持一个普通操作模式来建立连接。

9.11 省电模式

信号检测电路一直在检测传输介质上是否有电缆断开的信号。如果有，DM9000A 则自动关闭电源进入省电模式，而不管操作模式是 N-way 模式或强制模式。当进入省电模式时，发送电路仍然以最小功率损耗来发送快速连接脉冲。如果从介质中检测到一个有效的信号，该信号可能为 N-ways 快速连接脉冲，10Base-T 普通连接脉冲，或是 100Base-TX MLT3

信号，则设备被唤醒进入普通操作模式。

可以写“0”到 PHY Reg.16.4 禁止省电模式。

9.11.1 掉电模式

PHY Reg.0.11 设置为高电平进入掉电模式，该模式禁止所有发送和接收功能，访问 PHY 寄存器除外。

9.11.2 降低发送损耗模式

额外的降低发送损耗可以通过改变变压器 TX 端的转换比率为 1.25: 1，在 BGRES 与 AGND 引脚处接一个 8.5K Ω 电阻、将 TXO+/TXO- 上的上拉电阻由 50 Ω 改为 78 Ω 来实现。该配置可以而外降低 20% 的损耗。

10 DC 与 AC 电器特性

10.1 最大绝对额定值

| Symbol | Parameter | Min. | Max. | Unit | Conditions |
|--------|--|------|------|------|-------------|
| DVDD | Supply Voltage | -0.3 | 3.6 | V | |
| VIN | DC Input Voltage (VIN) | -0.5 | 5.5 | V | |
| VOUT | DC Output Voltage(VOUT) | -0.3 | 3.6 | V | |
| Tstg | Storage Temperature range | -65 | +150 | °C | |
| TC | Case Temperature | 0 | +85 | °C | asTA : 70°C |
| TA | Ambient Temperature | 0 | +70 | °C | |
| LT | Lead Temperature (TL,soldering,10 sec.) | — | +235 | °C | |

10.1.1 工作条件

10.1.1 Operating Conditions

| Symbol | Parameter | Min. | Max. | Unit | Conditions |
|---------------------------|-----------------------------------|-------|-------|------|------------|
| DVDD | Supply Voltage | 3.135 | 3.465 | V | |
| Tc | Case Reserve | --- | 85 | °C | |
| Pd (Power Dissipation) | 100BASE-TX | --- | 87 | mA | 3.3V |
| | 10BASE-T TX (100% utilization) | --- | 92 | mA | 3.3V |
| | 10BASE-T idle | --- | 38 | mA | 3.3V |
| | Auto-negotiation | --- | 56 | mA | 3.3V |
| | Power Reduced Mode(without cable) | --- | 31 | mA | 3.3V |
| | Power Down Mode | --- | 21 | mA | 3.3V |

10.2 DC 电器特性 (VDD=3.3V)

10.2 DC Electrical Characteristics (VDD = 3.3V)

| Symbol | Parameter | Min. | Typ. | Max. | Unit | Conditions |
|--------------------|--------------------------------------|------|------|------|------|---------------------------------|
| Inputs | | | | | | |
| V _{IL} | Input Low Voltage | - | - | 0.8 | V | |
| V _{IH} | Input High Voltage | 2.0 | - | - | V | |
| I _{IL} | Input Low Leakage Current | -1 | - | - | uA | V _{IN} = 0.0V |
| I _{IH} | Input High Leakage Current | - | - | 1 | uA | V _{IN} = 3.3V |
| Outputs | | | | | | |
| V _{OL} | Output Low Voltage | - | - | 0.4 | V | I _{OL} = 4mA |
| V _{OH} | Output High Voltage | 2.4 | - | - | V | I _{OH} = -4mA |
| Receiver | | | | | | |
| V _{ICM} | RX+/RX- Common Mode Input Voltage | - | 2.5 | - | V | 100 Ω Termination Across |
| Transmitter | | | | | | |
| V _{TD100} | 100TX+/- Differential Output Voltage | 1.9 | 2.0 | 2.1 | V | Peak to Peak |
| V _{TD10} | 10TX+/- Differential Output Voltage | 4.4 | 5 | 5.6 | V | Peak to Peak |
| I _{TD100} | 100TX+/- Differential Output Current | 19 | 20 | 21 | mA | Absolute Value |
| I _{TD10} | 10TX+/- Differential Output Current | 44 | 50 | 56 | mA | Absolute Value |

10.3 AC 电器特性与时序

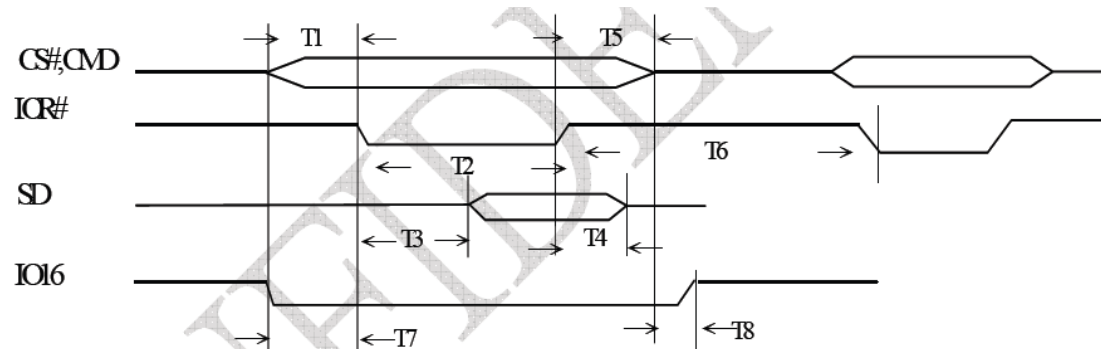
10.3.1 TP 接口

| Symbol | Parameter | Min. | Typ. | Max. | Unit | Conditions |
|-------------------|--|------|------|------|------|------------|
| t _{TR/F} | 100TX+/- Differential Rise/Fall Time | 3.0 | - | 5.0 | ns | |
| t _{TM} | 100TX+/- Differential Rise/Fall Time Mismatch | 0 | - | 0.5 | ns | |
| t _{TDC} | 100TX+/- Differential Output Duty Cycle Distortion | 0 | - | 0.5 | ns | |
| T _{JT} | 100TX+/- Differential Output Peak-to-Peak Jitter | 0 | - | 1.4 | ns | |
| X _{OST} | 100TX+/- Differential Voltage Overshoot | 0 | - | 5 | % | |

10.3.2 晶振/振荡时钟

| Symbol | Parameter | Min. | Typ. | Max. | Unit | Conditions |
|------------------|----------------------|--------|------|--------|------|------------|
| T _{CKC} | OSC Clock Cycle | 39.998 | 40 | 40.002 | ns | 50ppm |
| T _{PWH} | OSC Pulse Width High | 16 | 20 | 24 | ns | |
| T _{PWL} | OSC Pulse Width Low | 16 | 20 | 24 | ns | |

10.3.3 I/O 读时序

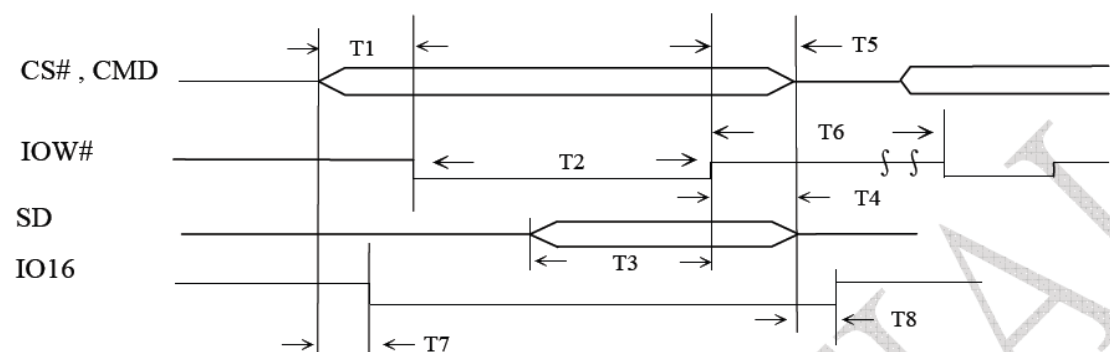


| Symbol | Parameter | Min. | Typ. | Max. | Unit |
|--------|--|------|------|------|------|
| T1 | CS#,CMD valid to IOR# valid | 0 | | | ns |
| T2 | IOR# width | 10 | | | ns |
| T3 | System Data(SD) Delay time | | | 3 | ns |
| T4 | IOR# invalid to System Data(SD) invalid | | | 3 | ns |
| T5 | IOR# invalid to CS#,CMD invalid | 0 | | | ns |
| T6 | IOR# invalid to next IOR#/IOW# valid When read DM9000A register | 2 | | | clk* |
| T6 | IOR# invalid to next IOR#/IOW# valid When read DM9000A memory with F0h register | 4 | | | clk* |
| T2+T6 | IOR# invalid to next IOR#/IOW# valid When read DM9000A memory with F2h register | 1 | | | clk* |
| T7 | CS#,CMD valid to IO16 valid | | | 3 | ns |
| T8 | CS#,CMD invalid to IO16 invalid | | | 3 | ns |

说明：（默认 CLK 周期为 20ns）

- 1、当 SD 总线宽度为 16-bit、系统地址为 DATA 端口（i.e.CMD 为高）、INDEX 端口为存储器数据寄存器索引（ex.F0H,F2H,F6H,F8H）时，IO16 有效。

10.3.4 I/O 写时序

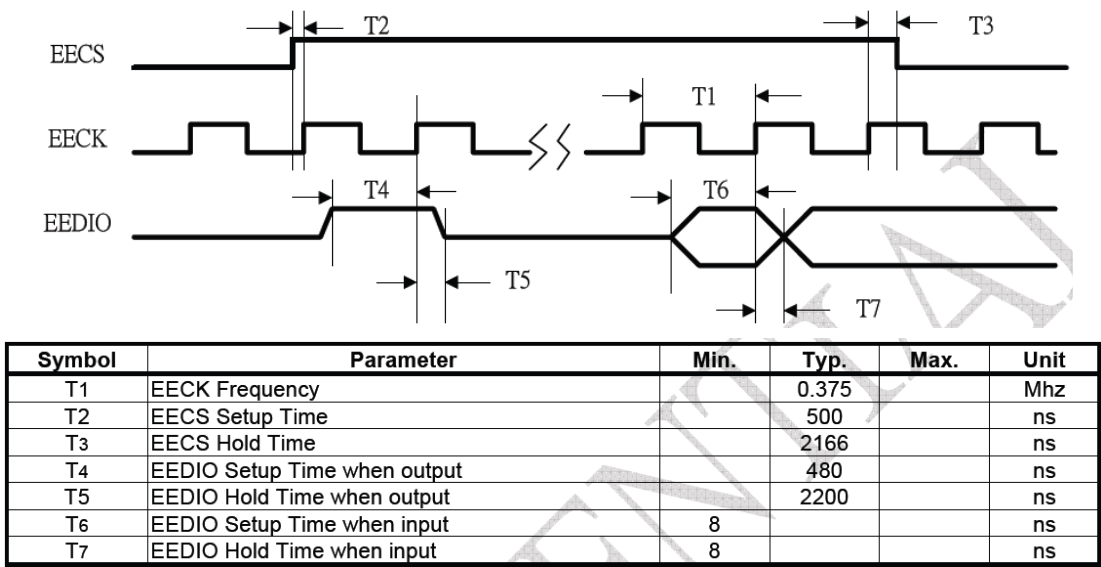


| Symbol | Parameter | Min. | Typ. | Max. | Unit |
|--------|---|------|------|------|------|
| T1 | CS#,CMD valid to IOW# valid | 0 | | | ns |
| T2 | IOW# Width | 10 | | | ns |
| T3 | System Data(SD) Setup Time | 10 | | | ns |
| T4 | System Data(SD) Hold Time | 3 | | | ns |
| T5 | IOW# Invalid to CS#,CMD Invalid | 0 | | | ns |
| T6 | IOW# Invalid to next IOW#/IOR# valid When write DM9000A INDEX port | 1 | | | clk* |
| T6 | IOW# Invalid to next IOW#/IOR# valid When write DM9000A DATA port | 2 | | | clk* |
| T2+T6 | IOW# Invalid to next IOW#/IOR# valid When write DM9000A memory | 1 | | | clk* |
| T7 | CS#,CMD Valid to IO16 valid | | | 3 | ns |
| T8 | CS#,CMD Invalid to IO16 Invalid | | | 3 | ns |

说明：（默认 CLK 周期为 20ns）

- 1、当 SD 总线宽度为 16-bit、系统地址为 DATA 端口（i.e.CMD 为高）、INDEX 端口为存储器数据寄存器索引（ex.F0H,F2H,F6H,F8H）时，IO16 有效。

10.3.5 EEPROM 接口时序



11 应用说明

11.1 网络接口信号接线

尽量的将变压器靠近 RJ-45 连接器放置,尽量将所有 50Ω 电阻靠近 DM9000A 的 RXI+/- 与 TXI+/- 引脚放置。RXI+/- 与 TXO+/- 到变压器的布线（以尽量靠近的差分线对形式）应直接与变压器连接，应尽量避免使用过孔。在 RJ-45 与变压器之间以及变压器与 DM9000A 之间，除了布 RXI+/- 与 TXO+/- 信号线之外，不要布置任何其他的信号线。在 RJ-45 与变压器之间的区域内不要放置电源和地平面（参考图 11—4 与 11—5）。使机架地远离所有信号线。对于 RJ-45 连接器与所有没使用的引脚都必须通过一个电阻和 2KV 的旁路电容连接到机架地。

Band Gap 电阻应尽量靠近引脚 1 与引脚 48 放置（参考图 11-1 与 11-2）。不能在 Band Gap 电阻附件放置任何高频信号线。

11.2 10Base-T/100Base-TX 自动 MDIX 应用

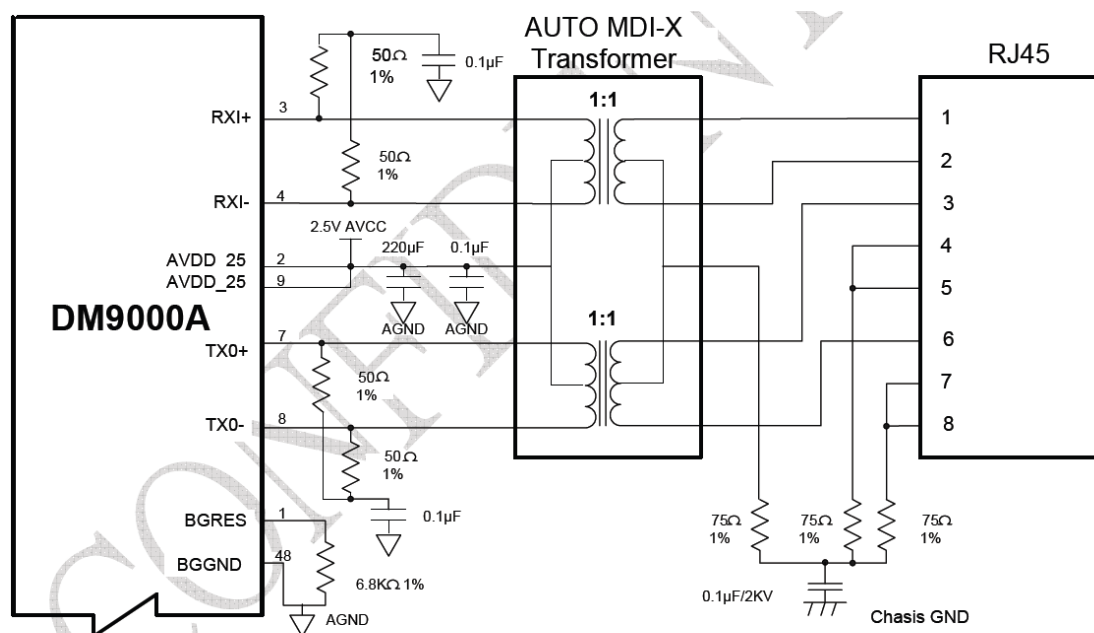


Figure 11-1 Auto MDIX Application

11.3 10Base-T/100Base-TX 无自动 MDIX 变压器应用

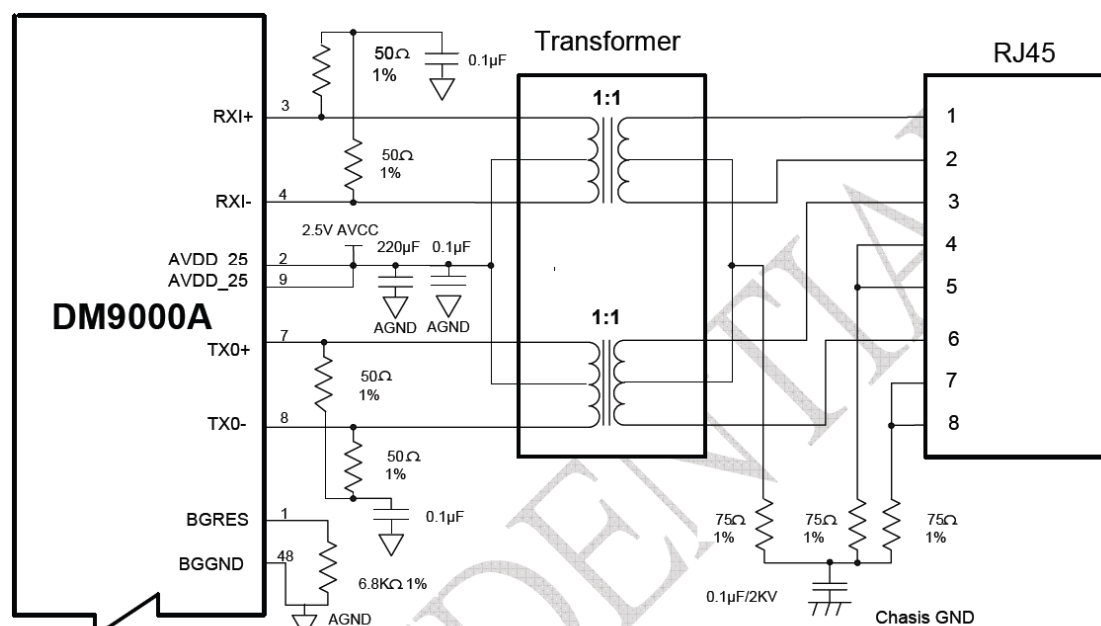


Figure 11-2 Non Auto MDIX Transformer Application

11.4 电源退偶电容

Davicom 半导体公司建议在 DM9000A 所有电源引脚焊盘附件放置去偶电容，越靠近引脚越好（最佳放置距离<3mm）。推荐的电容值为 0.1uf 或 0.01uf，根据布局需要选择。

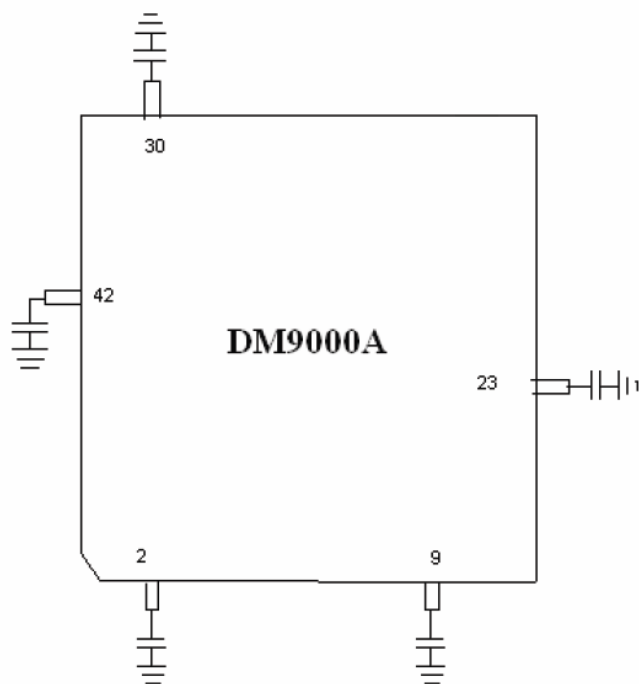


Figure 11-3 Power Decoupling Capacitors

11.5 地平面布局

Davicom 半导体公司建议使用单一的地平面来降低 EMI。地平面分割会增加 EMI，以致网络接口卡不符合 FCC 通信规则（part15）。图 11-4 显示了推荐的地平面布局原理图。

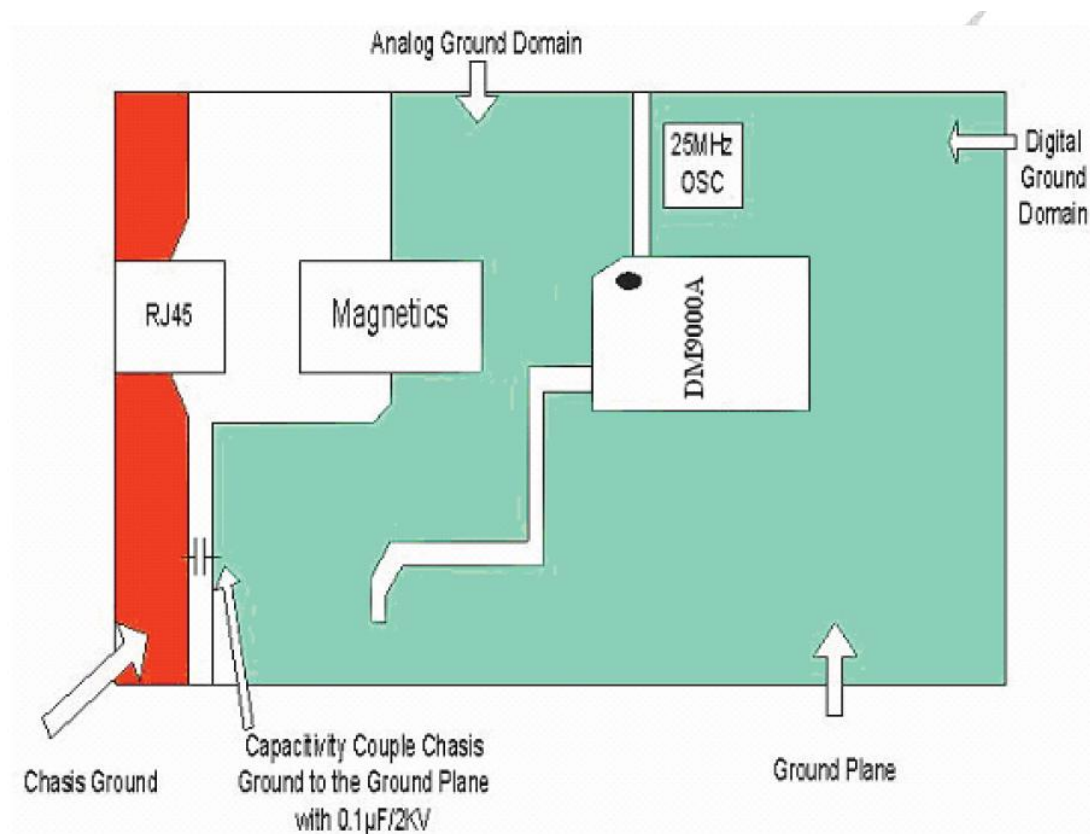


图 11-4 地平面布局

11.6 电源平面分割

电源平面应按照图 11-5 所示分割。

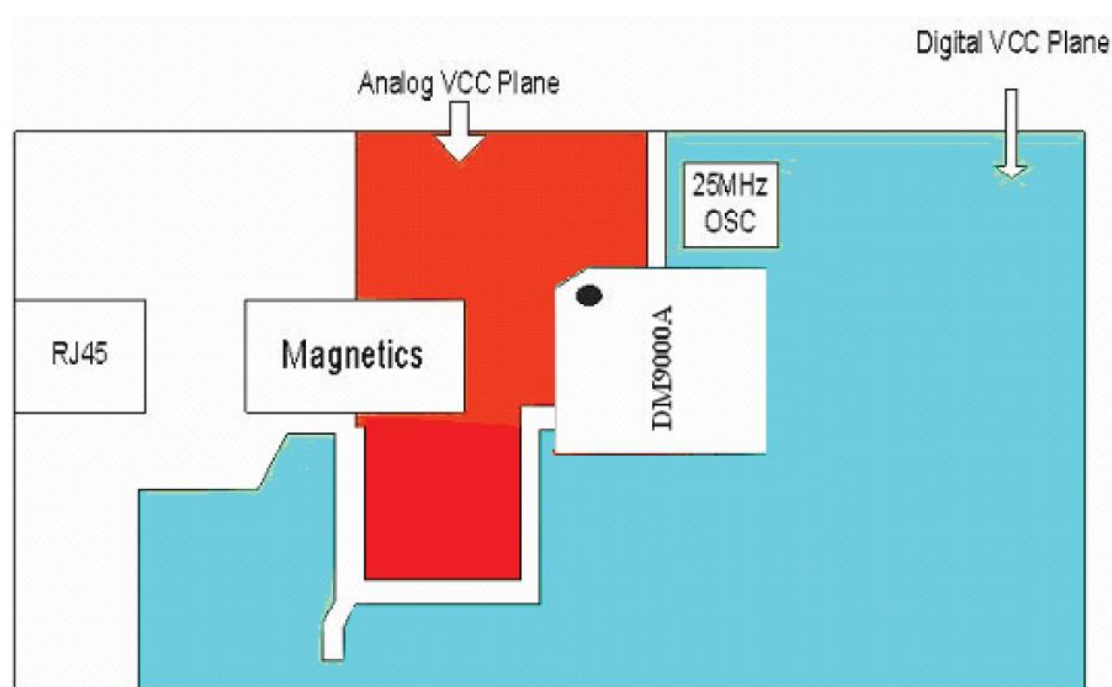


图 11-5 电源平面分割

11.7 铁氧体磁珠选择指导

变压器需求请参考表 2。这些变压器，都适用于各个厂商的铁氧体磁珠，用户应该在适用前测试所有的磁珠。表 2 列出的所有变压器都是电气相当的，但是，不都是引脚到引脚相当。

| Manufacturer | Part Number |
|-------------------|--|
| Pulse Engineering | PE-68515, H1078, H1012, H1102 |
| Delta | LF8200, LF8221x |
| YCL | 20PMT04, 20PMT05, PH163112 , YCL 0303 PH163539 *(Auto MDIX) |
| Halo | TG22-3506ND, TD22-3506G1, TG22-S010ND, TG22-S012ND TG110-S050N2 |
| Nano Pulse Inc. | NPI 6181-37, NPI 6120-30, NPI 6120-37 NPI 6170-30 |
| Fil-Mag | PT41715 |
| Bel Fuse | S558-5999-01, S558-5999-W2 |
| Valor | ST6114, ST6118 |
| Macronics | HS2123, HS2213 |
| Bothhand | TS6121C,16ST8515,16ST1086 |

Table 2

11.8 晶振选择指导

晶振可以用于产生 25MHz 的参考时钟信号，晶振必须为基频类型、连续振荡。晶振连接到 X1 与 X2 引脚上，并在每个晶振引脚上并联一个 22pf 的电容到地平面（参考图 11-6）。

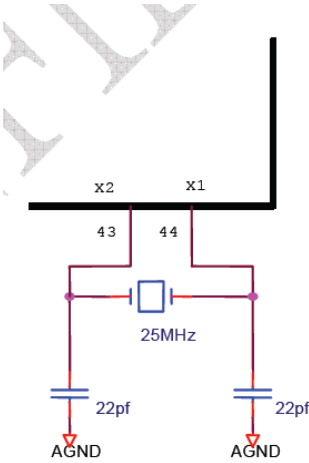
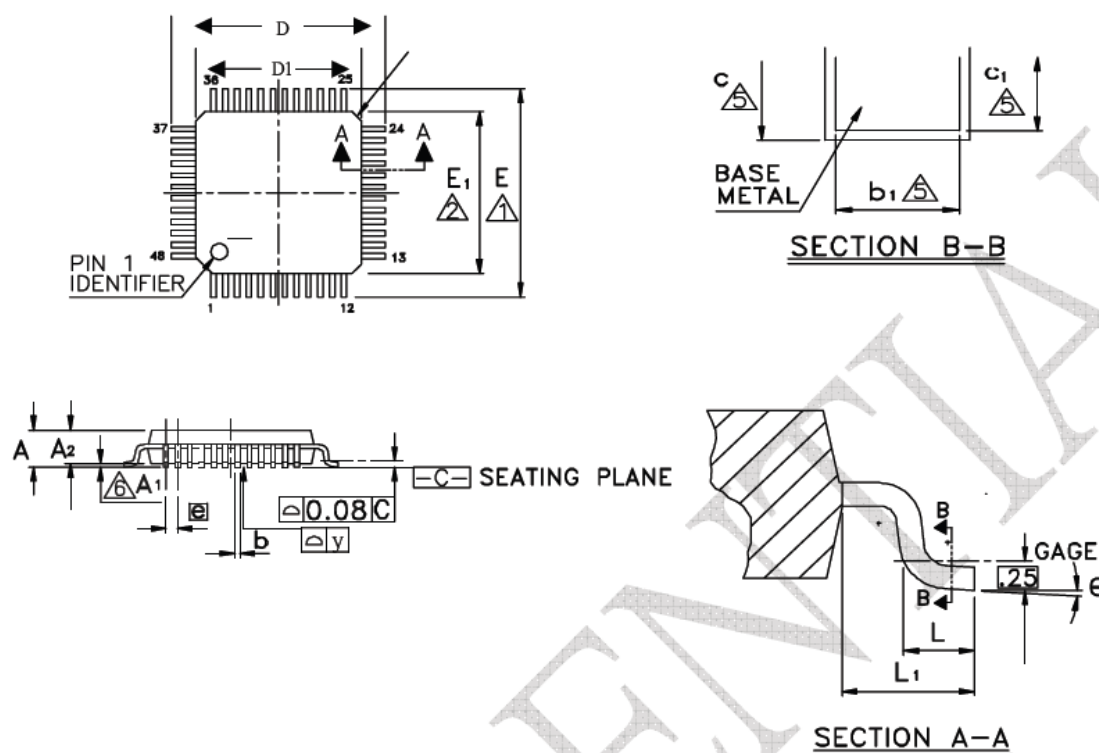


Figure 11-6
Crystal Circuit Diagram

12 封装信息

LQFP 48L (F.P.2mm) 外形尺寸（单位为：inches/mm）



| Symbol | Dimensions in inches | | | Dimensions in mm | | |
|----------|----------------------|-------|-------|------------------|------|------|
| | Min. | Nom. | Max. | Min. | Nom. | Max. |
| A | - | - | 0.063 | - | - | 1.60 |
| A1 | 0.002 | - | 0.006 | 0.05 | - | 0.15 |
| A2 | 0.053 | 0.055 | 0.057 | 1.35 | 1.40 | 1.45 |
| b | 0.007 | 0.009 | 0.011 | 0.17 | 0.22 | 0.27 |
| b1 | 0.007 | 0.008 | 0.009 | 0.17 | 0.20 | 0.23 |
| C | 0.004 | - | 0.008 | 0.09 | - | 0.20 |
| C1 | 0.004 | - | 0.006 | 0.09 | - | 0.16 |
| D | 0.354BSC | | | 9.00BSC | | |
| D1 | 0.276BSC | | | 7.00BSC | | |
| E | 0.354BSC | | | 9.00BSC | | |
| E1 | 0.276BSC | | | 7.00BSC | | |
| e | 0.020BSC | | | 0.50BSC | | |
| L | 0.018 | 0.024 | 0.030 | 0.45 | 0.60 | 0.75 |
| θ | 0-12° | | | 0-12° | | |

| | | |
|----|----------|---------|
| L1 | 0.039REF | 1.00REF |
| y | 0.003MAX | 0.08MAX |

13 订购信息

| Part Number | Pin Count | Package |
|-------------|-----------|-------------------|
| DM9000AE | 48 | LQFP |
| DM9000AEP | 48 | LQFP (Pb-Free) |