

# 失效上电缓慢导致复位不良

## 问题：

该问题由某客户提出，发生在 **STM32F103VBT6** 器件上。据其工程师讲述：其产品在老化测试中出现个别样机通电后不工作的现象。对该样机重新通电，可以恢复正常。但在后续的测试中还会偶尔重现不工作的现象，呈现很强的随机性。

## 调研：

检查其硬件设计，未发现其它异常，只有 VDD 和地之间的滤波电容为 470uF，略显偏大。将该电容替换成 220uF 后，重新测试，未见前述现象重现。

## 结论：

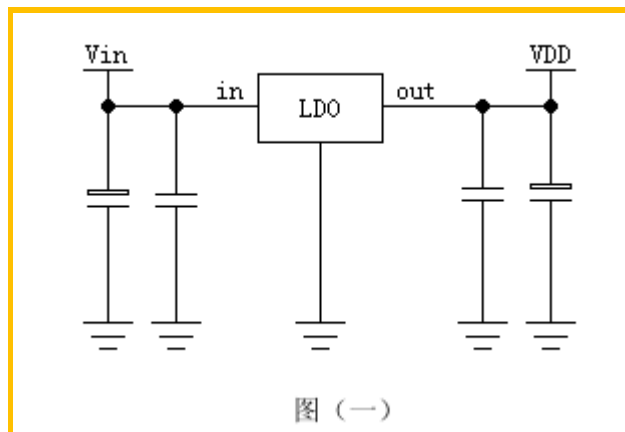
过大的滤波电容导致上电缓慢，从而引发复位不良。

## 处理：

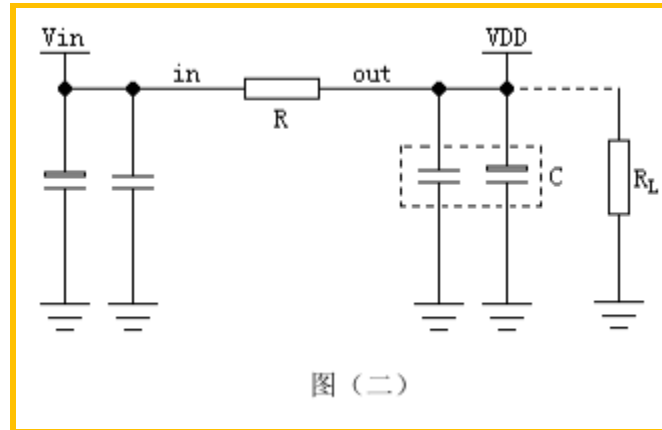
重新选取该元件的参数，以满足上电复位的要求。

## 建议：

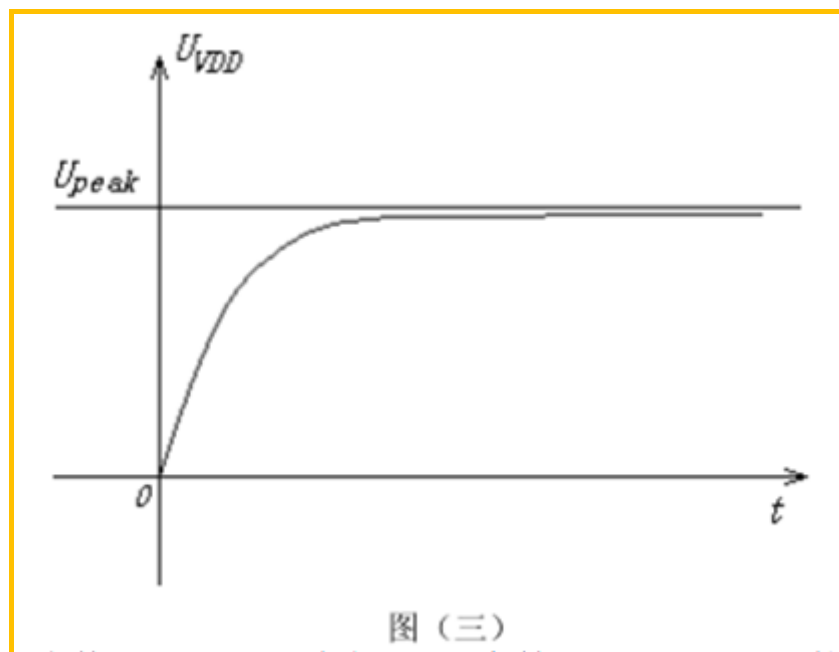
为了进一步阐明该问题形成的原因，以下对上电过程做一个简单的分析。在通常的应用中，STM32 的电源是由线性调压路提供的，一般的形式如图（一）所示：



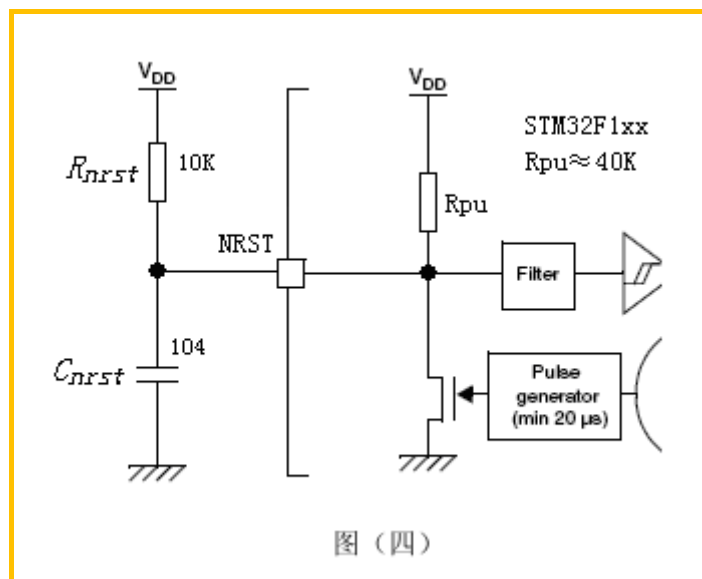
在上电的瞬间，LDO 中的调整管由于高度的导通而工作在线性电阻区，于是该电路可以等效于图（二）所示电路：



同负载  $R_L$  相比，LDO 的导通电阻  $R$  很小，所以可以忽略负载的影响。于是 VDD 的上电曲线为  $U_{VDD} = U_{peak} (1 - e^{-\frac{1}{RC}t})$ ，如图（三）所示：



该曲线的上升速率由时间常数  $\tau = RC$  决定。而一般情况下，对 STM32 的复位引脚 NRST 的处理如图（四）所示：



上电时，电源 VDD 通过  $R_{nrst}$  和 STM32 内部的  $R_{pu}$  向电容  $C_{nrst}$  充电，其充电曲线为：

$$U_{NRST} = U_{peak} \left( 1 - \frac{\tau_{LDO}}{\tau_{LDO} - \tau_{NRST}} e^{-\frac{t}{\tau_{LDO}}} - \frac{\tau_{NRST}}{\tau_{NRST} - \tau_{LDO}} e^{-\frac{t}{\tau_{NRST}}} \right)$$

$$\text{其中：} \tau_{LDO} = (R_{LDO} + R_{pu})C_{LDO}, \quad \tau_{NRST} = R_{NRST}C_{NRST}$$

从 STM32 的参考手册中得知，在 VDD 上升到 1.8V 之前，NRST 管脚由 STM32 内部复位电路拉低，此时电容 CNRST 上是没有电荷的。当 VDD 上升到 1.8V 之后，由 STM32 内部复位电路送出一个 20μs 的低电平脉冲。该脉冲结束后，STM32 的复位电路取消对 NRST 管脚的驱动，电容 CNRST 开始充电。随着电容 CNRST 上的电荷的增加，管脚 NRST 上的电位逐渐抬高，当达到阈值 VIH 时将被 STM32 内部的电路识别成高电平，从而结束复位过程。而在这一过程中，电源 VDD 的电压仍在随着电容 CLDO 的充电而抬升，当 VDD 的电压达到 2.0V 之后，STM32 进入可靠的供电状态。这一期间，两个电容的充电过程同时进行，但是，谁先到达要求的电平高度却是由两个充电过程的参数决定的。如果 VDD 达到 2.0V 的时刻先于 NRST 到达 VIH 的时刻，则 STM32 可以顺利的转入正常的工作状态。如果相反，则 STM32 在进入可靠供电之前，提早结束了复位过程，从而导致复位不良。

### **重要通知 – 请仔细阅读**

意法半导体公司及其子公司（“ST”）保留随时对ST 产品和/ 或本文档进行变更、更正、增强、修改和改进的权利，恕不另行通知。买方在订货之前应获取关于ST 产品的最新信息。ST 产品的销售依照订单确认时的相关ST 销售条款。

买方自行负责对ST 产品的选择和使用， ST 概不承担与应用协助或买方产品设计相关的任何责任。

ST 不对任何知识产权进行任何明示或默示的授权或许可。

转售的ST 产品如有不同于此处提供的信息的规定，将导致ST 针对该产品授予的任何保证失效。

ST 和ST 徽标是ST 的商标。所有其他产品或服务名称均为其各自所有者的财产。

本文档中的信息取代本文档所有早期版本中提供的信息。